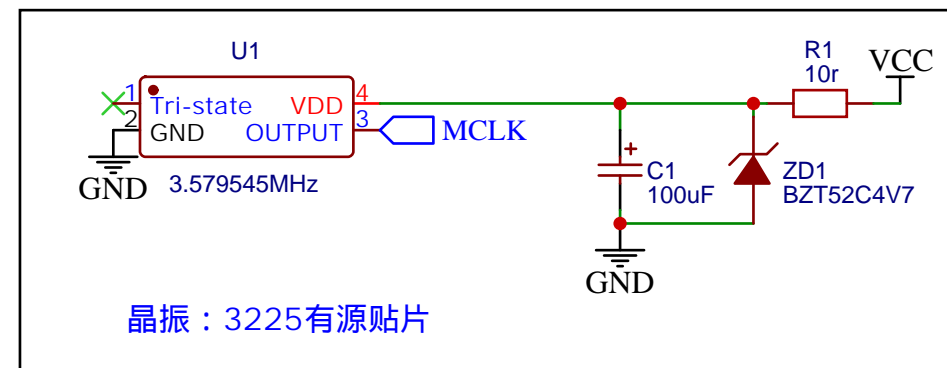
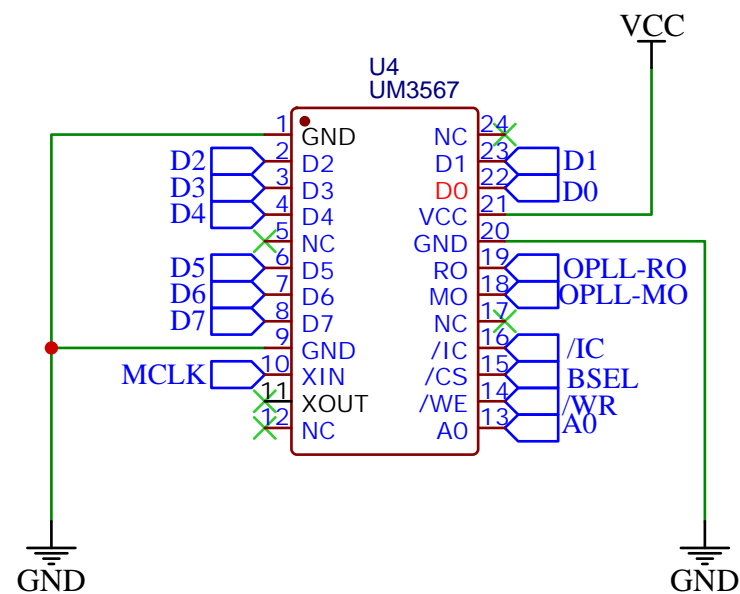
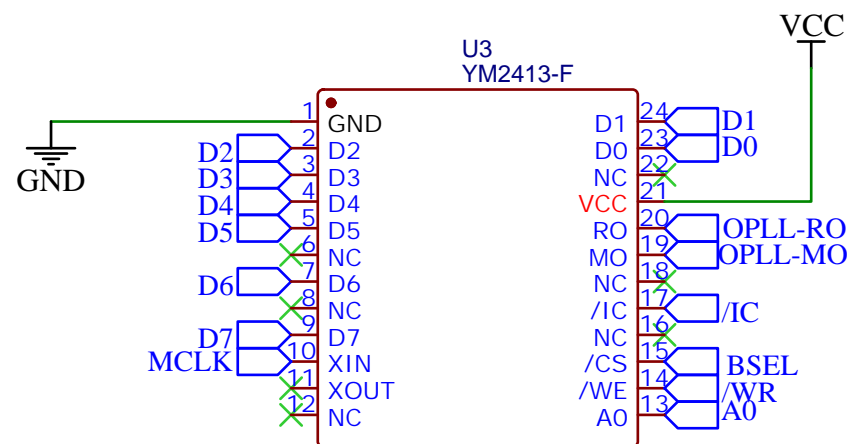


MO,RO一定不能通过数据总线路径



晶振：3225有源贴片



2023.12.21 v0.1

- 1.差分放大电路已验证，对OPLL采取一级放大
- 2.Vbias过缓冲之后再使用
- 3.已优化3D模型
- 4.已添加JLC标志
- 5.双晶振选择：贴片或直插
- 6.时钟选择：主板SCK或板上晶振

2023.12.21 v0.2

- 1.发现某些电容封装错误
- 2.添加下拉电容以增加低频。
- 3.第二个开关连接错误
- 4.RO音量小
- 5.已精简电源滤波电容
- 6.添加立体声切换开关

2024.1.24 v0.2a

- 1.删除SCK
- 2.精简电容
- 3.添加立体声切换开关
- 4.添加宽立体声开关
- 5.添加文档

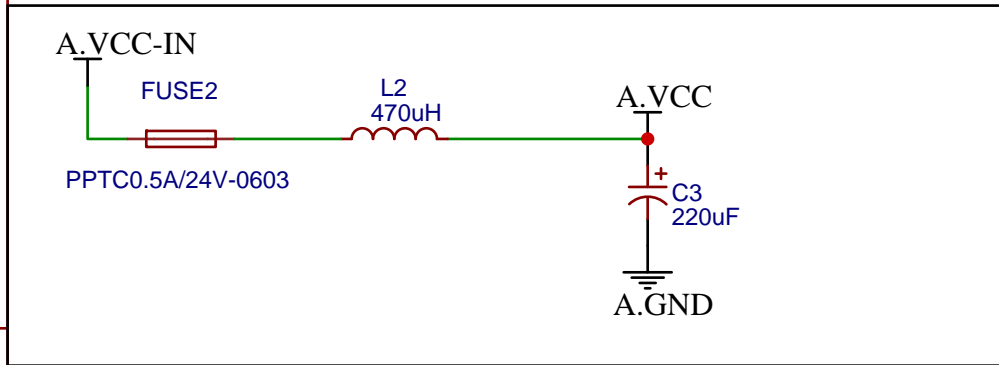
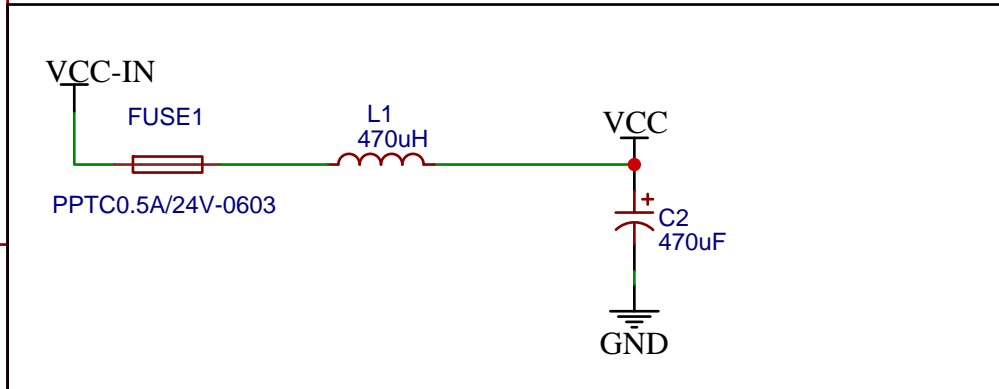
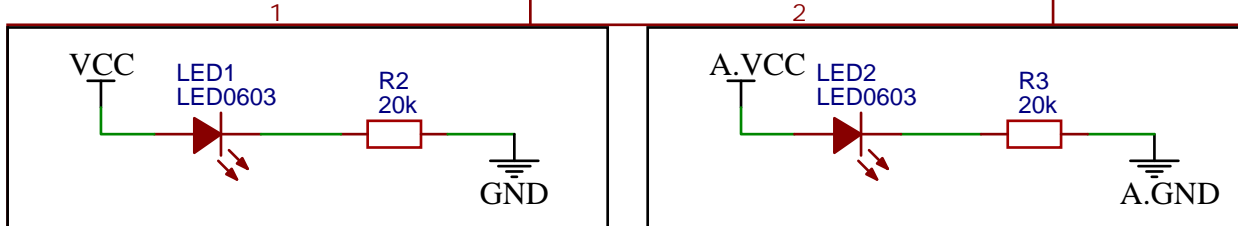
2024.9.29 v0.5

- 1.删除多余电容
- 2.删除音量减小的开关
- 3.删除第二个偏置电压
- 4.删除宽立体声选项

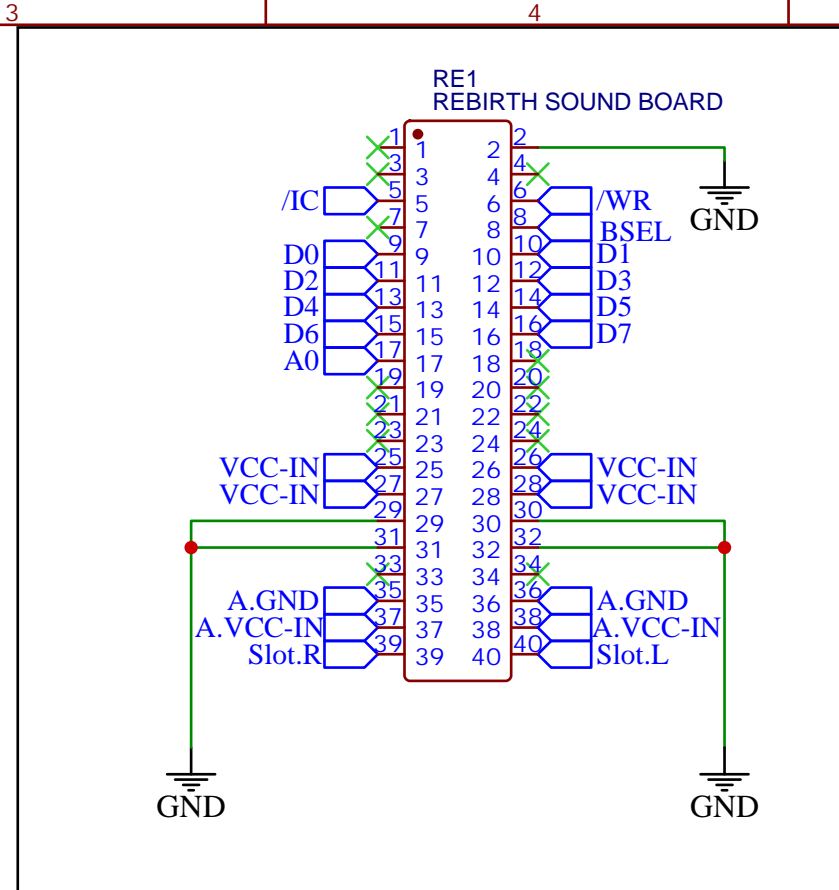
2024.9.29 v0.6

- ## 1.添加晶振降压电路

TITLE: Sheet_1		REV: 1.0
	Company: Your Company	Sheet: 1/1
	Date: 2023-12-16 Drawn By: Denjhang	



去掉二极管，那个会引起压降



TITLE: Sheet_1		REV: 1.0
	Company: Your Company	Sheet: 1/1
	Date: 2023-12-16 Drawn By: Denjhang	

