

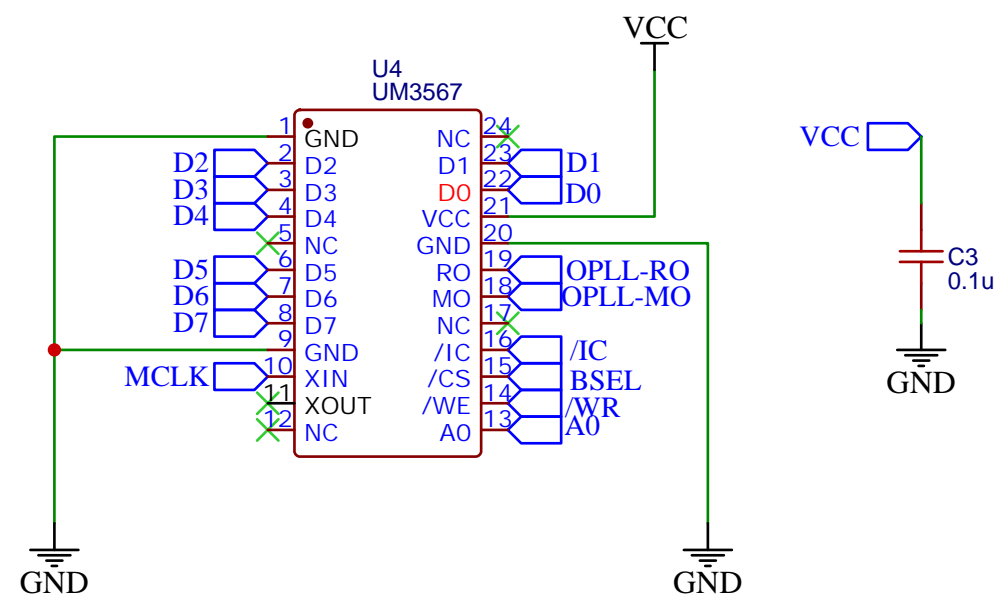
- 1.差分放大电路已验证，对OPLL采取一级放大
- 2.Vbias过缓冲之后再使用
- 3.已优化3D模型
- 4.已添加JLC标志
- 5.双晶振选择：贴片或直插
- 6.时钟选择：主板SCK或板上晶振

2023.12.21 v0.2

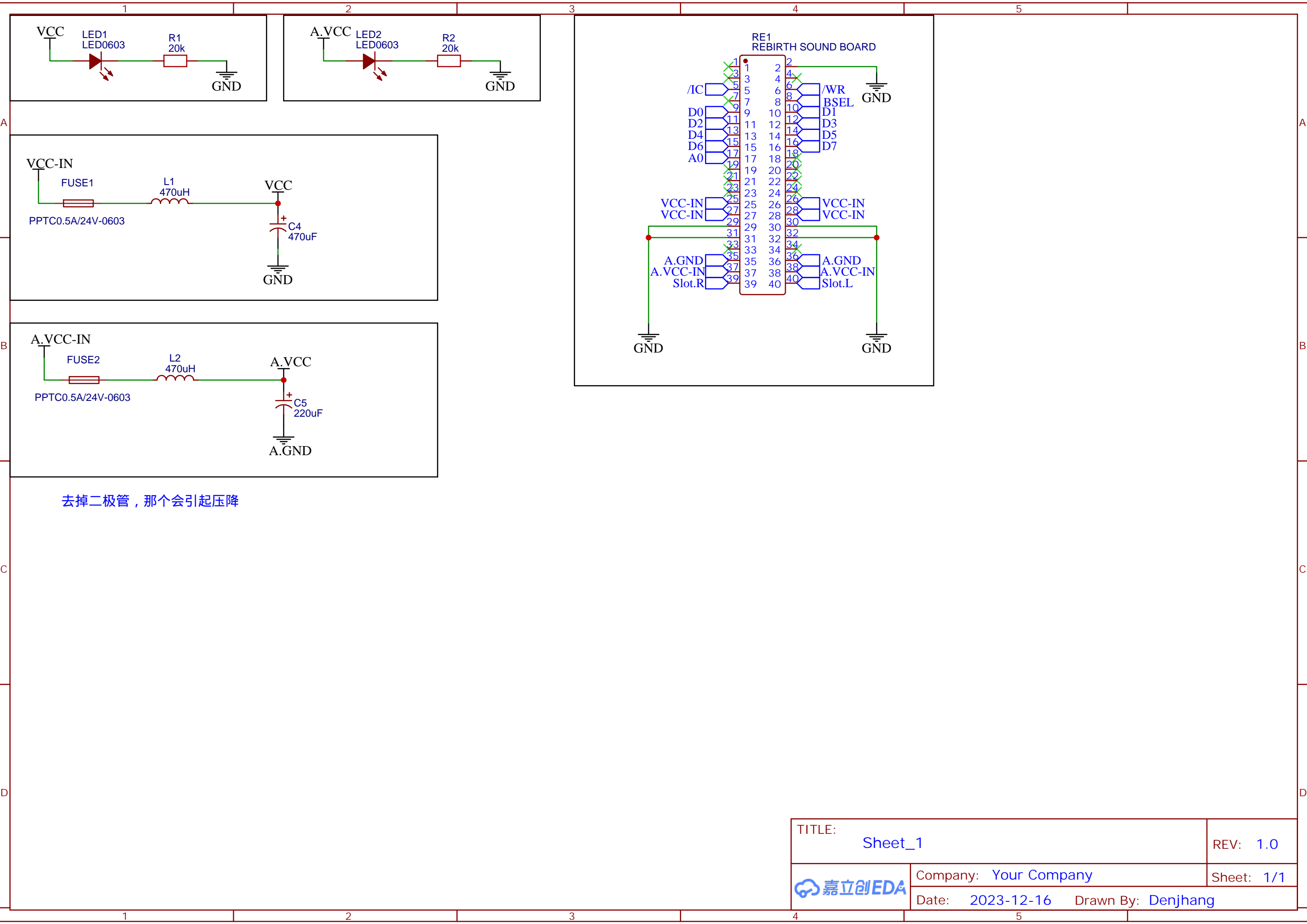
- 1.发现某些电容封装错误
- 2.添加下拉电容以增加低频。
- 3.第二个开关连接错误
- 4.RO音量小
- 5.已精简电源滤波电容
- 6.添加立体声切换开关

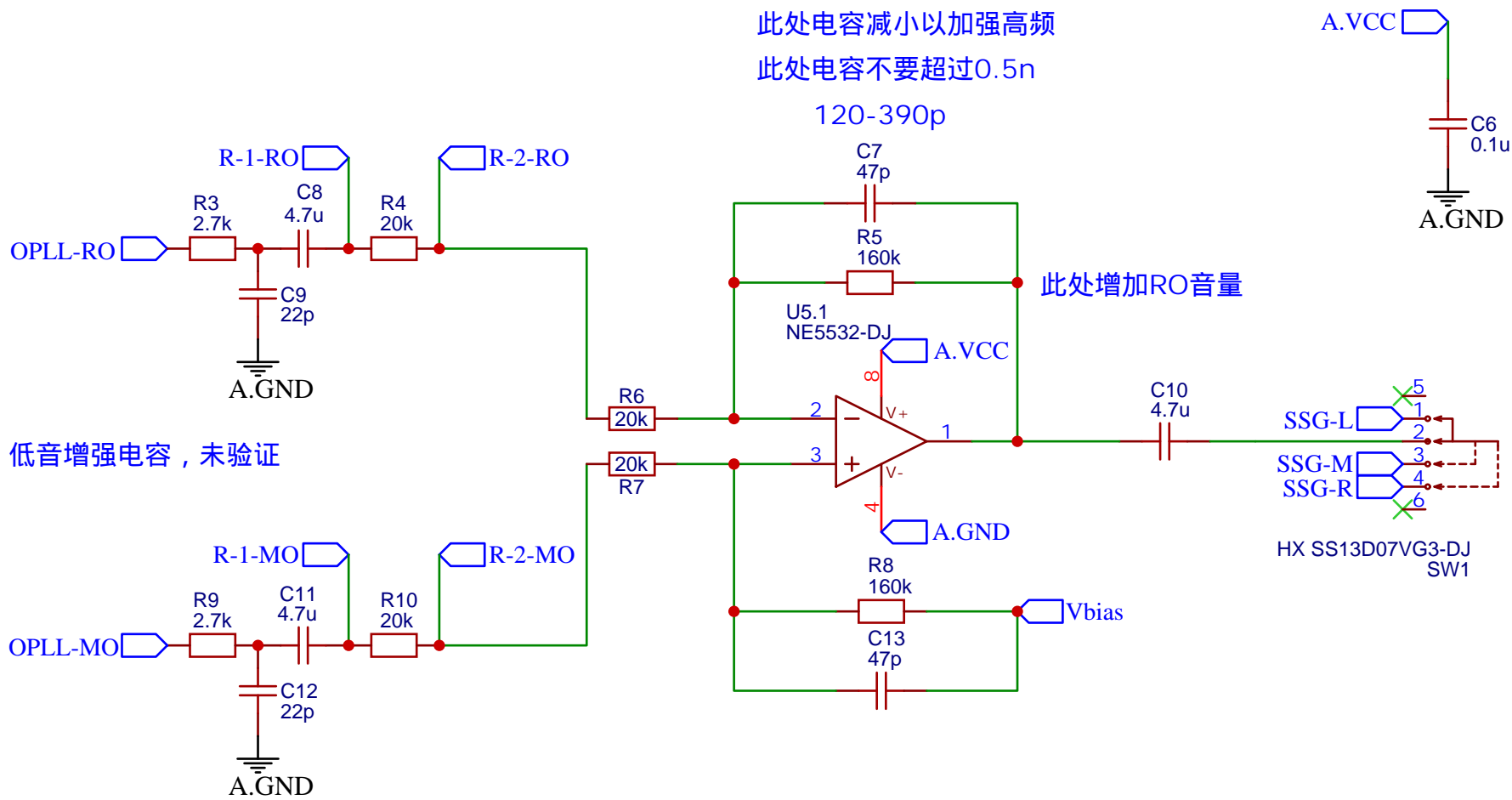
2024.1.24 v0.2a

- 1.删除SCK
- 2.精简电容
- 3.添加立体声切换开关
- 4.添加宽立体声开关
- 4.添加文档



TITLE: Sheet_1		REV: 1.0
	Company: Your Company	Sheet: 1/1
	Date: 2023-12-16 Drawn By: Denjhang	





低音增强电容，未验证

此处电容减小以加强高频
此处电容不要超过0.5n

120-390p

此处增加RO音量

差分放大器（减法器）电路

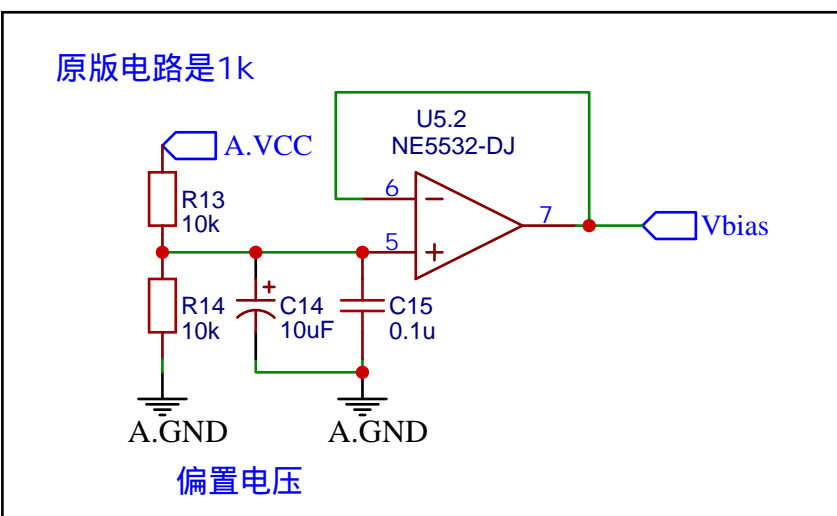
此处利用减法器原理，由于OPLL的MO和RO正好是共模信号

使用减法器恰好可抵消MO和RO发出的总线噪音

反馈电阻使用470k时削波，破音

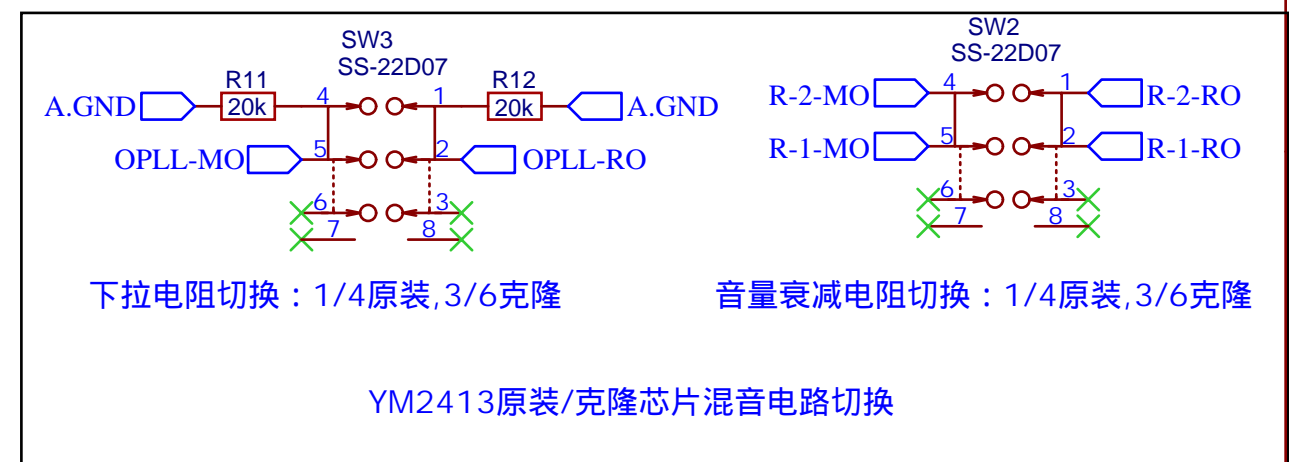
放大倍数越大，噪音越不明显

此处音量调节效果还可以



原版电路是1k

偏置电压



下拉电阻切换：1/4原装,3/6克隆

音量衰减电阻切换：1/4原装,3/6克隆

YM2413原装/克隆芯片混音电路切换

TITLE:

Sheet_1

REV: 1.0

嘉立创EDA

Company: Your Company

Sheet: 1/1

Date: 2023-12-16 Drawn By: Denjhang

