

# YM 2608B

6-ch, 4-op. FM,SSG,- ADPCM 音乐合成器

(OPNA)

## ■ 简介

YM2608B (OPNA) 是一种复合音源集成电路，兼容 YM2203C，增加了 ADPCM 等功能。

在 FM 音源部分，YM2203C 的 3 个同时发音数翻倍为 6 个，输出声道也为 2 声道。此外，它具有内置 LFO (低频振荡器)，可以调节幅度和频率。

通过新添加的 ADPCM 部分，可以使用一个通道进行音频分析/合成。此外，使用此 ADPCM 的节奏音源部分可以产生 6 种高度逼真的节奏音。

由 FM 音源、SSG 音源、ADPCM 音源、Rhythm 音源四种音源组成的系统配置，可以灵活支持各种声音的合成。

## ■ 特点

### <FM 音源>

- 4op (合成) • 6 种声音同时发音
- 内置正弦波 LFO 功能。
- 六种声音中的一种可以与复合正弦波组合。
- 支持双声道，且可为每个声音选择输出通道
- 内置两个计时器

### <SSG 音源>

- 兼容 YM2203、YM2149
- 3ch 混合输出

### <Rhythm 音源>

- 6 种打击乐器音色
- 可以控制每个音色的发音及音量
- 支持双声道，且可为每个音色选择输出通道

### <ADPCM 音源>

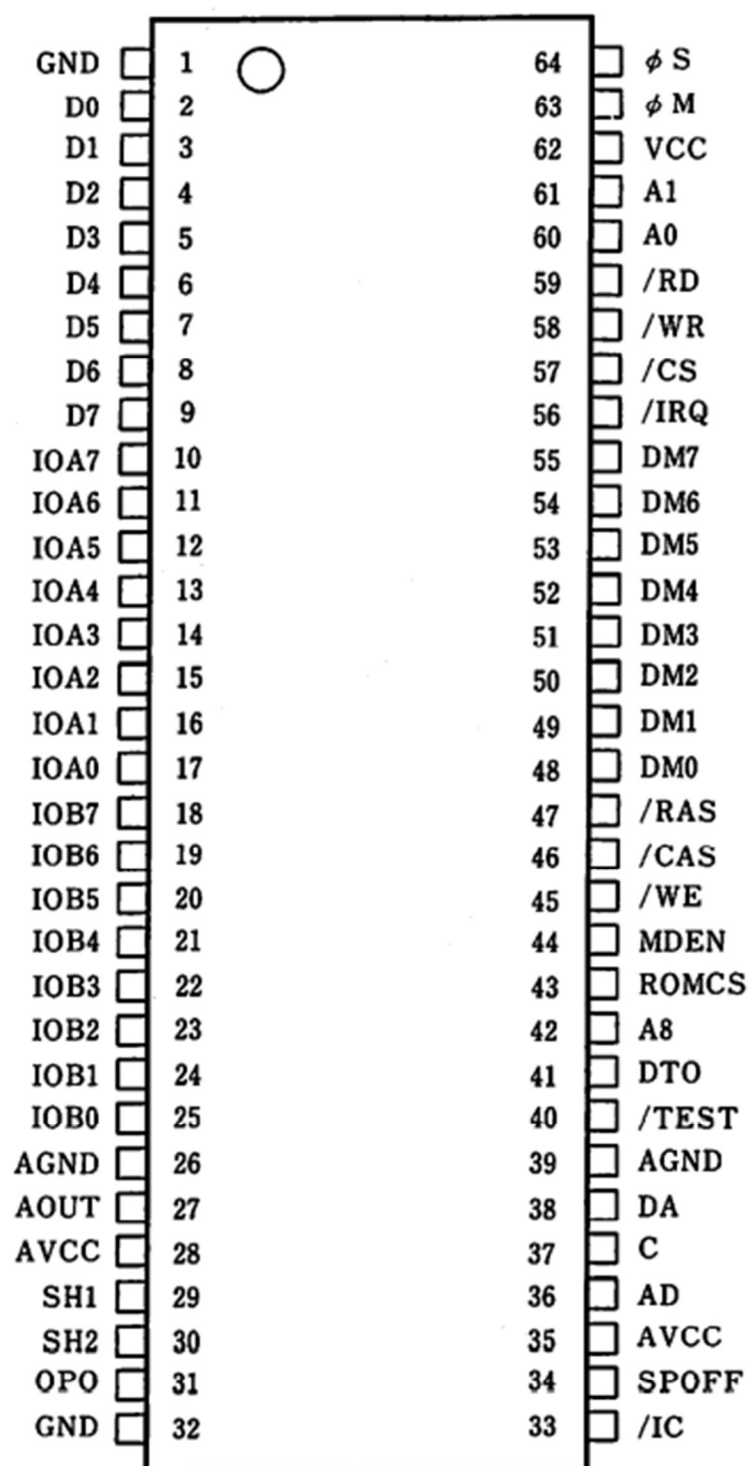
- 1 个通道用于 A/D 转换和 D/A 转换。
- 可以访问外部存储器和由 CPU 管理的存储器 (最大 256 KB)。
- 可选采样率为 2k - 16kHz
- 将 8 位采样数据压缩为 4 位。

### <其它>

- 硅纳米管工艺
- 5V 单电源
- 64 针塑料 SDIP (YM2608B)

# ■ 引脚配置图

YM2608B



64 pin SDIP TOP VIEW

## ■ 引脚定义

序号	名称	I/O	功 能
1	GND	—	地线
2	D0	I/O	CPU 端口 数据总线 D0
3	D1	I/O	CPU 端口 数据总线 D1
4	D2	I/O	CPU 端口 数据总线 D2
5	D3	I/O	CPU 端口 数据总线 D3
6	D4	I/O	CPU 端口 数据总线 D4
7	D5	I/O	CPU 端口 数据总线 D5
8	D6	I/O	CPU 端口 数据总线 D6
9	D7	I/O	CPU 端口 数据总线 D7
10	IOA7	I+/O	GPIO A (MSB)
11	IOA6	I+/O	GPIO A
12	IOA5	I+/O	GPIO A
13	IOA4	I+/O	GPIO A
14	IOA3	I+/O	GPIO A
15	IOA2	I+/O	GPIO A
16	IOA1	I+/O	GPIO A
17	IOA0	I+/O	GPIO A (LSB)
18	IOB7	I+/O	GPIO B (MSB)
19	IOB6	I+/O	GPIO B
20	IOB5	I+/O	GPIO B
21	IOB4	I+/O	GPIO B
22	IOB3	I+/O	GPIO B
23	IOB2	I+/O	GPIO B
24	IOB1	I+/O	GPIO B
25	IOB0	I+/O	GPIO B (LSB)
26	AGND	-A	模拟部分地线
27	AOUT	OA	SSG 部分 模拟信号输出（源极跟随器）
28	AVCC	-A	+5V 电源
29	SH1	O	DAC 端口 CH1 锁存输出
30	SH2	O	DAC 端口 CH2 锁存输出
31	OPO	O	DAC 端口 串行数据
32	GND	—	地线
33	/IC	I+	用于初始化输入
34	SPOFF	O	用于扬声器 ON/OFF 开关
35	AVCC	-A	+5V 电源（模拟部分）
36	AD	I	ADC 模拟输入引脚
37	C	I	ADC 用于采样保持的电容连接引脚
38	DA	I	ADC AD 转换 基准电压输入引脚
39	AGND	-A	模拟部分地线
40	/TEST	I+	LSI 测试引脚
41	DTO	I+	外部内存数据输出（D00）

42	A8	0	外部内存地址输出（A8）
43	/ROMCS	0	在外部内存使用 ROM 时读入数据时所用的时序信号。
44	MDEN	0	在外部内存使用 DRAM 时读入数据时所用的时序信号。
45	/WE	0	外部内存端口使能信号
46	/CAS	0	外部内存端口 RAS 地址锁存信号
47	/RAS	0	外部内存端口 CAS 地址锁存信号
48	DM0	I+/O	外部内存地址输出和数据输入（A0，DI0）
49	DM1	I+/O	外部内存地址输出和数据输入输出（A1，DI1，D01）
50	DM2	I+/O	外部内存地址输出和数据输入输出（A2，DI2，D02）
51	DM3	I+/O	外部内存地址输出和数据输入输出（A3，DI3，D03）
52	DM4	I+/O	外部内存地址输出和数据输入输出（A4，DI4，D04）
53	DM5	I+/O	外部内存地址输出和数据输入输出（A5，DI5，D05）
54	DM6	I+/O	外部内存地址输出和数据输入输出（A6，DI6，D06）
55	DM7	I+/O	外部内存地址输出和数据输入输出（A7，DI7，D07）
56	/IRQ	OD	CPU 端口 中断请求信号
57	/CS	I+	CPU 端口 片选信号
58	/WR	I	CPU 端口 数据写入信号
59	/RD	I	CPU 端口 数据读取信号
60	A0	I	CPU 端口 总线控制信号
61	A1	I	CPU 端口 总线控制信号
62	VCC	I	+5V 电源
63	ØM	I	主时钟（Master Clock）信号输入（8MHz）
64	ØS	0	DAC 端口 位元时钟（bit Clock）信号

（注） I+：内置上拉电阻    OD：开漏输出引脚

## ■ CPU 端口

寄存器的地址以及数据的读取与写入等的数据总线控制是 /CS， /WR， /RD， A1， A0 的各信号所一起决定的。

/CS	/RD	/WR	A1	A0	地址范围	内容
L	H	L	L	L	00H~2FH	地址写入（SSG， FM 共同部分， Rhythm）
					30H~B6H	地址写入（FM    CH1， CH2， CH3）
L	H	L	L	H	00H~2FH	数据写入（SSG， FM 共同部分， rhythm）
					30H~B6H	数据写入（FM    CH1， CH2， CH3）
L	H	L	H	L	00H~10H	地址写入（ADPCM）
					30H~B6H	地址写入（FM    CH4， CH5， CH6）
L	H	L	H	H	00H~10H	数据写入（ADPCM）
					30H~B6H	数据写入（FM    CH4， CH5， CH6）
L	L	H	L	L	×	数据读取状态 0
L	L	H	L	H	00H~0FH	数据读取（SSG）
					FFH	设备识别代码读取
L	L	H	H	L	×	数据读取状态 1
L	L	H	H	H	08H, 0FH	ADPCM， PCM 数据读取
H	*	*	*	*	×	非活动模式

要写入寄存器的话，必须先指定地址，然后传送数据（必须是 地址写入，数据写入的顺序）。

连续访问同一地址的情况下是可以反复进行数据写入操作的。

此外，地址写入，数据写入之后进行下一步指令操作之前需要以下的等待时间。

（1）地址写入后

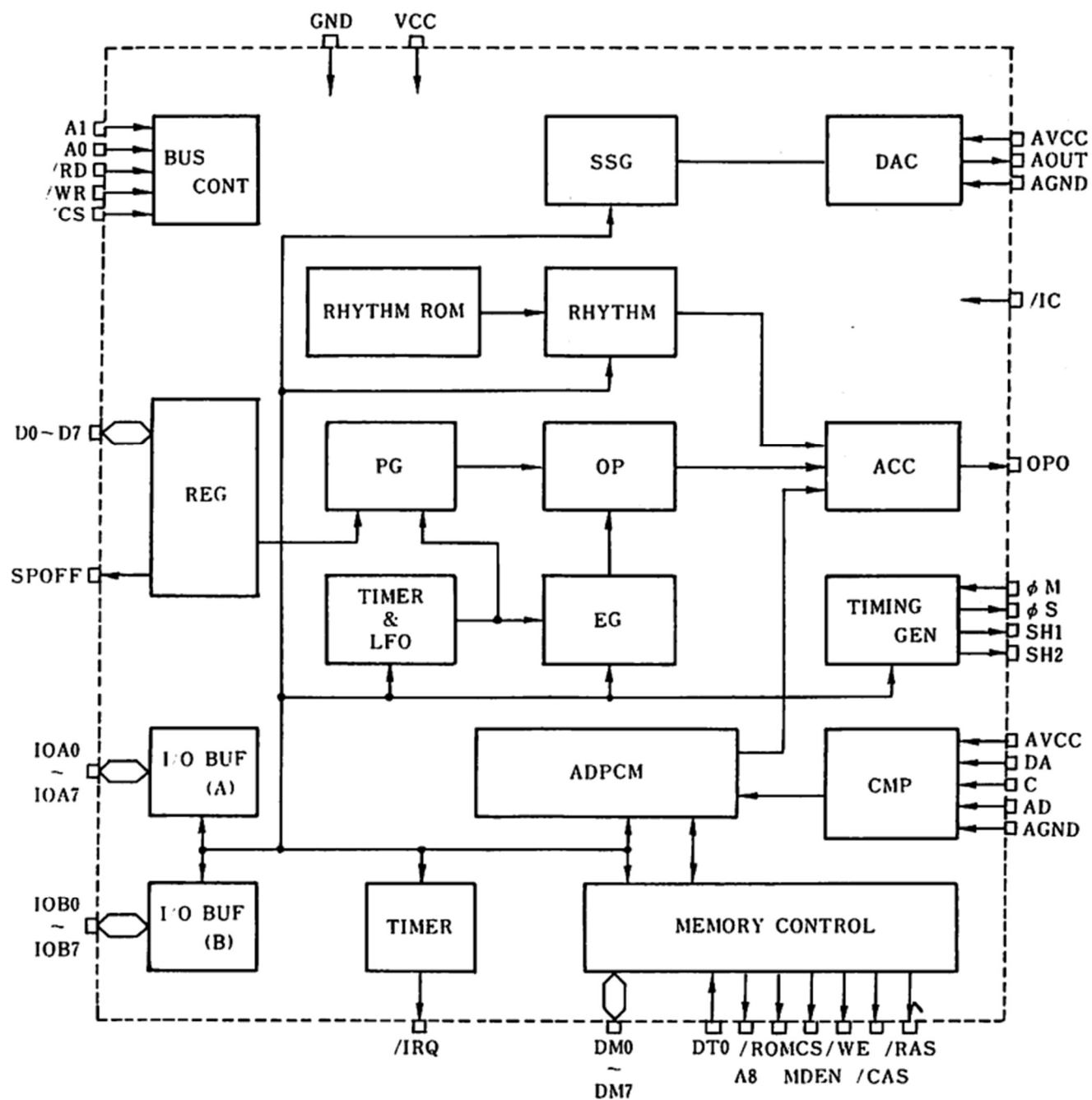
音源部分	地址	等待周期
FM	21H~B6H	17
SSG	00H~0FH	17
Rhythm	10H~1DH	17
ADPCM	00H~10H	17

（2）数据写入后

音源部分	地址	等待周期
FM	21H~9EH	155
	A0H~B6H	47
SSG	00H~0FH	17
Rhythm	10H	576
	11H~1DH	155
ADPCM	00H~10H	17

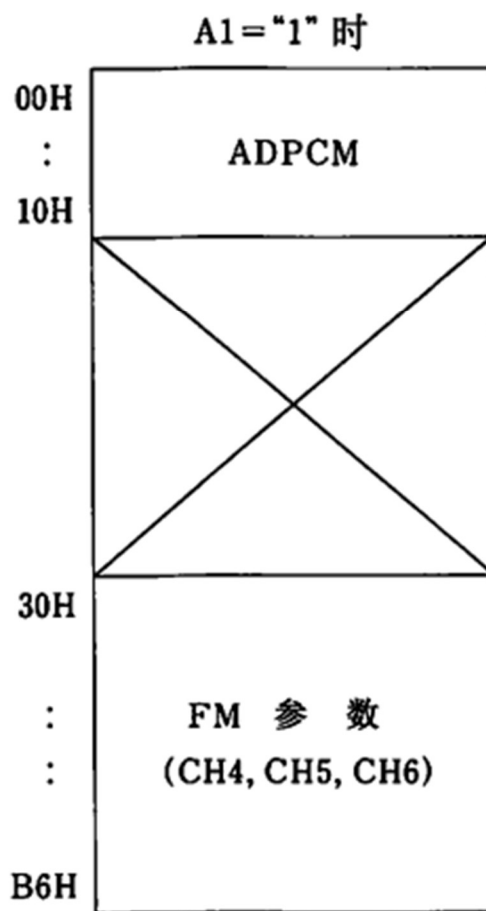
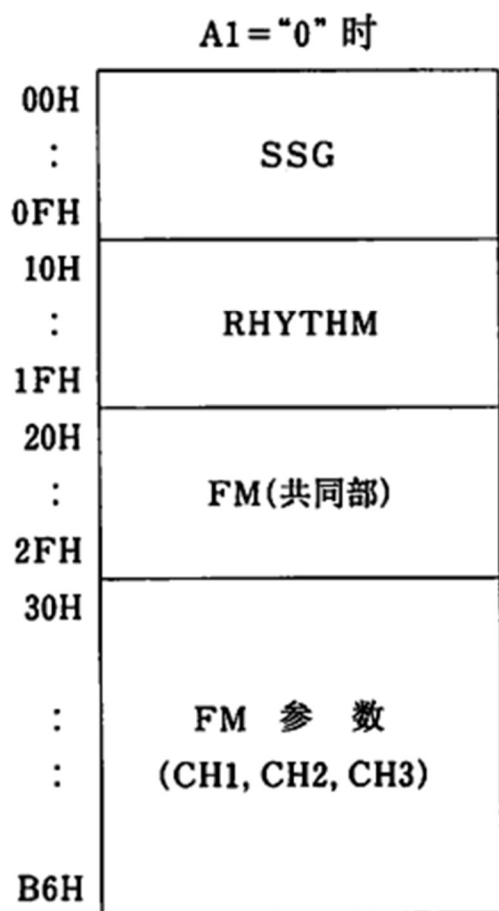
※周期数为主时钟 0M 的周期数。

## ■ 模块图



## ■ 寄存器映射

(a) 寄存器・地址的分配



(b) SSG 部分寄存器

地址	MSB	D6	D5	D4	D3	D2	D1	LSB	功 能
00H	音调微调								Channel-A 频率
01H									
02H	音调微调								Channel-B 频率
03H									
04H	音调微调								Channel-C 频率
05H									
06H	噪声频率				噪声频率				
07H						IN/OUT		/noise	
	IOB	IOA	C	B	A	C	B	A	
08H					M	Level			Channel-A 音量
09H					M	Level			Channel-B 音量
0AH					M	Level			Channel-C 音量
0BH					微调				
0CH	粗调整								
0DH									
0EH	I/O Port A								
0FH	I/O Port B								I/O Port B 数据

(c) Rhythm 音源部分寄存器

地址	MSB	D6	D5	D4	D3	D2	D1	LSB	作 用
10H	DM	<div></div>	RKON						Dump, Rhythm Key ON/OFF
11H	<div></div>		RTL						Rhythm Total Level
12H	TEST								LSI Test Data
18H : 1DH	L	R	<div></div>	IL					Output Select, Instrument Level



## (D) FM 部分寄存器

地址	MSB	D6	D5	D4	D3	D2	D1	LSB	功 能	
21H	Test								LSI Test	
22H					LFO				LFO 频率控制	
24H					Timer-A					
25H							Timer-A		Timer-A 下位 2 位数据	
26H							Timer-B			
27H	Mode	Reset		Enable		Load		Timer-A/B 控制		
		B	A	B	A	B	A	三通道（3CH）模式		
28H	Slot						CH		Key ON/OFF	
29H	SCH			IRQ ENABLE				发声通道（CH）数设置 中断<IRQ>控制		
				ZERO	BRDY	EOS	TI-B		TI-A	
2DH									根据预分频器机能设定时钟分频。	
2EH										
2FH										
3*H		DT			MULTI				Detune, Multiple	
4*H		TL							Total Level	
5*H	KS		AR						Key Scale, Attack Rate	
6*H	AMON		DR						AM ON/Decay Rate	
7*H			SR						Sustain Rate	
8*H			SL			RR				Sustain Level, Release Rate
9*H					SSG-EG				SSG Type Envelop Control	
A0H					F-Num. 1					
A1H										
A2H										
A4H		Block				F-Num. 2				
A5H										
A6H										
A8H	3CH*F-Num. 1								3CH-3 slot F-Number/Block	
A9H										
AAH										
ACH		3CH*Block				3CH*F-Num. 2				
ADH										
AEH										
B0H		FB				Connet				Self Feed Back, Connection
B1H										
B2H										
B4H	L	R	AMS				PMS		L/R, AM, PM Sense	
B5H										
B6H										

(注) 地址下位 4 位的 “\*” 根据下表对应通道。

slot No.	1	2	3	4
CH1, CH4	+0	+8	+4	+C
CH2, CH5	+1	+9	+5	+D
CH3, CH6	+2	+A	+6	+E

(e) ADPCM 部分寄存器

地址	MSB	D6	D5	D4	D3	D2	D1	LSB
00H	START	REC	MEM DATA	REPEAT	SP OFF			RESET
01H	L	R			SMP	DA/AD	RAM TYPE	ROM
02H	Start Address (L)							
03H	Start Address (H)							
04H	End Address (L)							
05H	End Address (H)							
06H	PRESCAL (L)							
07H	PRESCAL (H)							
08H	ADPCM-DATA							
09H	Delta-N (L)							
0AH	Delta-N (H)							
0BH	EG Control							
0CH	LIMIT Address (L)							
0DH	LIMIT Address (H)							
0EH	DAC DATA							
0FH	(PCM DATA)							
10H	IRQ RESET			MASK ZERO	MASK BRDY	MASK EOS	MASK TI-B	MASK TI-A

(f) Status 部分

地址	MSB	D6	D5	D4	D3	D2	D1	LSB	备注
× ×	BUSY						FLAG B	FLAG A	Status 0
× ×	BUSY						FLAG B	FLAG A	Status 1

## ■ 寄存器功能概要

(1) FM 部分

地址	BIT	功能					
21H	TEST	LSI 的测试数据输入。通常不需要任何设置。					
22H	LF0	通过 D2-D0 设置 LF0 的频率，通过 D3 设置 ON/OFF 来控制。					
24~25H	TIMER-A	设定 Timer-A 的预设（Preset）值。位于 24H 的下位 8 Bit，25H 的上位 2 Bit 范围。 分辨率为 9 μ s（ØM=8MHz 时）。					
26H	TIMER-B	设定 Timer-B 的预设（Preset）值。分辨率为 144 μ s（ØM=8MHz 时）。					
27H	MODE	设置 CH3, 6 的模式。					
		MSB	D6	模式	功能		
		0	0	普通	与通常通道一样发音。		
		1	0	CSM	CSM 音声合成模式设定后 F-NUMBER 与 BLOCK 在 4 Slot 可以分别设定。这时候发音受 Timer-A 控制。		
	1	1	效果音	与 CSM 时同样，F-NUMBER 与 BLOCK 在 4 Slot 可以分别设定。			
	RESET A, B	根据 Timer-A, B 重置标志位（Flag）					
	ENABLE A, B	根据 Timer-A, B 控制标志位（Flag）。为“0”时标志位会被忽略（Mask）					
LOAD A, B	控制 Timer-A, B 的开始、停止。Load=“1”时 Timer 开始计数（Count）。						
28H	SLOT	控制发音端口的 ON/OFF					
	CH	决定发音通道。					
29H	SCH	设定发音通道数。为“0”时 3 个通道与 OPN 相同。为“1”时可 6 通道同时发音。					
	IRQ ENABLE	控制各中断信号。为“1”时，同步对应的状态标志位（Status Flag）且 1IRQ=“L”					
2DH~2FH		根据预分频器设置时钟分频。此地址无地址位（Data Bit），仅以指定地址来设置分频。					
		地址			分频值		主时钟 ØM(Max)
		2DH	2EH	2FH	FM 部分	SSG 部分	
		○	×	×	1/6	1/4	8MHz
		○	○	×	1/3	1/2	4MHz
		×	×	○	1/2	1/1	2.67MHz
○：指定地址							
3*H	DT	设定 Detune					
	MULTI	设定 Multiple					

○：指定地址

4*H	TL	设定 Total Level
5*H	KS	设定 Key Scale
	AR	设定 Attack Rate
6*H	AMON	控制振幅变调的 ON/OFF。“1”为 ON。
	DR	设定 Decay Rate
7*H	SR	设定 Sustain Rate
8*H	SL	设定 Sustain Level
	RR	设定 Release Rate
9*H	SSG-EG	控制 SSG Type 的包络波形。
A0H~A2H	F-Num. 1	设定 F-Number 的下位 8 位 (bit)。
A4H~A6H	F-Num. 2	设定 F-Number 的上位 3 位
	BLOCK	根据 BLOCK 设置八度
A8H~AAH	3CH F-Num. 1	效果音模式时，设定 3CH 各 Slot 的 F-Number 的下位 8 位。
ACH~AEH	3CH F-Num. 2	效果音模式时，设定 3CH 各 Slot 的 F-Number 的上位 3 位
	3CH BLOCK	效果音模式时，设定 3CH 各 Slot 的八度。
B0H~B2H	FB	设定自反馈 (self feedback) 的 level。
	CONNECT	设定算法。共有 8 种算法可选。
B4H~B6H	LR	设定输出通道。设定为“1”的通道将输出。
	AMS	根据 LFO 设定调幅率。
	PMS	根据 LFO 设定调频率。

(2) SSG 部分

地址	BIT	功能
00H, 01H		设置通道 A 的频率。00H 为微调，01H 为粗调。
02H, 03H		设置通道 B 的频率。02H 为微调，03H 为粗调。
04H, 05H		设置通道 C 的频率。04H 为微调，05H 为粗调。
06H		设置噪声 (Noise) 频率。
07H	IN/OUT IOA, IOB	控制内置 I/O 端口的输入输出。D7, D6 为“1”的时候 I/O 端口为输出状态。
	/NOISE	设置 Noise 输出通道。“0”的时候对应的通道将输出 Noise。
	/Tone	设置音频振荡器 (Tone Generetor) 的通道 ON/OFF。“0”的时候对应的通道将输出音乐。
08H~0AH		控置各通道的输出电平。根据 D4 的 M 决定输出的模式。M=“0”时为 D0~D3 中设置的固定级别。M=“1”时，输出的 level 会对应着包络生成器而变化。D0-D3 的话，全部为“0”的时候电平是最大的。
0BH, 0CH		设定包络的重复周期。0BH 为微调，0CH 为粗调。
0DH		当 08H-0AH 的 M 为“1”时设定包络的波形。
0EH, 0FH		存储 I/O 端口的输入输出数据。

(3) Rhythm 乐器部分

地址	BIT	功能
10H	DM	DM=“1”时将 Rhythm 音强制 dump (消音)

10H	RKON	指定各 Rhythm 音
11H	RTL	设定 Rhythm 音源部分的总合音量。分辨率为 0.75dB，全部为“0”时 level 为最小，为-47.5dB。
12H		OPNA 的测试用寄存器。通常不需要进行任何设定。
18H	L, R	设定各 Rhythm 音的输出通道。为“1”时被设定的通道将输出。
18H	IL	设定各 Rhythm 音的输出电平。分辨率为 0.75dB，全部为“0”的时候电平为最小，为-23.25dB。

(4) ADPCM 部分

地址	BIT	功能
00H	START	ADPCM 的声音分析/合成的开始位 (Start Bit)。设定为“1”时分析/合成将开始。
	REC	ADPCM 声音分析中，以及从 CPU 向外部存储器写入分析数据时设为“1”
	MEM DATA	选择访问 ADPCM 数据的内存。设置“0”的时候访问 CPU 管理的内存，设定为“1”时访问外部存储器。
	REPEAT	设置反复标识。设定为“1”时为反复模式，将在选定的区间内重复合成（播放）。
	SP OFF	此位置“1”时 SP OFF 端口将置为高电平 (H)。
	RESET	用于 ADPCM 声音合成时进行重置。声音合成中将此位置“1”时合成将停止然后恢复初始状态。
01H	L R	设置输出通道。设定为“1”时选定的通道将输出。
	SAMPLE	此位置“1”时 DA/AD 转换将开始。
	DA/AD	指定 AD/DA。设定为“1”时为 DA 转换。
	RAM TYPE	指定 DRAM 的位数 (bit)。为“1”时为 x8 bit 访问，为“0”时为 x1 bit 访问。
	ROM	指定外部存储器。为“1”时为 ROM，为“0”时为 DRAM。
02H, 03H		设定 DRAM, ROM 起始地址。02H 为上位 8 位，03H 为下位位 (Bit)。
04H, 05H		设定 DRAM, ROM 结束地址。02H 为上位 8 位，03H 为下位位 (Bit)。
06H, 07H		指定含 ADPCM 分析的 AD 转换时，以及 DA 转换时的采样频率。
08H		对 CPU 管理的存储器进行 ADPCM 分析/合成时，或从 CPU 访问外部存储器时存储 ADPCM 数据的可读写缓冲寄存器。
09H, 0AH		设定 ADPCM 声音合成时的采样频率。同时，给出以 55.5kHz 线性插值各采样之间的插值系数。
0BH		以 256 分级控制 ADPCM 声音合成的输出电平。
0CH, 0DH		设置内存限值的寄存器。在内存访问时，达到这个地址的话会回到 0 号。
0EH		根据此寄存器写入的数据进行 DA 转换。写入时的数据格式为 2's 组合 8 位 PCM 数据。

0FH		存储 AD 转换后的数据的只读寄存器。数据格式为 2' s 组合 8 位 PCM 数据。
10H	IRQ RESET	写入“1”将重置状态标志位。
	MASK ZERO	为“1”时，ZERO 标志位将被忽略。
	MASK BRDY	为“1”时，BRDY 标志位将被忽略。
	MASK EOS	为“1”时，EOS 标志位将被忽略。
	MASK TIMER-B	为“1”时，Timer-B 标志位将被忽略。
	MASK TIMER-A	为“1”时，Timer-A 标志位将被忽略。

(5) 状态寄存器

(a) STATUS 0

地址	BIT	功能
××	BUSY	将数据写入寄存器时变为“1”。
	FLAG B	Timer-B 经过设定时间时变为“1”
	FLAG A	Timer-A 经过设定时间时变为“1”

(b) STATUS 1

地址	BIT	功能
××H	PCM BUSY	ADPCM 声音合成进行中时变为“1”
	ZERO	ADPCM 声音分析中，持续 290ms 以上的无音状态时变为“1”
	BRDY	ADPCM 声音分析(合成)时，2 数据（1 字节）分析（合成）完毕时变为“1”。此外，写入（读取）外部存储器时，1 数据写入（读取）完成时变为“1”。
	EOS	ADPCM 声音分析/合成完成时，以及 AD/DA 转换时的 1 个采样周期经过时变为“1”。

## ■ 电气特性

### 1. 额定参数

项目	符号	额定值	单位
电源电压	$V_{CC}$	$-0.3 \sim 7.0$	V
输入电压	$V_I$	$-0.3 \sim V_{CC} + 0.3$	V
工作温度	$T_{OP}$	$0 \sim 70$	°C
保存温度	$T_{STG}$	$-50 \sim 125$	°C

### 2. 推荐工作条件

项目	符号	最小	标准	最大	单位
电源电压	$V_{CC}$	4.75	5.00	5.25	V
工作温度	$T_{OP}$	0	25	70	°C

### 3. 直流特性 (条件: $T_{OP}=0 \sim 70$ °C, $V_{CC}=5.00 \pm 0.25$ V)

项目	符号	条件	最小	标准	最大	单位
电源电流	$I_{CC}$	$V_{CC}=5.0$ V			200	mA
输入电压 L level	$V_{IL}$	全部输入引脚			0.8	V
输入电压 H level	$V_{IH}$	全部输出引脚	2.0			V
输入泄漏电流	$I_{LI}$	* 1	-10		10	μA
输出泄漏电流	$I_{LO}$	* 2	-10		10	μA
上拉电阻	$R_U$	* 3	60			kΩ
输出电压 L level	$V_{OL}$	$I_{OL}=2$ mA, * 4			600	V
输出电压 H level	$V_{OH}$	$I_{OH}=0.4$ mA, * 4	2.4		0.4	V
		$I_{OH}=40$ μA	3.3		$V_{CC}$	V
输入电容量	$C_I$	全部输入引脚			10	pF
输出电容量	$C_O$	全部输出引脚			10	pF

\* 1  $V_I=0 \sim 5$  V, 适用于  $\overline{OM}$ ,  $\overline{WD}$ ,  $\overline{RD}$ , A0, A1 引脚

\* 2 适用于 D0~D7, IRQ 引脚

\* 3 适用于 IOA0~IOA7, IOB0~IOB7,  $\overline{IC}$ ,  $\overline{CS}$ , DTO, DM0~DM7 引脚

\* 4 适用于所有输出引脚

经译者整理后发现其与应用手册数据有较大出入, 建议使用本手册的读者对比应用手册的数据进行使用, 应用手册中有关直流特性的数据会附录于最后。

#### 4. 交流特性 (条件: $T_{OP}=0\sim70\text{ }^{\circ}\text{C}$ , $V_{CC}=5.00\pm0.25\text{ V}$ , 输出容量 100 pF)

项目	符号	图示	最小	标准	最大	单位
$\phi M$ 时钟频率	$f_c$	图 1			8.0	MHz
负载	D		40	50	60	%
上升沿时间	$t_{CR}$				50	ns
下降沿时间	$t_{CF}$				50	ns
A0, A1 地址建立时间	$t_{AS}$	图 2, 3	10			ns
A0, A1 地址保持时间	$t_{AH}$		10			ns
/CS 写入宽度	$t_{CSW}$	图 2	200			ns
/WR 写入脉冲宽度	$t_{WW}$		200			ns
D0~D7 写入数据建立时间	$t_{WDS}$		100			ns
D0~D7 写入数据建立时间	$t_{WDH}$		20			ns
/CS 读取宽度	$t_{CSR}$	图 3	250		250	ns
/RD 读取脉冲宽度	$t_{RW}$		250		250	ns
D0~D7 读取数据访问时间	$t_{ACC}$				250	ns
D0~D7 读取数据保持时间	$t_{RDH}$		10		250	ns
$\phi S$ 输出上升沿时间 * 1	$t_{OR1}$	图 4			200	ns
OP0, SH1, SH2 输出上升沿时间 * 1	$t_{OR2}$				300	ns
$\phi S$ 输出下降沿时间 * 1	$t_{OF1}$	图 5			200	ns
OP0, SH1, SH2 输出下降沿时间 * 1	$t_{OF2}$				300	ns
重置脉冲宽度	$t_{ICW}$	图 11	$192/f_c$			s

\*1:  $CL=100\text{ pF}$

\*2: Cycle 是主时钟  $\phi M$  的周期数

项目	符号	图示	最小	标准	最大	单位
A0, A1 地址建立时间	$t_{SAS}$	图 6, 7	10			ns
A0, A1 地址保持时间	$t_{SAH}$		10			ns
/CS 写入宽度	$t_{SCSW}$	图 6	250			ns
/WR 写入脉冲宽度	$t_{SWW}$		250			ns
D0~D7 写入数据建立时间	$t_{SWDS}$		0			ns
D0~D7 写入数据建立时间	$t_{SWDH}$		20			ns
/CS 读取宽度	$t_{SCSR}$	图 7	400			ns
/RD 读取脉冲宽度	$t_{SRW}$		400			ns
D0~D7 读取数据访问时间	$t_{SACC}$				400	ns
D0~D7 读取数据保持时间	$t_{SRDH}$		10			ns



项目	符号	图示	最小	标准	最大	单位
A0, A1 地址建立时间	$t_{AAS}$	图 8, 9	10			ns
A0, A1 地址保持时间	$t_{AAH}$		10			ns
/CS 写入宽度	$t_{ACSW}$	图 8	380			ns
/WR 写入脉冲宽度	$t_{AWW}$		380			ns
D0~D7 写入数据建立时间	$t_{AWDS}$		10			ns
D0~D7 写入数据建立时间	$t_{AWDH}$		30			ns
/CS 读取宽度	$t_{ACSR}$	图 9	380		380	ns
/RD 读取脉冲宽度	$t_{ARW}$		380		380	ns
D0~D7 读取数据访问时间	$t_{AACC}$				380	ns
D0~D7 读取数据保持时间	$t_{ARDH}$		10		380	ns
内存数据建立时间 * 1	$t_{AMDS}$	图 12, 13	70			ns
内存数据保持时间 * 1	$t_{AMDH}$		10			ns
输出上升沿时间 * 2	$t_{OR3}$	图 10			300	ns
输出下降沿时间 * 2	$t_{OF3}$				300	ns

\*1: 适用于 DM1~DM7, D10 引脚

\*2: 适用于 DM0~DM7, /RAS, CAS, /WE, A8, MDEN, /ROMCS 引脚

### 5. 模拟特性

项目	符号	最小	标准	最大	单位
输入电压	$V_{IA}$	$V_{CC}/4$		$3V_{CC}/4$	V
输出电压振幅 * 1	$V_{OA}$	0.8		1.10	V

\*1: 最大音量、3 个音同时发音,  $R_L=470\ \Omega$

## ■ 时序图 (时序图的设定以 $V_R=2.0\text{ V}$ , $V_L=0.8\text{ V}$ 为基准。)

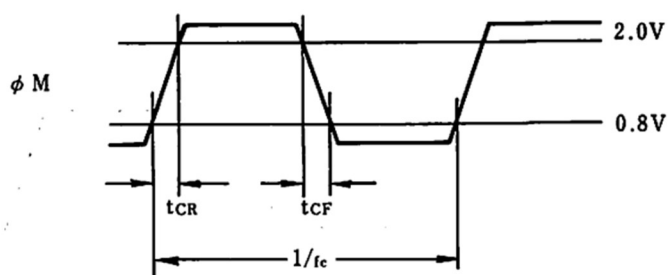
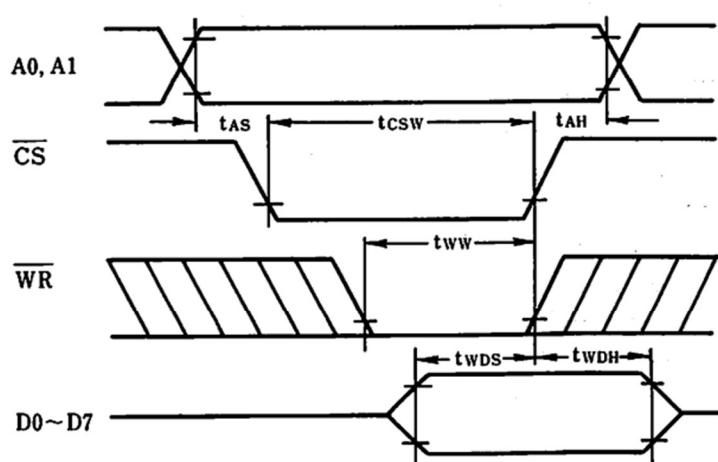
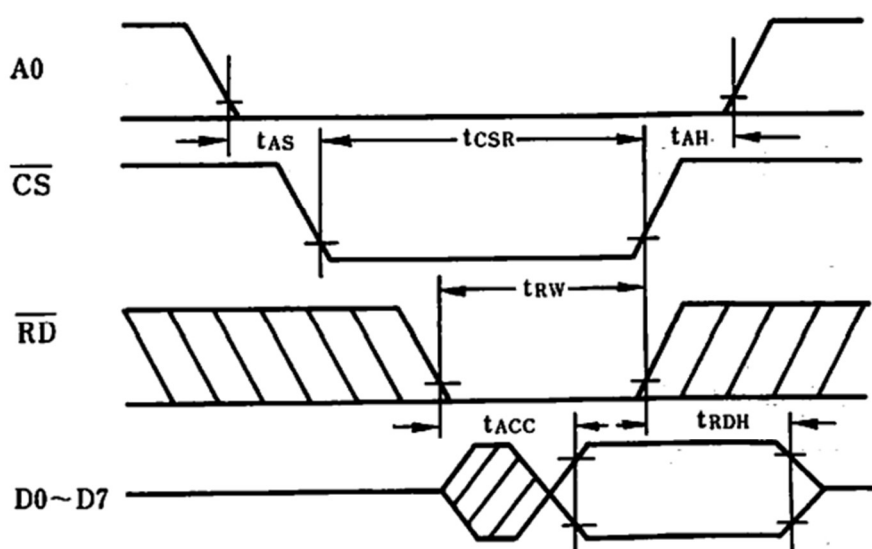


图 1 时钟时序



(注)  $t_{CSW}$ ,  $t_{WW}$ ,  $t_{WDS}$ ,  $t_{WDH}$  在  $\overline{CS}$ ,  $\overline{WR}$  当中任意一个为高电平时作为基准。

图 2 FM部分, Rhythm部分写入时序



(注)  $t_{ACC}$  在  $\overline{CS}$ ,  $\overline{RD}$  当中任意一个缓慢变为低电平时作为基准。

$t_{CSR}$ ,  $t_{RW}$ ,  $t_{RDH}$  在  $\overline{CS}$ ,  $\overline{RD}$  当中任意一个为低电平时作为基准

图 3 FM部分读取时序

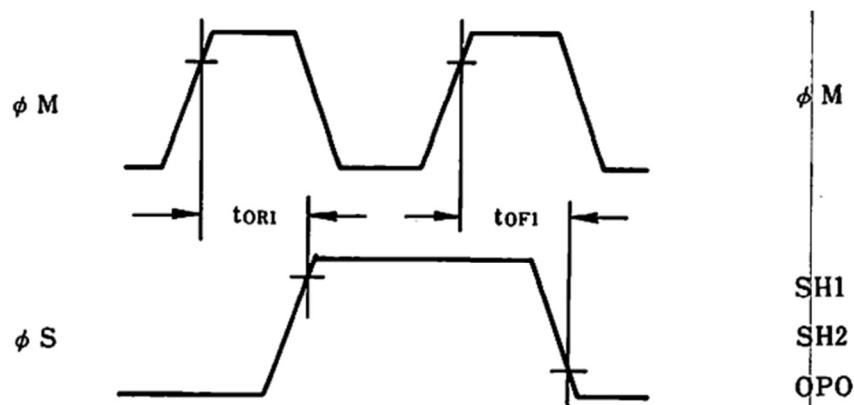


图 4 输出时序(1)

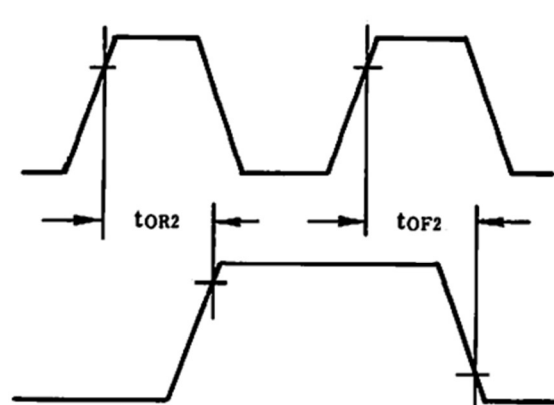


图 5 输出时序(2)

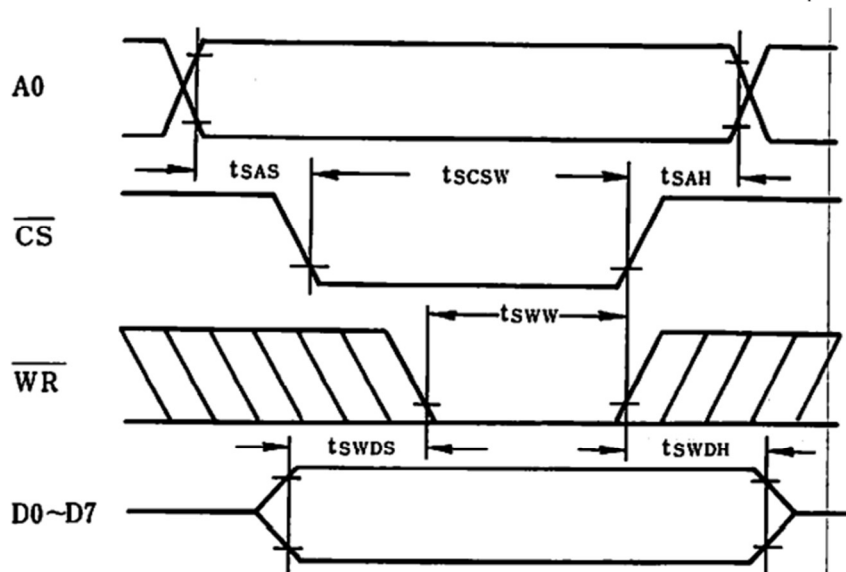


图 6 SSG部分写入时序

(注)  $t_{SWDS}$  在  $\overline{CS}$ ,  $\overline{WR}$  当中任意一个缓慢变为低电平时作为基准。

$t_{SCSW}$ ,  $t_{SWW}$ ,  $t_{SWDH}$  在  $\overline{CS}$ ,  $\overline{WR}$  当中任意一个为高电平时作为基准。

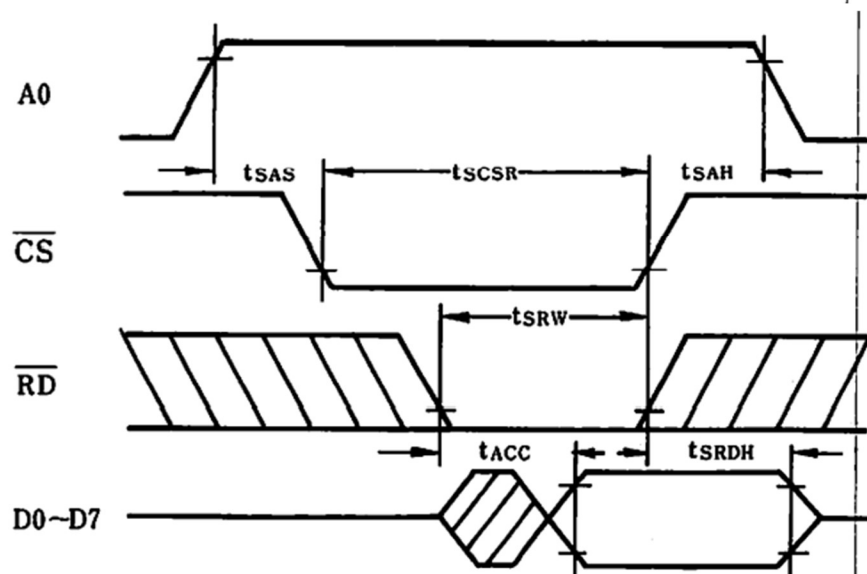
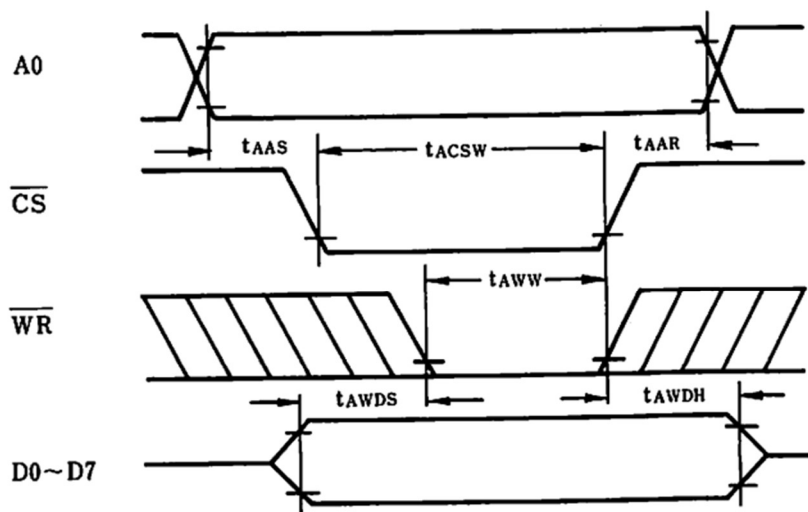


图 7 SSG部分读取时序

(注)  $t_{SACC}$  在  $\overline{CS}$ ,  $\overline{RD}$  当中任意一个缓慢变为低电平时作为基准。

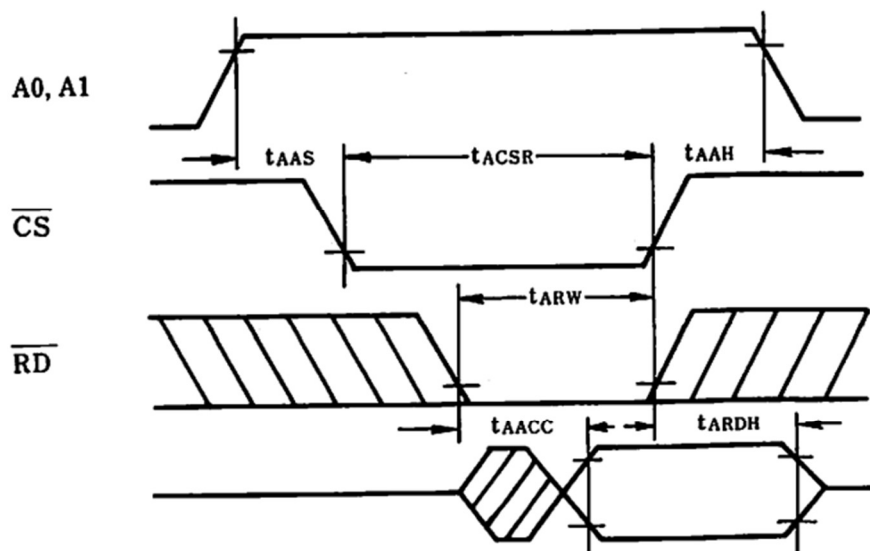
$t_{SCSR}$ ,  $t_{SRW}$ ,  $t_{SRDH}$  在  $\overline{CS}$ ,  $\overline{RD}$  当中任意一个为高电平时作为基准。



(注)  $t_{AWDS}$  在  $\overline{CS}$ ,  $\overline{WR}$  当中任意一个缓慢变为低电平时作为基准。

$t_{ACSW}$ ,  $t_{AWW}$ ,  $t_{AWDH}$  在  $\overline{CS}$ ,  $\overline{WR}$  当中任意一个为高电平时作为基准。

图 8 ADPCM部分写入时序



(注)  $t_{AACC}$  在  $\overline{CS}$ ,  $\overline{RD}$  当中任意一个缓慢变为低电平时作为基准。

$t_{ACSR}$ ,  $t_{ARW}$ ,  $t_{ARDH}$  在  $\overline{CS}$ ,  $\overline{RD}$  当中任意一个为高电平时作为基准。

图 9 ADPCM部分读取时序

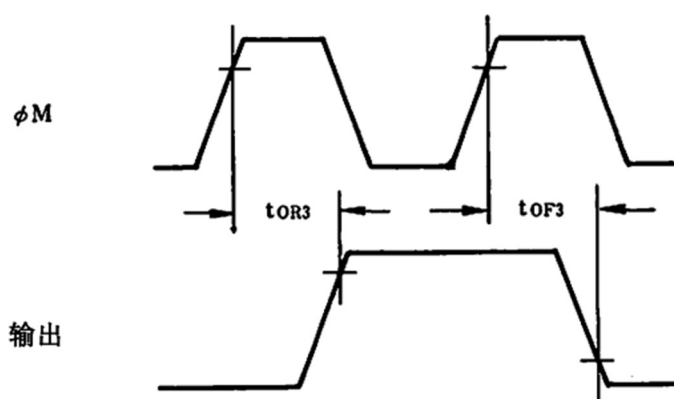


图10 输出时序(3)

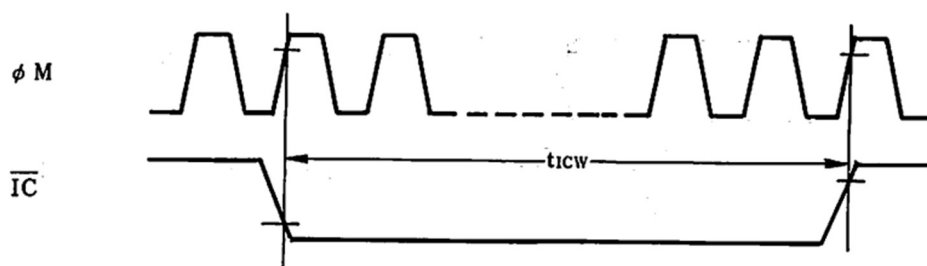
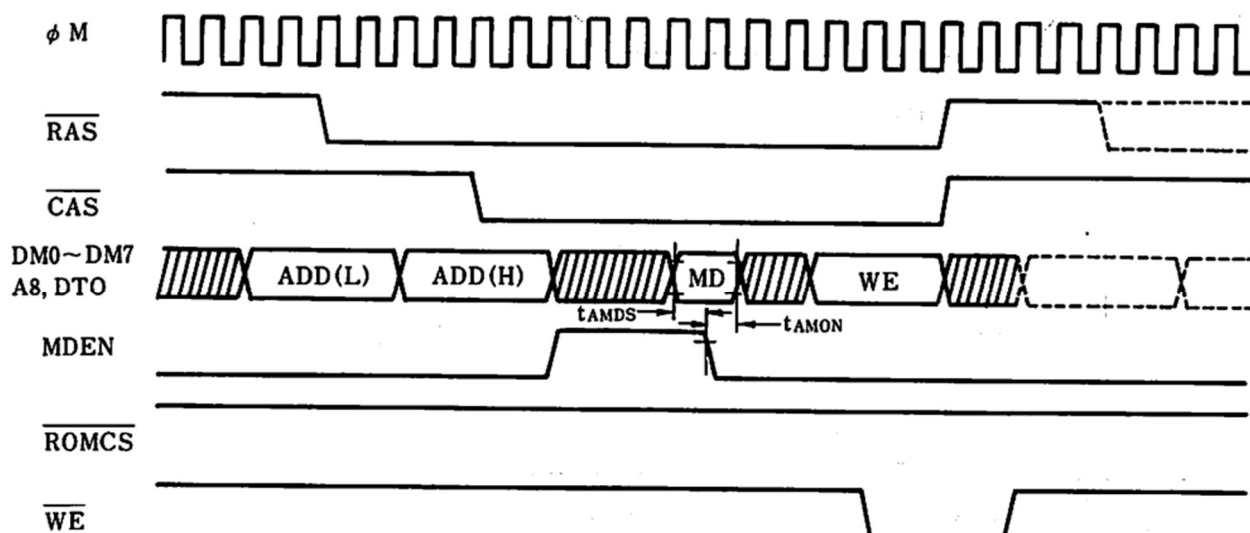
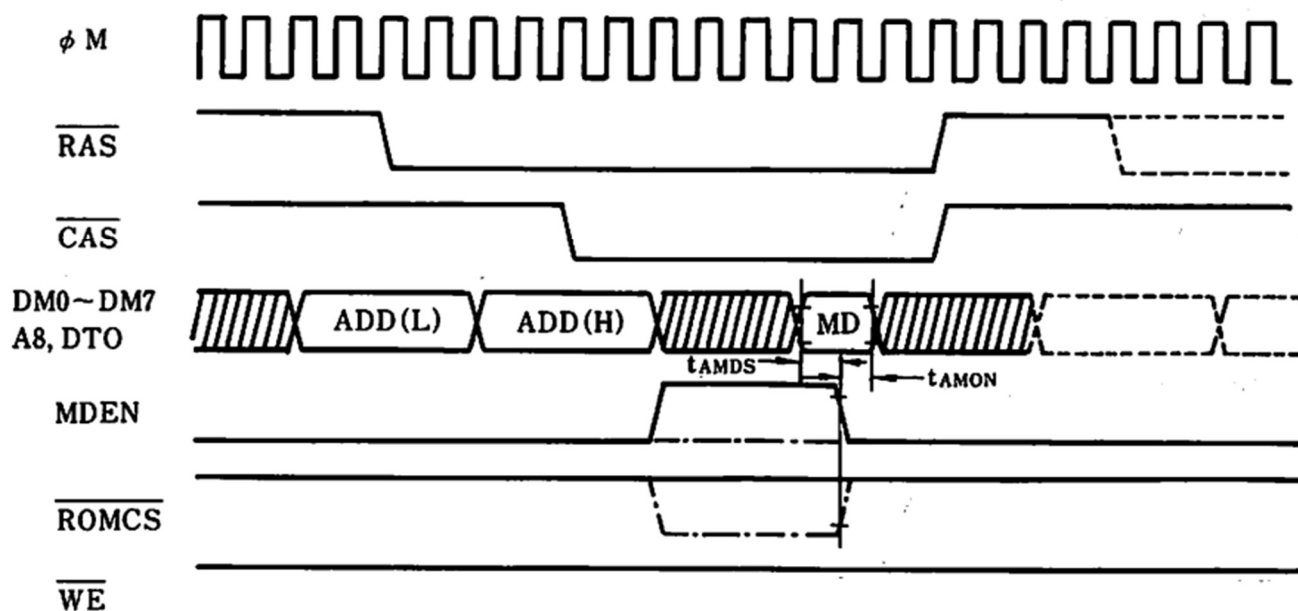


图11 重置脉冲宽度



(注) A8规定ADD(L), ADD(H), DTO规定MD, DMO规定ADD(L), ADD(H)和WD。

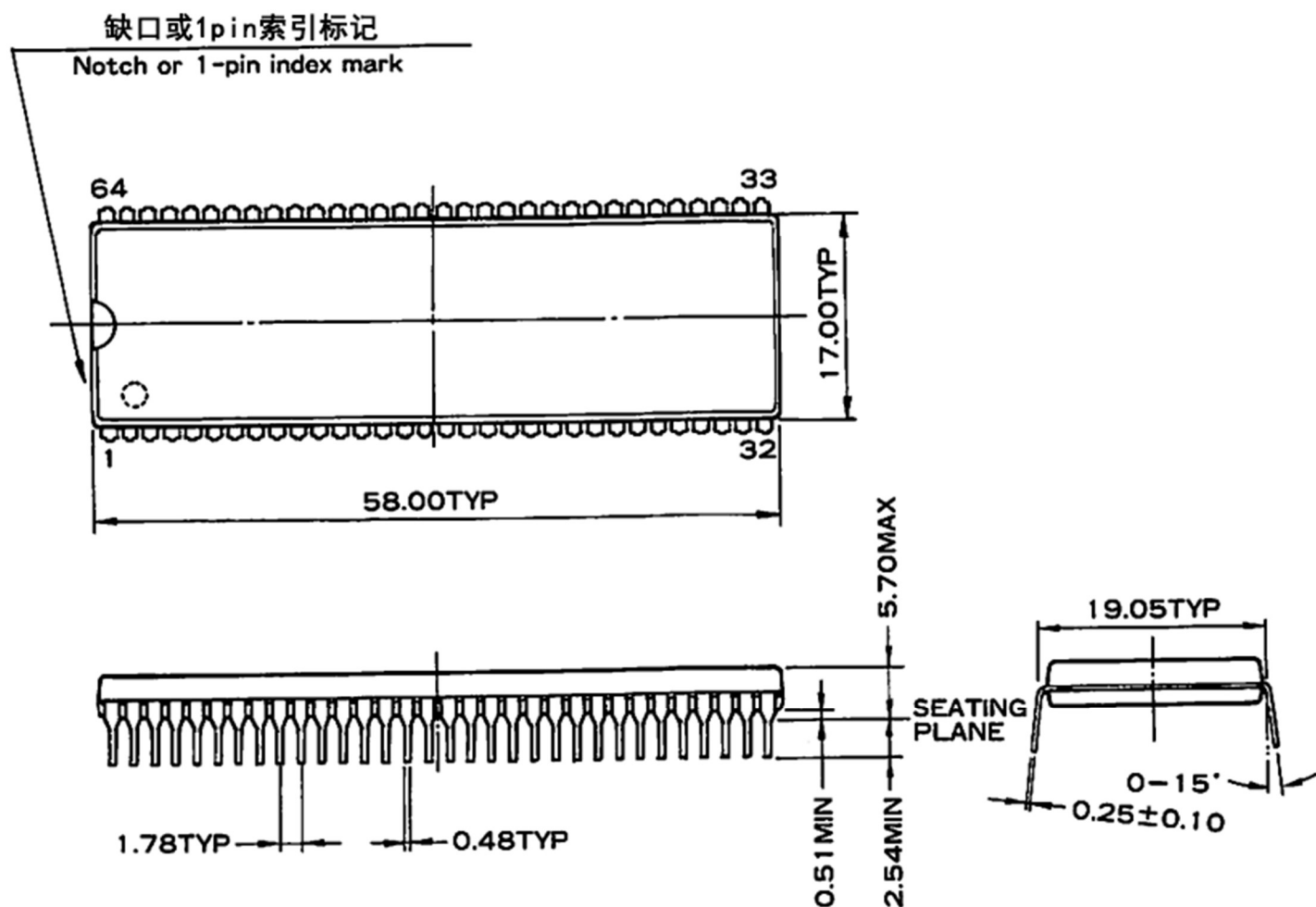
图12 外部存储器写入周期



(注) A8规定ADD(L), ADD(H), DTO规定MD, DMO规定ADD(L), ADD(H)。MDEN和ROMCS的实线是RAM读取周期, 点划线是ROM读取周期。

图13 外部存储器读取周期

## ■ 封装外形图



模具外形尺寸不包括毛刺。  
单位 (UNIT) : mm

附：应用手册中有关 YM2608 芯片直流特性表

项目		符号	条件	最小	最大	单位
输入电压 H level	所有输入端（时钟输入除外）	$V_{IH}$		2.0	$V_{CC}$	V
输入电压 L level	所有输入端（时钟输入除外）	$V_{IL}$		-0.3	0.8	V
时钟输入电压 H level	$\emptyset M$	$V_{CH}$		2.0	$V_{CC}$	V
时钟输入电压 L level	$\emptyset M$	$V_{CL}$		-0.3	0.8	V
输入泄漏电流	$\emptyset M, /WR, /RD, A0, A1$	$I_L$	$V_{in}=0\sim 5\text{ V}$	-10	10	$\mu\text{ A}$
三态输入（OFF 状态）电流	$D0\sim D7$	$I_{TSL}$	$V_{in}=0\sim 5\text{ V}$	-10	10	$\mu\text{ A}$
输出电压 H level	/IRQ 除外	$V_{OH1}$	$I_{OH1}=0.4\text{ mA}$	2.4		V
		$V_{OH2}$	$I_{OH2}=40\text{ }\mu\text{ A}$	3.3		V
输出电压 L level	所有输出端	$V_{OL}$	$I_{OL}=2\text{ mA}$		0.4	V
输出泄漏电流（OFF 状态）	/IRQ	$I_{OL}$	$V_{OH}=0\sim 5\text{ V}$	-10	10	$\mu\text{ A}$
模拟输出电压	ANALOG OUT	$V_{OA}$	3 音同时最大音量 $R_L=470\text{ }\Omega$	0.80	1.10	$V_{PP}$
模拟输入电压	AD, DA	$V_A$		$V_{CC}/4$	$3V_{CC}/4$	V
电源电流		$I_{CC}$			200	mA
上拉电阻	$IOA0\sim IOA7, IOB0\sim IOB7, /IC, /CS, DT0, DM0\sim DM7$	$R_{PU}$		60	600	k $\Omega$
输入容量	所有输入端	$C_i$	$f=1\text{ MHz}$		10	pF
输出容量	所有输出端	$C_o$			10	pF