

YM3438

6-ch, 4-op. FM sound generator
(OPN2C)

■ 概 要

OPN2CはFM方式によるシンセサイザー音源です。

OPN (YM2203C) と FM 音源の音色データの互換性を保ちながら、同時発音数を 6 音に拡張しました。6 音の内 1 音を使用して 8 ビットの PCM 音の出力も可能です。

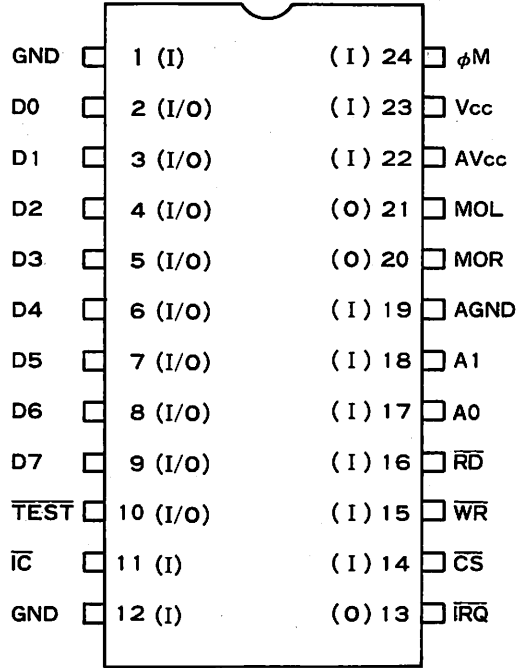
また、ビブラート・振幅変調用に低周波発振器及び音声出力用にステレオ DAC を内蔵しました。

一方、OPN から矩形波音源及び I/O ホートを削除し、24 ピンのパッケージにコンパクトにまとめました。

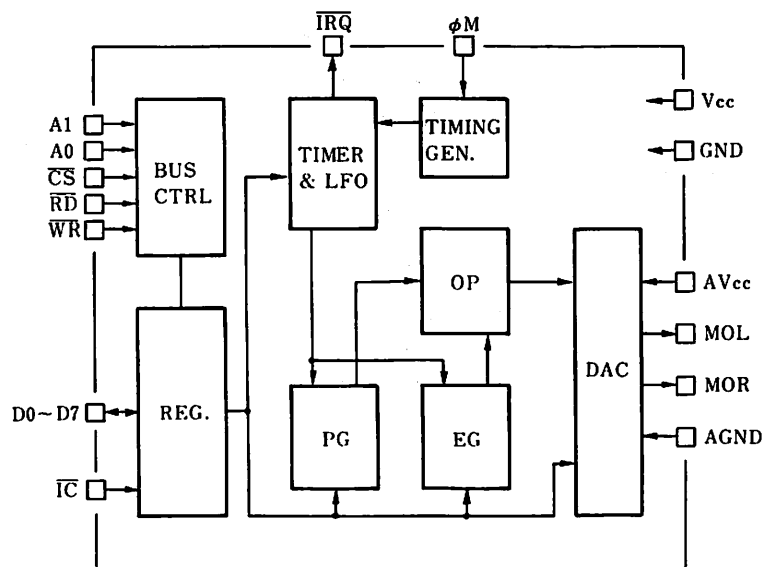
■ 特 徴

- FM 音源部 : 4 オペレータ、6 音同時発音
OPN の音色データと互換性あり
- PCM : 6 音中 1 音可能
マイコンより 8 ビットのレジスタに書き込むことにより出力可能
- 低周波発振器 : ビブラート・振幅変調
(LFO) 変調の有無及び発振周波数設定可能
- 音声出力 : L、R の 2 チャンネル
9 ビットのステレオ DAC 内蔵
- タイマー : フログラマブルなタイマーを 2 個内蔵
- その他 : 5 V 単一電源
CMOS による低消費電力化
パッケージは 24 ピン プラスチック DIP (YM3438)

■端子配置図



■ブロック図



■端子機能

φM

マスタークロック入力です。

MOL・MOR

2チャンネルのアナログ出力です。電圧出力されます。

D0～D7

8ビットの双方向データバスです。プロセッサとデータのやり取りをします。

CS・RD・WR・A1・A0

D0～D7のデータバスのコントロールをします

CS	RD	WR	A1	A0	アドレス範囲	内 容
0	1	0	0	0	\$21～\$2C	タイマー等のレジスタ・アドレスを書き込みます。
					\$30～\$B6	チャンネル1～3のレジスタ・アドレスを書き込みます。
0	1	0	0	1	\$21～\$2C	タイマー等のレジスタ・データを書き込みます。
					\$30～\$B6	チャンネル1～3のレジスタ・データを書き込みます。
0	1	0	1	0	\$30～\$B6	チャンネル4～6のレジスタ・アドレスを書き込みます。
0	1	0	1	1	\$30～\$B6	チャンネル4～6のレジスタ・データを書き込みます。
0	0	1	0	0	\$XX	ステータスを読み出します。
0	0	1	0	1	\$XX	D0～D7は高インピーダンスになります。
0	0	1	1	0		
0	0	1	1	1		
1	X	X	X	X		

IRQ

2つのタイマーから出される割り込み信号です。タイマーにプログラムされた時間が経過すると、低レベルになります。

IC

内部レジスタを初期化します。

TEST

本LSIをテストするための端子です。どこにも接続しないで下さい。

GND, AGND

グラウンド端子です。

Vcc, AVcc

+5V電源端子です。

■機能説明

OPN2Cの制御は、すべてレジスタに書き込まれたデータをもとにしておこなわれます。したがってプロセッサの仕事は、レジスタにデータを送る以外の発音制御から解放されます。

FM音源は、4つのSin波の組み合わせ(変調)で1音を決めます。変調形式は、feedback FM・単純FMおよび多重FMのすべてが可能です。

OPN2Cの各ブロックは、次のような仕事をします。

- *エンベロープジェネレータ (EG) : FM音源のエンベロープおよび変調波の変調指数を決定します。
- *フェイズジェネレータ (PG) : FM音源の各時間ステップでのSin波の位相を決めます。
- *オペレータ (OP) : EGからの振幅・PGからの位相をもとにして $E \sin \theta$ の値を計算するブロックです。
- *デジタルアナログコンバータ (DAC) : 9ビットデジタルデータをLR2チャンネルのアナログデータに変換します。
- *タイマー (TIMER) : 2種類のタイマーをもっています。
- *Low Frequency Oscillator (LFO) : 低周波発振器の出力によりオペレータを変調し、音に周期的変化を与えます。

☆ FM方式

FM方式とはFrequency Modulation (周波数変調) を利用し、そこで発生するいろいろな高調波をコントロールして、楽音を合成する方法です。

FMの基本式は、次式で表わされます。

$$F = A \sin (\omega c t + I \sin \omega m t) \quad - (1)$$

ここで、Aは出力振幅、Iは変調指数、 $\omega c \cdot \omega m$ はそれぞれキャリアおよびモジュレータの角周波数です。この式は、また次のようにも表現できます。

$$F = A \{ J_0(I) \sin \omega c t + J_1(I) \{ \sin (\omega c + \omega m) t - \sin (\omega c - \omega m) t \} \\ + J_2(I) \{ \sin (\omega c + 2\omega m) t - \sin (\omega c - 2\omega m) t \} \\ + \dots \dots \dots \} \quad - (2)$$

ここで、 $J_n(I)$ はn次の第1種Bessel関数です。上式から、FM方式は、各種の倍音を含み、かつそれを制御できることがわかります。

OPN2Cでは、上記のFM変調の他に、(3)、(4)式で表わされる多重FM変調およびfeedback FM変調の方式も用意されており、あらゆる音に対応できます。

$$F = A \sin [\omega c t + I_1 \sin (\omega m_1 t + I_2 \sin \omega m_2 t)] \quad - (3)$$

$$F = A \sin (\omega c t + \beta F) \quad - (4)$$

■レジスタマップ

ADDRESS

\$ 2 1	Test									
\$ 2 2	/	/	/	/	L F O					
\$ 2 4	Timer - A									
\$ 2 5	/	/	/	/	/	/	Timer-A			
\$ 2 6	Timer - B									
\$ 2 7	Mode		Reset B A		Enable B A		Load B A			
\$ 2 8	S L O T				/	C H				
\$ 2 A	D A C D a t e									
\$ 2 B	SEL	/	/	/	/	/	/	/	/	
\$ 2 C	Test									
\$ 3 0 \$ 3 E	/	D T				M U L T I				
\$ 4 0 \$ 4 E	/	T L								
\$ 5 0 \$ 5 E	K S		/	A R						
\$ 6 0 \$ 6 E	A M	/	/	D R						
\$ 7 0 \$ 7 E	/	/	/	S R						
\$ 8 0 \$ 8 E	S L				R R					
\$ 9 0 \$ 9 E	/	/	/	/	S S G - E G					
\$ A 0 \$ A 1 \$ A 2	F - N u m . 1									
\$ A 4 \$ A 5 \$ A 6	/	/	B L O C K				F - N u m . 2			
\$ A 8 \$ A 9 \$ A A	3 C H * F - N u m . 1									
\$ A C \$ A D \$ A E	/	/	3 C H * B L O C K				3 C H * F - N u m . 2			
\$ B 0 \$ B 1 \$ B 2	/	/	F B				C O N N E C T			
\$ B 4 \$ B 5 \$ B 6	L	R	A M S		/	P M S				

COMMENT

LSIの Test Data
LFOの FREQ CONTROL
Timer-Aの上位8ビット
Timer-Aの下位2ビット
Timer-Bのデータ
Timer-A/Bの Control 及び 3 CHの Mode
Key ON/OFF
DAC Data
DAC Select
LSIの Test Data
Detune/Multiple (33, 37, 3Bのアドレスは無し)
Total Level (43, 47, 4Bのアドレスは無し)
Key Scale/Attack Rate (53, 57, 5Bのアドレスは無し)
AMON/Decay Rate (63, 67, 6Bのアドレスは無し)
Sustain Rate (73, 77, 7Bのアドレスは無し)
Sustain Level/Release Rate (83, 87, 8Bのアドレスは無し)
SSG-Type Envelope Control (93, 97, 9Bのアドレスは無し)
F-Number/BLOCK
3 CH- 3 Slot F-Number/BLOCK
Self-Feedback/Connection
LR/AMS/PMS

OPN2Cのレジスタは、レジスタマップで示されるように内部アドレスが与えられています。
各レジスタの内容は次のとおりです。

(1)	\$ 21, \$ 2 C	テスト情報。常に“0”の状態にしておきます。
(2)	\$ 22	LFOのON/OFF制御とLFOの発振周波数を設定します。
(3)	\$ 24 ~ \$ 26	タイマーAとタイマーBのセットの時間を与えます。
(4)	\$ 27	タイマーA・Bの動作を制御します。加えて、FM音源第3チャンネルのモードを設定します。
(5)	\$ 2 A	DACに対し直接DATAを書き込みます。
(6)	\$ 2 B	チャンネル6のFM音を出力するか、\$ 2 Aに書かれたDATAを出力するかを選択します。
(7)	\$ 30 ~ \$ 3 E	DetuneとMultipleの制御です。音色を設定する時に使います。 基本波と倍音の関係を制御します。
(8)	\$ 40 ~ \$ 4 E	Total Levelを与えます。この情報は、被変調波の音量・変調波の変調指数になります。
(9)	\$ 50 ~ \$ 5 E	Key-Scaleは、音高情報に従ってA・D・S・Rの変化割合を制御します。 Attack Rateはアタック時のエンベロープの変化の割合を与えます。
(10)	\$ 60 ~ \$ 6 E	Decay Rateはディケイ時のエンベロープの変化の割合です。及び振幅変調ON/OFF。
(11)	\$ 70 ~ \$ 7 E	Sustain Rateはサスティン時のエンベロープの変化の割合です。
(12)	\$ 80 ~ \$ 8 E	Sustain Levelはディケイからサスティンに移行するレベルを与えます。 Release Rateはリリース時のエンベロープの変化割合です。
(13)	\$ 90 ~ \$ 9 E	プリセットされたエンベロープを与えます。
(14)	\$ A0 ~ \$ A6	各チャンネルのKey-Code (F-Number) を与えます。
(15)	\$ A8 ~ \$ AE	特殊モードにした場合の3チャンネルのKey-Code (F-Number) です。
(16)	\$ B0 ~ \$ B2	FM変調の変調形式(Connection)とfeedback FMの変調度を与えます。 (Self-feedback)
(17)	\$ B4 ~ \$ B6	LFOを振幅及び発振周波数にかける深度を設定およびL/R, ON/OFF。

■電気的特性

1. 絶対最大定格 (V_{SS}=0V基準)

項 目	記号	定 格 値		単位
		最 小	最 大	
電源電圧	V _{CC}	V _{SS} -0.5	V _{SS} +7.0	V
入力電圧	V _I	V _{SS} -0.5	V _{CC} +0.5	V
出力電圧	V _O	V _{SS} -0.5	V _{CC} +0.5	V
動作周囲温度	T _{OP}	0	70	℃
保存温度	T _{STG}	-50	125	℃
入力端子電流	I _{IP}	-20	+20	mA

2. 推奨動作条件 (V_{SS}=0V基準)

項 目	記 号	推 奨 値			単位
		最 小	標 準	最 大	
電源電圧	V _{CC}	4.75	5.00	5.25	V
動作周囲温度	T _{OP}	0	25	70	℃
低レベル入力電圧*1	V _{IL}			0.8	V
高レベル入力電圧*1	V _{IH}	2.0			V

注) *1…クロック入力(φ_M)を除く。

3. 直流特性 (推奨動作条件において)

項 目	記 号	条 件	最小	標準	最大	単位
入力リーク電流	φM, WR, RD, A0, A1	I _{LI}	V _I = 0 ~ 5V	-10	10	μA
出力リーク電流	D0 ~ D7, /IRQ	I _{LO}	V _I = 0 ~ 5V	-10	10	μA
出力Highレベル電圧	D0 ~ D7	V _{OH}	I _{OH} = 80μA	2.4		V
出力Lowレベル電圧	D0 ~ D7	V _{OL}	I _{OL} = 1.6mA		0.4	V
電源電流		I _{CC}			25	mA
ブルアップ抵抗	TEST, IC, CS	R _U	60		600	kΩ

4. DAC特性 (推奨動作条件において)

項 目	記 号	条 件	最 小	標 準	最 大	単位
最大出力振幅	MOR, MOL	V_{OA}		$AV_{CC} - 0.08$		V
分解能	MOR, MOL			9		BIT

5. クロック特性 (推奨動作条件において)

項 目	記 号	条 件	規 格			単位
			最 小	標 準	最 大	
ϕ_M 周波数	f_c	(図1)	7.7	8.0	8.3	MHz
ϕ_M デューティ	D	(図1)	40	50	60	%
クロック入力低レベル電圧	V_{ILC}	(図1)			0.8	V
クロック入力高レベル電圧	V_{IHC}	(図1)	2.0			V

$$\phi_M \text{デューティ} = \text{ton} \times f_c \times 100$$

6. 端子容量 (推奨動作条件において)

項 目	記 号	規 格			単位
		最 小	標 準	最 大	
入力端子容量	C_I		5	8	pF
クロック入力端子容量	C_{IC}			8	pF
出力端子容量	C_O			10	pF
入出力端子容量	C_{IO}			12	pF

測定条件: $T_{OP} = 25^\circ\text{C}$ $V_{CC} = 5.0\text{V}$

入力電圧: $V_{IH} = 2.4\text{V}$ 以上 $V_{IL} = 0.45\text{V}$ 以下

$V_{IHC} = 3.0\text{V}$ 以上 $V_{ILC} = 0.4\text{V}$ 以下

入力信号周波数 1.0MHz

V_{CC} と測定端子以外はGNDに接続

7. 交流特性 (推奨動作条件において)

項 目	記号	条 件	最小	標準	最大	単位
アドレスセットアップ時間	A0, A1	tAS (図2, 3)	10			ns
アドレスホールド時間	A0, A1	tAH (図2, 3)	10			ns
チップセレクトライト幅	\overline{CS}	tCSW (図2, 3)	200			ns
ライトパルス幅	\overline{WR}	tWW (図2, 3)	200			ns
ライトデータセットアップ時間	D0~D7	tWDS (図2, 3)	100			ns
ライトデータホールド時間	D0~D7	tWDH (図2, 3)	20			ns
チップセレクトリード幅	\overline{CS}	tCSR (図2)	350			ns
リードパルス幅	\overline{RD}	tRW (図2)	350			ns
リードデータアクセス時間	D0~D7	tACC (図2) $C_L=50pF$			250	ns
リードデータホールド時間	D0~D7	tRDH (図2)	10			ns
ライト・リードウエイト時間	$\overline{WR}, \overline{RD}$	tWRW (図5, 6)	750			ns
リード・ライトウエイト時間		tRWW				
ライト後リードアクセス 禁止幅	$\overline{CS}, \overline{WR}, \overline{RD}$ A1, A0	tAIW (図5)	17/fc			s
ライトウエイト幅	\overline{WR}	tWWW (図7) * 1 * 2 * 3	17/fc 83/fc 47/fc			s

注) * 1 : アドレス・ライトーデータ・ライト間

* 2 : データ・ライトーアドレス・ライト間およびデータ・ライトーデータ・ライト間
但し、データ・ライトされるレジスタ・アドレスは\$21~\$9Eの場合* 3 : データ・ライトーアドレス・ライト間およびデータ・ライトーデータ・ライト間
但し、データ・ライトされるレジスタ・アドレスは\$A0~\$B6の場合

*リセット

項 目	記号	条 件	最小	標準	最大	単位
リセットパルス幅	\overline{IC}	tICW (図4)	192/fc			s

8. タイミング図

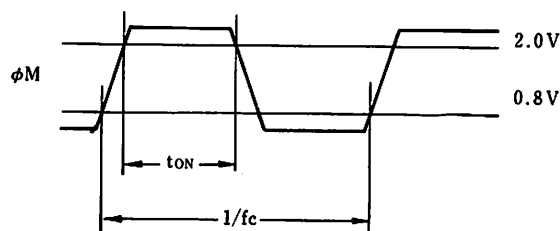
(タイミング図の設定は $V_H=2.0V$, $V_L=0.8V$ を基準とする。)

図1 クロックタイミング

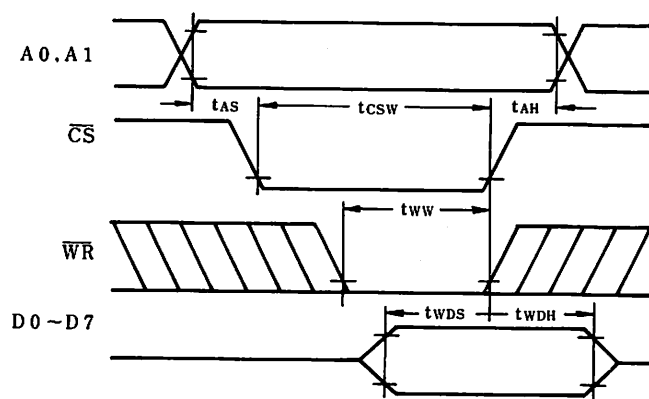


図2 ライトタイミング

(注)

t_{CSW} , t_{WW} , t_{WDS} , t_{WDH} は、 \overline{CS} , \overline{WR} の何れかがHIGHレベルになる時を基準とする。

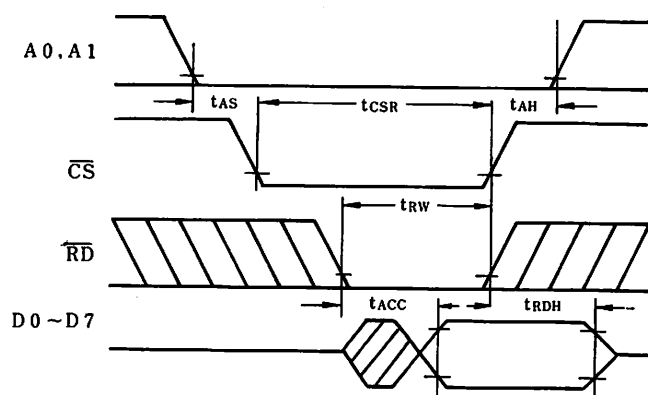


図3 リードタイミング

(注)

t_{ACC} は、 \overline{CS} , \overline{RD} の何れかが遅くLOWレベルになる時を基準とする。

t_{CSR} , t_{RW} , t_{RDH} は、 \overline{CS} , \overline{RD} の何れかがHIGHレベルになる時を基準とする。

リセットパルス

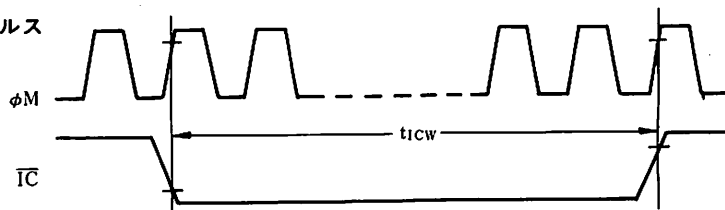


図4 リセットパルス幅

レジスタアクセスタイミング

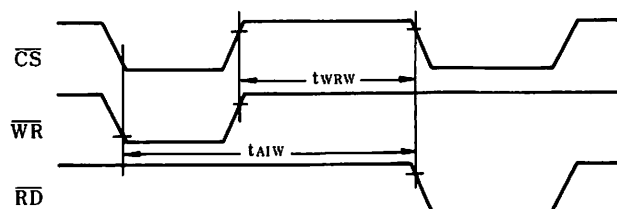


図5 ライト・リード・タイミング

(注) t_{AIW} は、 \overline{CS} , \overline{WR} のいずれかが遅く LOW レベルになる時、および、 \overline{CS} , \overline{RD} のいずれかが遅く変化する時を基準とする。

t_{WRW} は、 \overline{CS} , \overline{WR} のいずれかが遅く HIGH レベルになる時、および、 \overline{CS} , \overline{RD} のいずれかが早く変化する時を基準とする。

また、 t_{AIW} , t_{WRW} は、A0, A1 とは無関係である。

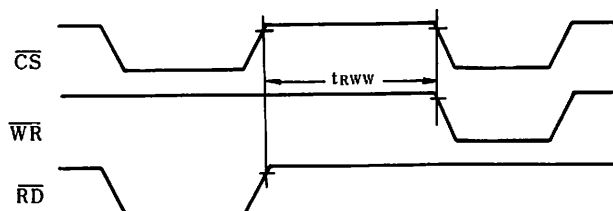


図6 リード・ライト・タイミング

(注) t_{RW} は、 \overline{CS} , \overline{RD} のいずれかが遅く HIGH レベルになる時、および、 \overline{CS} , \overline{WR} のいずれかが早く変化する時を基準とする。

また、 t_{RW} は、A0, A1 とは無関係である。

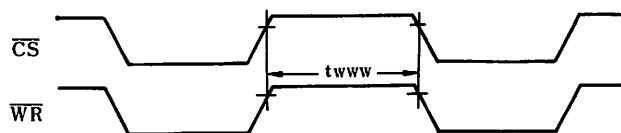
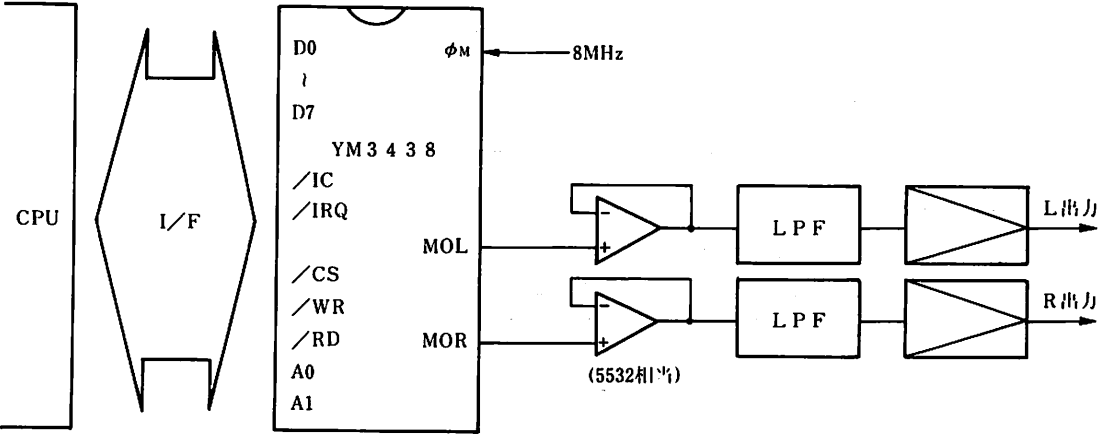


図7 ライト・ライト・タイミング

(注) t_{WWW} は、 \overline{CS} , \overline{WR} のいずれかが遅く HIGH レベルになる時から、 \overline{CS} , \overline{WR} のいずれかが遅く変化する時を長わす。

また、 t_{WWW} は、A0, A1 とは無関係である。

■推奨回路例



■パッケージ外形図

