

YM3438

OPN2C

■概 要

OPN2CはFM方式によるシンセサイザー音源です。

OPN (YM2203C) と FM音源の音色データの互換性を保ちながら、同時発音数を6音に拡張しました。6音の内1音を使用して8ビットのPCM音の出力も可能です。

また、ヒブラート・振幅変調用に低周波発振器及び音声出力用にステレオDACを内蔵しました。

一方、OPNから矩形波音源及びI/Oポートを削除し、24ピンのパッケージにコンパクトにまとめました。

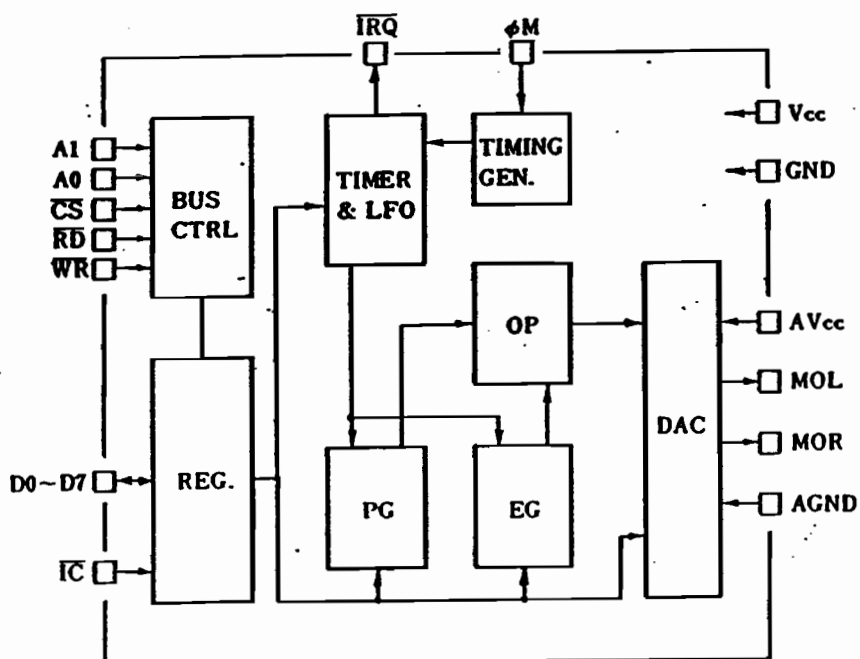
■特 徴

- FM音源部 : 4オペレータ、6音同時発音
OPNの音色データと互換性あり
- PCM : 6音中1音可能
マイコンより8ビットのレジスタに書き込むことにより出力可能
- 低周波発振器: ヒブラート・振幅変調
(LFO) 変調の有無及び発振周波数設定可能
- 音声出力 : L、Rの2チャンネル
9ビットのステレオDAC内蔵
- タイマー : プログラマブルなタイマーを2個内蔵
- その他 : 5V単一電源
CMOSによる低消費電力化
パッケージは24ピンプラスチックDIP

端子配置図

GND	1	I	I	24	ϕ M
D0	2	I/O	I	23	Vcc
D1	3	I/O	I	22	AVcc
D2	4	I/O	O	21	MOL
D3	5	I/O	O	20	MOR
D4	6	I/O	I	19	AGND
D5	7	I/O	I	18	A1
D6	8	I/O	I	17	A0
D7	9	I/O	I	16	\overline{RD}
\overline{TEST}	10	I/O	I	15	\overline{WR}
\overline{IC}	11	I	I	14	\overline{CS}
GND	12	I	O	13	\overline{IRQ}

ブロックダイアグラム



■電気的特性

1. 絶対最大定格 ($V_{SS}=0V$ 基準)

項 目	記号	定 格 値		単位
		最 小	最 大	
電源電圧	V_{CC}	$V_{SS}-0.5$	$V_{SS}+7.0$	V
入力電圧	V_I	$V_{SS}-0.5$	$V_{CC}+0.5$	V
出力電圧	V_O	$V_{SS}-0.5$	$V_{CC}+0.5$	V
動作周囲温度	T_{OP}	0	70	℃
保存温度	T_{STG}	-50	125	℃
入力端子電流	I_{IP}	-20	+20	mA

2. 推奨動作条件 ($V_{SS}=0V$ 基準)

項 目	記 号	推 奨 値			単位
		最 小	標 準	最 大	
電源電圧	V_{CC}	4.75	5.00	5.25	V
動作周囲温度	T_{OP}	0	25	70	℃
低レベル入力電圧*1	V_{IL}			0.8	V
高レベル入力電圧*1	V_{IH}	2.0			V

注) *1…クロック入力(ϕ_M)を除く。

3. 直流特性 (推奨動作条件において)

項 目	記 号	条 件	最小	標準	最大	単位
入力リーク電流	$\phi_M, WR, RD, A0, A1$	I_L	$V_{in}=0\sim5V$	-10	10	μA
スリーステート入力電流 (オフ状態)	D0~D7	I_{TSL}	$V_{in}=0\sim5V$	-10	10	μA
出力Highレベル電圧	D0~D7	V_{OH}	$I_{OH}=80\mu A$	2.4		V
出力Lowレベル電圧	D0~D7	V_{OL}	$I_{OL}=1.6mA$		0.4	V
出力リーク電流 (オフ状態)	IRQ	I_{OL}	$V_{OH}=0\sim5V$	-10	10	μA
電源電流		I_{CC}			25	mA
プルアップ抵抗	TEST, IC, CS	R_{PU}		60	600	k Ω

4. DAC特性 (推奨動作条件において)

項 目	記 号	条 件	最 小	標 準	最 大	単 位
最大出力振幅	MOR, MOL	V _{OUT}		A _{VCC} -0.08		V
分解能	MOR, MOL			9		BIT

5. クロック特性 (推奨動作条件において)

項 目	記 号	条 件	規 格			単 位
			最 小	標 準	最 大	
φ _M 周波数	f _{MCLK}	(図1)	7.7	8.0	8.3	MHz
φ _M デューティ ^H _L	Duty ^H _L	(図1)	40	50	60	%
クロック入力低レベル電圧	V _{ILC}	(図1)			0.8	V
クロック入力高レベル電圧	V _{MHC}	(図1)	2.0			V

$$\phi_M \text{デューティ } H = t_{HM} \cdot f_{MCLK} \times 100$$

$$\text{または } \phi_M \text{デューティ } L = t_{LM} \cdot f_{MCLK} \times 100$$

6. 端子容量 (推奨動作条件において)

項 目	記 号	規 格			単 位
		最 小	標 準	最 大	
入力端子容量	C _i		5	8	pF
クロック入力端子容量	C _{ic}			8	pF
出力端子容量	C _o			10	pF
入出力端子容量	C _{io}			12	pF

測定条件: T_{OP} = 25℃ V_{CC} = 5.0V

入力電圧 V_M = 2.4V以上 V_{IL} = 0.45V以下

V_{MHC} = 3.0V以上 V_{ILC} = 0.4V以下

入力信号周波数 1.0MHz

V_{CC}と測定端子以外はGNDに接続

■端子機能説明

φM

マスタークロック入力です。

MOL・MOR

2チャンネルのアナログ出力です。電圧出力されます。

D0~D7

8ビットの双方向データバスです。プロセッサとデータのやり取りをします。

CS・RD・WR・A1・A0

D0~D7のデータバスのコントロールをします

CS	RD	WR	A1	A0	アドレス範囲	内 容
0	1	0	0	0	\$21~\$2C	タイマー等のレジスタ・アドレスを書き込みます。
					\$30~\$B6	チャンネル1~3のレジスタ・アドレスを書き込みます。
0	1	0	0	1	\$21~\$2C	タイマー等のレジスタ・データを書き込みます。
					\$30~\$B6	チャンネル1~3のレジスタ・データを書き込みます。
0	1	0	1	0	\$30~\$B6	チャンネル4~6のレジスタ・アドレスを書き込みます。
0	1	0	1	1	\$30~\$B6	チャンネル4~6のレジスタ・データを書き込みます。
0	0	1	0	0	\$XX	ステータスを読み出します。
0	0	1	0	1	\$XX	D0~D7は高インピーダンスになります。
0	0	1	1	0		
0	0	1	1	1		
1	X	X	X	X		

IRQ

2つのタイマーから出される割り込み信号です。タイマーにプログラムされた時間が経過すると、低レベルになります。

IC

内部レジスタを初期化します。

TEST

本LSIをテストするための端子です。どこにも接続しないで下さい。

GND, AGND

グラウンド端子です。

Vcc, AVcc

+5V電源端子です。

機能説明

OPN2Cの制御は、すべてレジスタに書き込まれたデータをもとにしておこなわれます。したがってプロセッサの仕事は、レジスタにデータを送る以外の発音制御から解放されます。

FM音源は、4つのSin波の組み合わせ(変調)で1音を決めます。変調形式は、feedback FM・単純FMおよび多重FMのすべてが可能です。

OPN2Cの各ブロックは、次のような仕事をします。

- ・エンベロープジェネレータ (EG) : FM音源のエンベロープおよび変調波の変調指数を決定します。
- ・フェイズジェネレータ (PG) : FM音源の各時間ステップでのSin波の位相を決めます。
- ・オペレータ (OP) : EGからの振幅・PGからの位相をもとにして $E \sin \theta$ の値を計算するブロックです。
- ・デジタルアナログコンバータ (DAC) : 9ビットデジタルデータをLR2チャンネルのアナログデータに変換します。
- ・タイマー (TIMER) : 2種類のタイマーをもっています。
- ・Low Frequency Oscillator (LFO) : 低周波発振器の出力によりオペレータを変調し、音に周期的変化を与えます。

FM方式

FM方式とはFrequency Modulation (周波数変調) を利用し、そこで発生するいろいろな高調波をコントロールして、楽音を合成する方法です。

FMの基本式は、次式で表わされます。

$$F = A \sin (\omega c t + I \sin \omega m t) \quad (1)$$

ここで、Aは出力振幅、Iは変調指数、 $\omega c \cdot \omega m$ はそれぞれキャリアおよびモジュレータの角周波数です。この式は、また次のようにも表現できます。

$$F = A \{ J_0(I) \sin \omega c t + J_1(I) [\sin (\omega c + \omega m) t - \sin (\omega c - \omega m) t] \\ + J_2(I) [\sin (\omega c + 2\omega m) t - \sin (\omega c - 2\omega m) t] \\ + \dots \dots \dots \} \quad (2)$$

ここで、 $J_n(I)$ はn次の第1種Bessel関数です。上式から、FM方式は、各種の倍音を含み、かつそれを制御できることがわかります。

OPN2Cでは、上記のFM変調の他に、(3)、(4)式で表わされる多重FM変調およびfeedback FM変調の方式も用意されており、あらゆる音に対応できます。

$$F = A \sin (\omega c t + I_1 \sin (\omega m_1 t + I_2 \sin \omega m_2 t)) \quad (3)$$

$$F = A \sin (\omega c t + \beta F) \quad (4)$$

7. 交流特性 (推奨動作条件において)

項	II	記号	条 件	最小	標準	最大	単位
アドレスセットアップ時間	A0, A1	T _{AS}	(図2, 3)	10			nS
アドレスホールド時間	A0, A1	T _{AH}	(図2, 3)	10			nS
チップセレクトライト幅	\overline{CS}	T _{CSW}	(図2, 3)	200			nS
ライトパルス幅	\overline{WR}	T _{WW}	(図2, 3)	200			nS
ライトデータセットアップ時間	D0~D7	T _{WDS}	(図2, 3)	100			nS
ライトデータホールド時間	D0~D7	T _{WDH}	(図2, 3)	20			nS
チップセレクトリード幅	\overline{CS}	T _{CSR}	(図2)	350			nS
リードパルス幅	\overline{RD}	T _{RW}	(図2)	350			nS
リードデータアクセス時間	D0~D7	T _{ACC}	(図2) C _L =50pF			250	nS
リードデータホールド時間	D0~D7	T _{RDH}	(図2)	10			nS
ライト・リードウエイト時間	$\overline{WR}, \overline{RD}$	T _{WRW}	(図5, 6)	750			nS
リード・ライトウエイト時間		T _{RWW}					
ライト後リードアクセス 禁止幅	$\overline{CS}, \overline{WR}, \overline{RD}$ A1, A0	T _{AIW}	(図5)	17			サイクル
ライトウエイト幅	\overline{WR}	T _{WWW}	(図7) * 1 * 2 * 3	17 83 47			サイクル

注) * 1 : アドレス・ライト→データ・ライト間

* 2 : データ・ライト→アドレス・ライト間およびデータ・ライト→データ・ライト間
但し、データ・ライトされるレジスタ・アドレスは\$21~\$9Eの場合* 3 : データ・ライト→アドレス・ライト間およびデータ・ライト→データ・ライト間
但し、データ・ライトされるレジスタ・アドレスは\$A0~\$B6の場合

*リセット

項	II	記号	条 件	最小	標準	最大	単位
リセットパルス幅	\overline{IC}	T _{ICW}	(図4)	192			サイクル

イミング図

(タイミング図の設定は $V_H=2.0V$, $V_L=0.8V$ を基準とする。)

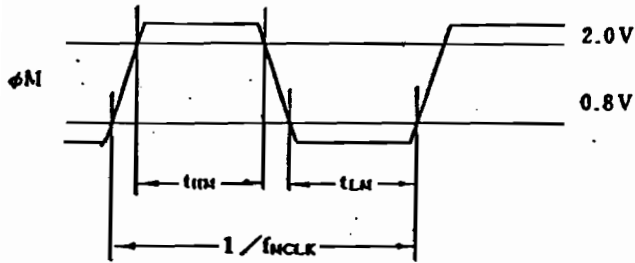


図1 クロックタイミング

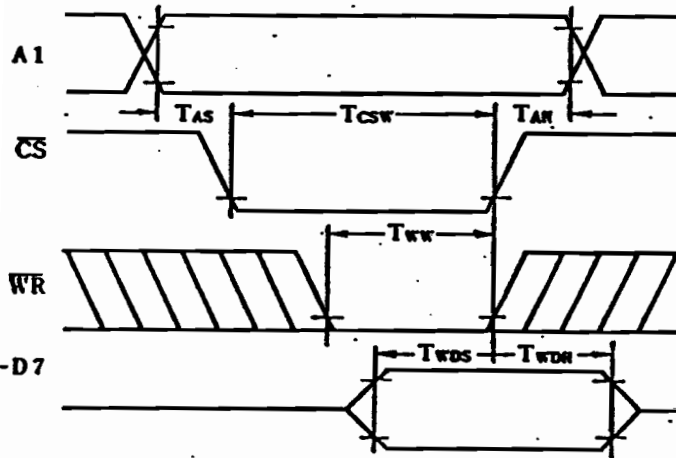


図2 ライトタイミング

(注)

T_{CSW} , T_{WW} , T_{WDS} , T_{WDH} は、 \overline{CS} , \overline{WR} の何れかがHIGHレベルになる時を基準とする。

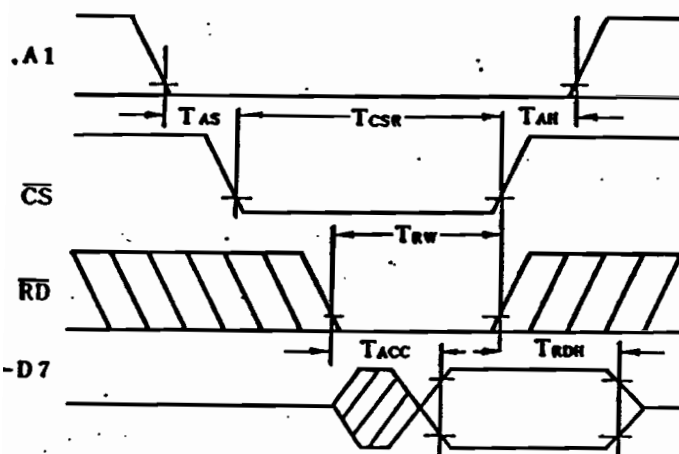


図3 リードタイミング

(注)

T_{ACC} は、 \overline{CS} , \overline{RD} の何れかが遅くLOWレベルになる時を基準とする。

T_{CSR} , T_{RW} , T_{RDH} は、 \overline{CS} , \overline{RD} の何れかがHIGHレベルになる時を基準とする。

■レジスタマップ

ADDRESS		COMMENT
\$21	Test	LSIのTest Data
\$22	/ / / / LFO	LFOのFREQ CONTROL
\$24	Timer-A	Timer-Aの上位8ビット
\$25	/ / / / / / / / Timer-A	Timer-Aの下位2ビット
\$26	Timer-B	Timer-Bのデータ
\$27	Mode Reset B A Enable B A Load B A	Timer-A/BのControl及び3CHのMode
\$28	SLOT / CH	Key ON/OFF
\$2A	DAC Data	DAC Data
\$2B	SEL / / / / / / / /	DAC Select
\$2C	Test	LSIのTest Data
\$30 \$3E	/ DT MULTI	Detune/Multiple (33, 37, 3Bのアドレスは無し)
\$40 \$4E	/ TL	Total Level (43, 47, 4Bのアドレスは無し)
\$50 \$5E	KS / AR	Key Scale/Attack Rate (53, 57, 5Bのアドレスは無し)
\$60 \$6E	AM / / DR	AMON/Decay Rate (63, 67, 6Bのアドレスは無し)
\$70 \$7E	/ / / SR	Sustain Rate (73, 77, 7Bのアドレスは無し)
\$80 \$8E	SL RR	Sustain Level/Release Rate (83, 87, 8Bのアドレスは無し)
\$90 \$9E	/ / / / SSG-EG	SSG-Type Envelop Control (93, 97, 9Bのアドレスは無し)
\$A0 \$A1 \$A2	F-Num. 1	
\$A4 \$A5 \$A6	/ / BLOCK F-Num. 2	F-Number/BLOCK
\$A8 \$A9 \$AA	3 CH * F-Num. 1	3CH-3 Slot
\$AC \$AD \$AE	/ / 3 CH * BLOCK 3 CH * F-Num. 2	F-Number/BLOCK
\$B0 \$B1 \$B2	/ / FB CONNECT	Self-Feedback/Connection
\$B4 \$B5 \$B6	L R AMS / PMS	LR/AMS/PMS

OPN2Cのレジスタは、レジスタマップで示されるように内部アドレスが与えられています。

各レジスタの内容は次のとおりです。

(1)	\$ 21, \$ 2 C	テスト情報。常に“0”の状態にしておきます。
(2)	\$ 22	LFOのON/OFF制御とLFOの発振周波数を設定します。
(3)	\$ 24 ~ \$ 26	タイマーAとタイマーBのセットの時間を与えます。
(4)	\$ 27	タイマーA・Bの動作を制御します。加えて、FM音源第3チャンネルのモードを設定します。
(5)	\$ 2 A	DACに対し直接DATAを書き込みます。
(6)	\$ 2 B	チャンネル6のFM音を出力するか、\$ 2 Aに与えられたDATAを出力するかを選択します。
(7)	\$ 30 ~ \$ 3 E	DetuneとMultipleの制御です。音色を設定する時に使います。基本波と倍音の関係を制御します。
(8)	\$ 40 ~ \$ 4 E	Total Levelを与えます。この情報は、被変調波の音域・変調波の変調指数になります。
(9)	\$ 50 ~ \$ 5 E	Key-Scaleは、音高情報に従ってA・D・S・Rの変化割合を制御します。Attack Rateはアタック時のエンベロープの変化の割合を与えます。
(10)	\$ 60 ~ \$ 6 E	Decay Rateはディケイ時のエンベロープの変化の割合です。及び振幅変調ON/OFF。
(11)	\$ 70 ~ \$ 7 E	Sustain Rateはサスティン時のエンベロープの変化の割合です。
(12)	\$ 80 ~ \$ 8 E	Sustain Levelはディケイからサスティンに移行するレベルを与えます。Release Rateはリリース時のエンベロープの変化割合です。
(13)	\$ 90 ~ \$ 9 E	プリセットされたエンベロープを与えます。
(14)	\$ A0 ~ \$ A6	各チャンネルのKey-Code (F-Number) を与えます。
(15)	\$ A8 ~ \$ AE	特殊モードにした場合の3チャンネルのKey-Code (F-Number) です。
(16)	\$ B0 ~ \$ B2	FM変調の変調形式(Connection) とfeedback FMの変調度を与えます。(Self-feedback)
(17)	\$ B4 ~ \$ B6	LFOを振幅及び発振周波数にかけける深さを設定および、L/R, ON/OFF。

リセットパルス

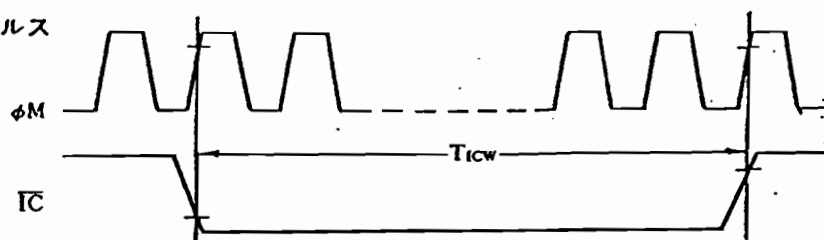


図4 リセットパルス幅

レジスタアクセスタイミング

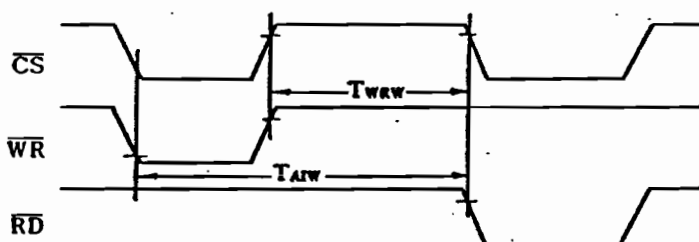


図5 ライト・リード・タイミング

(注) T_{1rw} は、 \overline{CS} , \overline{WR} のいずれかが遅く LOW レベルになる時、および、 \overline{CS} , \overline{RD} のいずれかが遅く変化する時を基準とする。

T_{2rw} は、 \overline{CS} , \overline{WR} のいずれかが遅く HIGH レベルになる時、および、 \overline{CS} , \overline{RD} のいずれかが早く変化する時を基準とする。

また、 T_{1rw} , T_{2rw} は、 A_0 , A_1 とは無関係である。

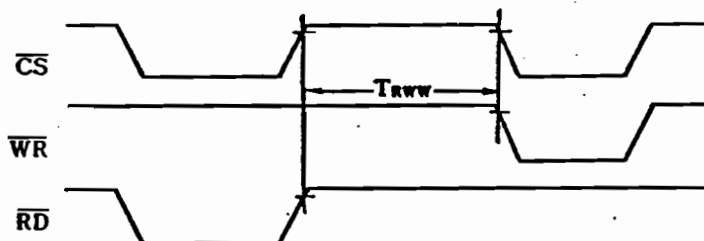


図6 リード・ライト・タイミング

(注) T_{1rw} は、 \overline{CS} , \overline{RD} のいずれかが遅く HIGH レベルになる時、および、 \overline{CS} , \overline{WR} のいずれかが早く変化する時を基準とする。

また、 T_{1rw} は、 A_0 , A_1 とは無関係である。

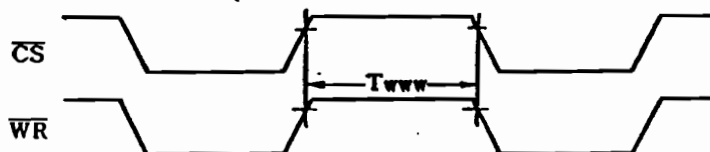
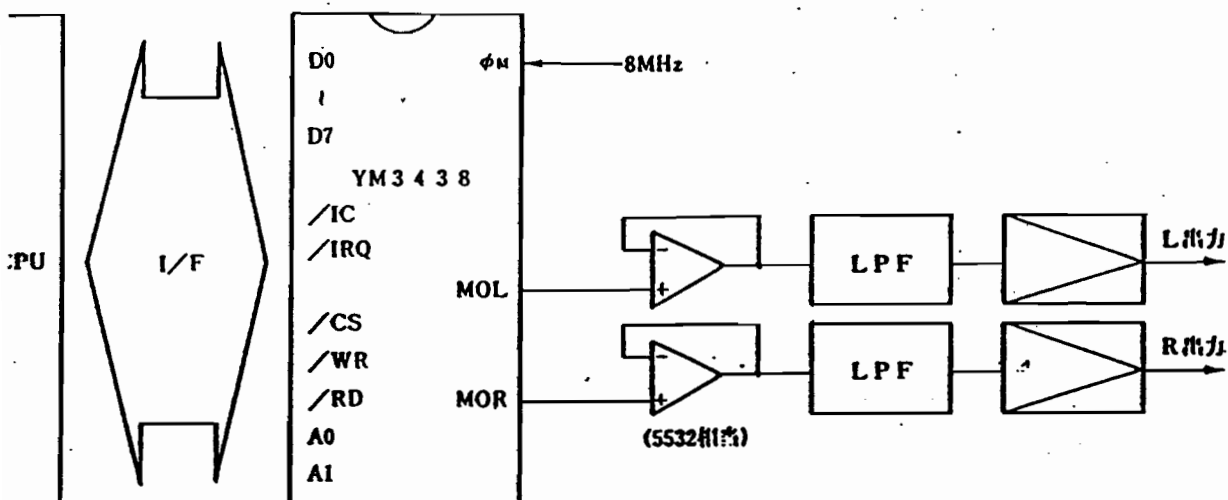


図7 ライト・ライト・タイミング

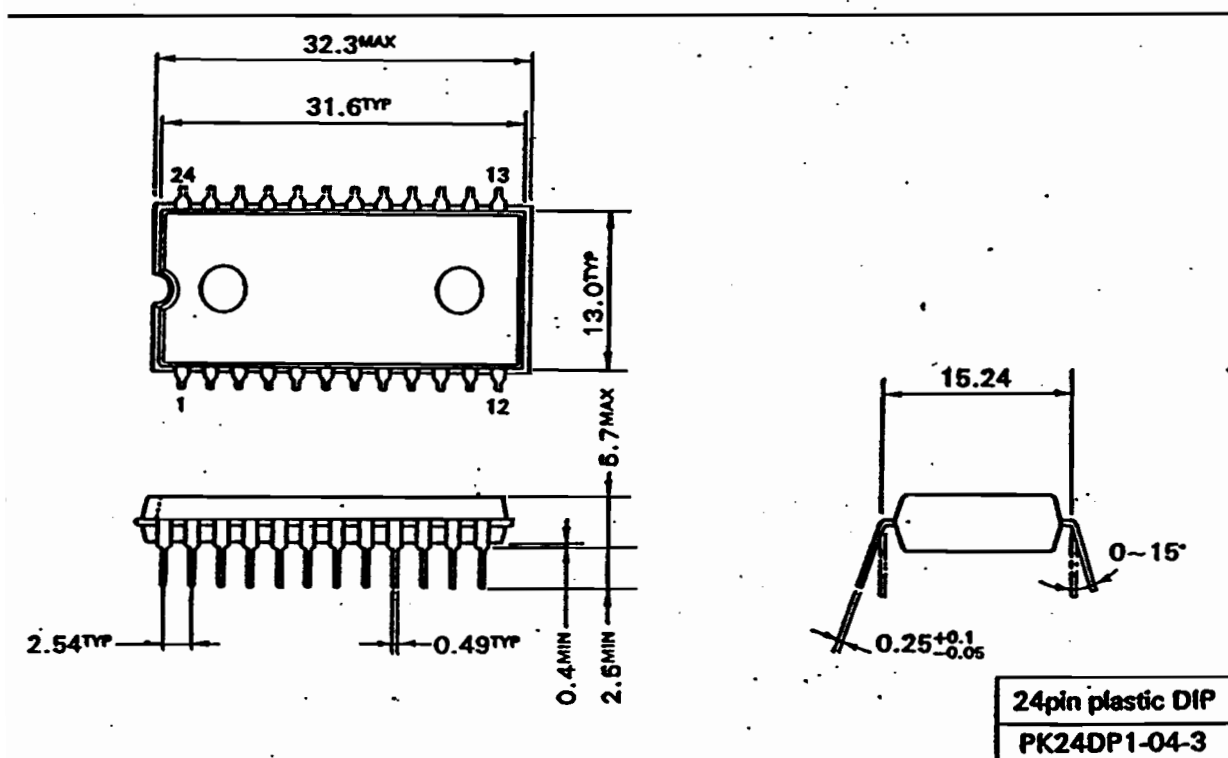
(注) T_{1rw} は、 \overline{CS} , \overline{WR} のいずれかが遅く HIGH レベルになる時から、 \overline{CS} , \overline{WR} のいずれかが遅く変化する時を表わす。

また、 T_{1rw} は、 A_0 , A_1 とは無関係である。

推奨回路例



外形寸法図



本品の仕様につきましては改良の為、予告なく変更する場合があります。

代理店

ヤマハ株式会社

半導体営業部

東京営業所 〒101 東京都千代田区神田駿河台3-4
 龍名館ビル4F
 TEL (03)255-4481(代)
 大阪営業所 〒542 大阪府大阪市中央区南船場3-12-9
 心斎橋プラザビル東館4F
 TEL (06)252-7980(代)
 営業部 〒438-01 静岡県磐田郡豊岡村松之本島203
 TEL (0539)62-4918(代)
 FAX (0539)62-5054