

YAMAHA® LSI

YMF289B *OPL™*

(OPL3-L)

OPL3 Low Voltage version

■概要

YMF289B(OPL3-L)は、YMF262(OPL3)とレジスタの互換性を保ちながら、3.3V動作及び低消費電力化に対応したFM音源LSIです。YMF262と比べて、サンプリング周波数は44.1kHzに変更され、レジスタリード等の機能が追加されました。パッケージタイプは、44ピンQFPと48ピンSQFPを用意し、ノートパソコンやPCMCIAのサウンドカード等でより使いやすくなりました。

■特徴

-YMF262に対してレジスタコンパチブル。

-発音モード

2オベレータモード

2オベメロディ音18音同時発音、または2オベメロディ音15音 + リズム音5音同時発音

4オベレータモード

4オベメロディ音6音 + 2オベメロディ音6音同時発音、または

4オベメロディ音6音 + 2オベメロディ音3音 + リズム音5音同時発音

-8個のFM演算用波形内蔵

-ステレオ出力

-音声出力のサンプリング周波数は44.1kHz。

-全レジスタをリード可能。

-低消費電力モード(パワーダウンモード)をサポート。

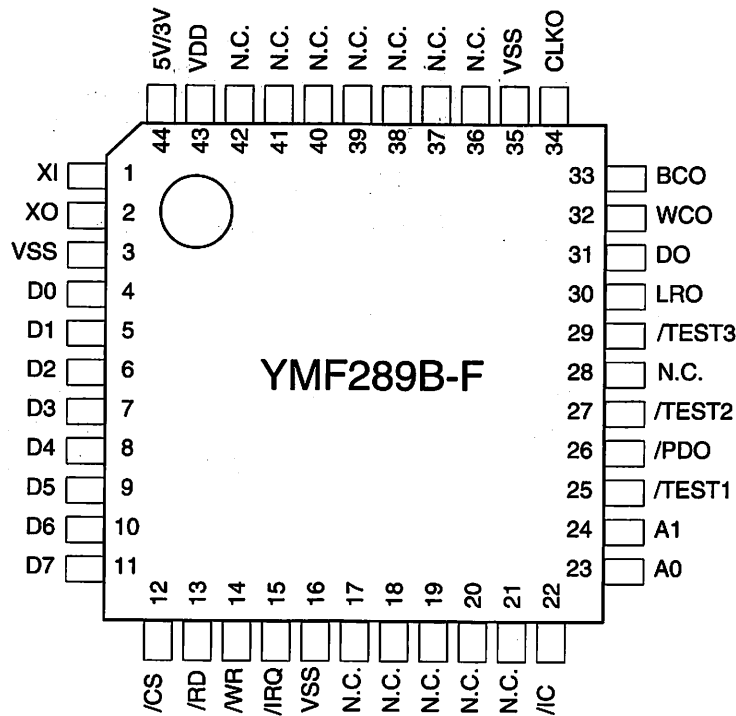
-電源電圧は5Vまたは3.3V。

-DACインターフェースはYAC516、YAC513に対応。

-パッケージは、44ピンQFP (YMF289B-F)、48ピンSQFP (YMF289B-S)。

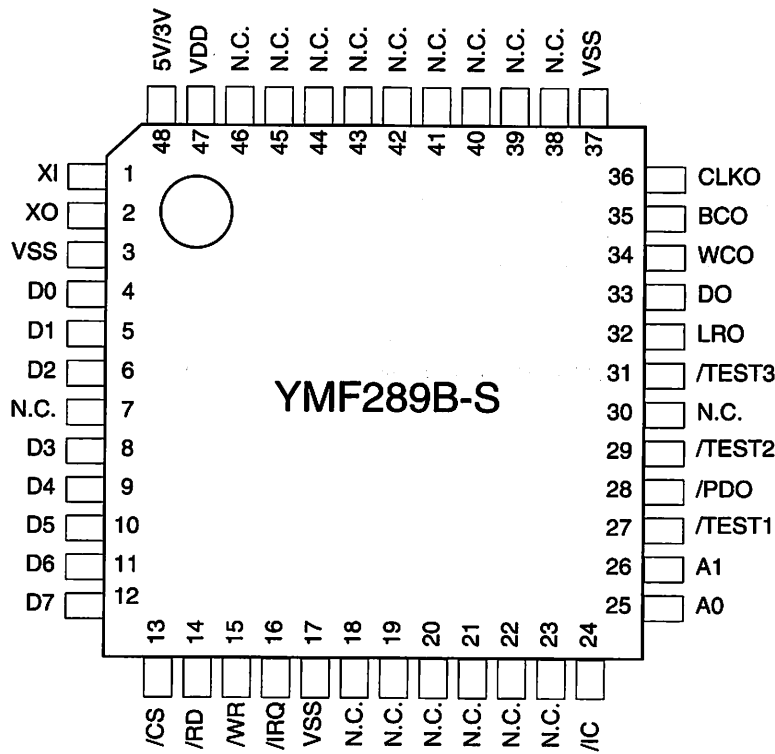
■端子配置図

YMF289B-F



44 pin Top View

YMF289B-S



48 pin Top View

■端子機能説明

No.		I/O	端子名	機能
44QFP	48SQFP			
1	1	I	XI	水晶発振子接続またはマスタークロック入力 (33.8688MHz)
2	2	O	XO	水晶発振子接続端子
3	3	-	VSS	グランド
4	4	I/O	D0	CPUインターフェース データ0
5	5	I/O	D1	CPUインターフェース データ1
6	6	I/O	D2	CPUインターフェース データ2
7	8	I/O	D3	CPUインターフェース データ3
8	9	I/O	D4	CPUインターフェース データ4
9	10	I/O	D5	CPUインターフェース データ5
10	11	I/O	D6	CPUインターフェース データ6
11	12	I/O	D7	CPUインターフェース データ7
12	13	I	/CS	CPUインターフェース チップセレクト
13	14	I	/RD	CPUインターフェース リードイネーブル
14	15	I	/WR	CPUインターフェース ライトイネーブル
15	16	OD	/IRQ	CPUインターフェース 割り込み信号
16	17	-	VSS	グランド
22	24	I+	/IC	イニシャルクリア入力
23	25	I	A0	CPUインターフェース アドレス0
24	26	I	A1	CPUインターフェース アドレス1
25	27	I+	/TEST1	LSIテスト端子(通常無接続として下さい。)
26	28	O	/PDO	パワーダウンモード出力
27	29	I+	/TEST2	LSIテスト端子(通常無接続として下さい。)
29	31	I+	/TEST3	LSIテスト端子(通常無接続として下さい。)
30	32	O	LRO	DACインターフェース L/Rクロック出力
31	33	O	DO	DACインターフェース 音声データ出力
32	34	O	WCO	DACインターフェース ワードクロック出力
33	35	O	BCO	DACインターフェース ビットクロック出力
34	36	O	CLKO	オーディオ系マスタークロック出力 (16.9344 MHz)
35	37	-	VSS	グランド
43	47	-	VDD	+5V(または+3.3V)電源
44	48	I	5V/3V	5V、3.3V動作切り替え制御 (H: 5V、L:3.3V)

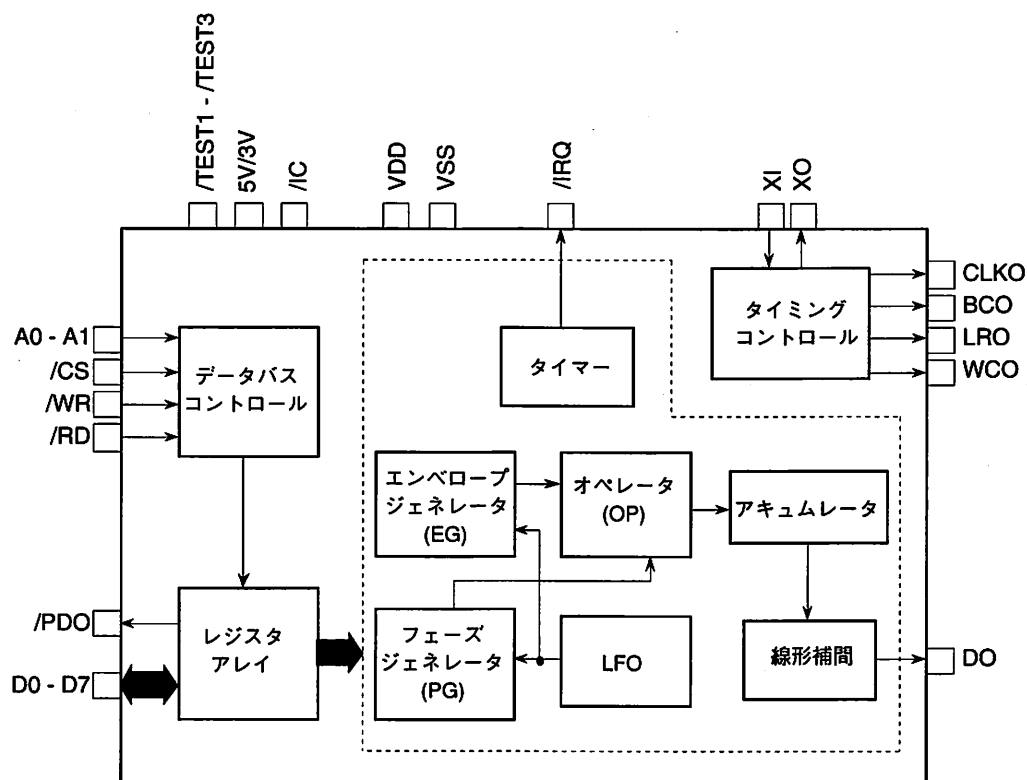
上記端子以外はすべてN.C.です。通常無接続として下さい。

注)

I+: プルアップ抵抗内蔵端子

OD: オープンドレイン出力端子

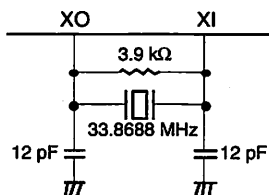
■ブロック図



■機能説明

1. マスタークロック

YMF289Bの発音周波数やエンベロープのレート等は、XI端子から供給されるクロックにすべて依存します。YMF289Bは、自己発振回路を内蔵していますので、XI、XO端子に33.8688MHz(3次オーバートーン発振)の水晶発振子を以下のように接続して下さい。



2. CPUインターフェース

YMF289BのFM演算や発音等の機能は、3.レジスタマップに示されるデータレジスタにデータを書き込むことで制御されます。レジスタへのデータの書き込みや、レジスタからのデータの読み出しはD0-D7のデータバスを介して行います。データバスはA0-A1のアドレス信号と/CS、/WR、/RDの各コントロール信号で制御されます。各信号によりデータバスは以下のようなモードに設定されます。

/CS	/RD	/WR	A1	A0	モード
H	X	X	X	X	インアクティブモード
L	L	H	L	L	ステータスリードモード
L	H	L	L/H	L	アドレスライトモード
L	H	L	X	H	データライトモード
L	L	H	X	H	データリードモード

X: Don't care

2-1. インアクティブモード

データバスD0-D7はハイインピーダンス状態になります。

2-2. ステータスリード

YMF289Bのステータスがデータバスに出力されます。

2-3. アドレスライトモード

レジスタのアドレスを指定するモードです。データバスにセットされたデータがレジスタのアドレスとしてラッチされます。A1=L'のときArray 0のアドレスとしてラッチされます。A1=H'のときはArray 1のアドレスとしてラッチされます。ラッチされたアドレスは、次にアドレスを変更するまで有効になります。

<注意>

次のアドレスライトまたはデータライトを行うまでに、マスタークロックで56サイクルのウェイト時間が必要です。

2-4. データライトモード

アドレスライトモードで指定されたレジスタにデータを書き込むモードです。データバスにセットされたデータがレジスタのデータとして書き込まれます。

<注意>

次のアドレスライトまたはデータライトを行うまでに、マスタークロックで56サイクルのウェイト時間が必要です。

2-5. データリードモード

アドレスライトモードで指定されたレジスタからデータを読み出すモードです。データバスにはレジスタの内容が出力されます。

3. レジスタマップ


YMF289Bのレジスタには、LSI自身を制御するデータレジスタと、LSIのステータスを示すステータスレジスタが用意されています。

データレジスタは、一部を除きYMF262(OPL3)とコンパチブルです。さらに、YMF262ではサポートされていなかった全レジスタのリードが可能です。ただし、パワーダウン時にはリードできません。全レジスタのデータは、イニシャルクリア時(IC=L')にクリアされます。

3-1. データレジスタ

Address (HEX)	REGISTER ARRAY 0 (A1=L')								REGISTER ARRAY 1 (A1=H')									
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0		
00 - 01H	LSI TEST								LSI TEST									
02H	TIMER 1																	
03H	TIMER 2																	
04H	RST	MT1	MT2				ST2	ST1	CONNECTION SEL									
05H																	NEW3	
08H	NTS								CLR								PD1	PD0
20 - 35H	AM	VIB	EGT	KSR	MULT				AM	VIB	EGT	KSR	MULT					
					3	2	1	0					3	2	1	0		
40 - 55H	KSL		T L						KSL		T L							
	1	0	5	4	3	2	1	0	1	0	5	4	3	2	1	0		
60 - 75H	AR				DR				AR				DR					
	3	2	1	0	3	2	1	0	3	2	1	0	3	2	1	0		
80 - 95H	SL				RR				SL				RR					
	3	2	1	0	3	2	1	0	3	2	1	0	3	2	1	0		
A0 - A8H	F-NUM (L)								F-NUM (L)									
	F7	F6	F5	F4	F3	F2	F1	F0	F7	F6	F5	F4	F3	F2	F1	F0		
B0 - B8H			KON	BLOCK			F-NUM (H)				KON	BLOCK			F-NUM (H)			
				B2	B1	B0	F9	F8				B2	B1	B0	F9	F8		
BDH	DAM	DVB	RHY	BD	SD	TOM	TC	HH										
C0 - C8H	★	★	CHR	CHL	F B			CNT	★	★	CHR	CHL	F B			CNT		
					FB2	FB1	FB0						FB2	FB1	FB0			
E0 - F5H							W S								W S			
							W2	W1	W0							W2	W1	W0

注意)

- レジスタマップは、以下の点以外はYMF262と同じです。
 - REGISTER ARRAY 1 05H, 08HのNEW3、PD0、PD1、CLRビットが新たに定義されました。
 - REGISTER ARRAY 0,1 C0-C8HのD6,D7は、サポートされていません。
- LSI TESTレジスタは出荷テストに使用していますので通常使用する際には必ず"0"に設定して下さい。
- YMF289Bで使用していない  は、今後機能拡張のために使用する可能性がありますので、必ず"0"に設定して下さい。
- ★印のビットは読み書きは可能ですが、機能的にはサポートされていません。

3-2. ステータスレジスタ

Address (HEX)	STATUS REGISTER							
	D7	D6	D5	D4	D3	D2	D1	D0
xx	IRQ	FT1	FT2			BUSY		BUSY

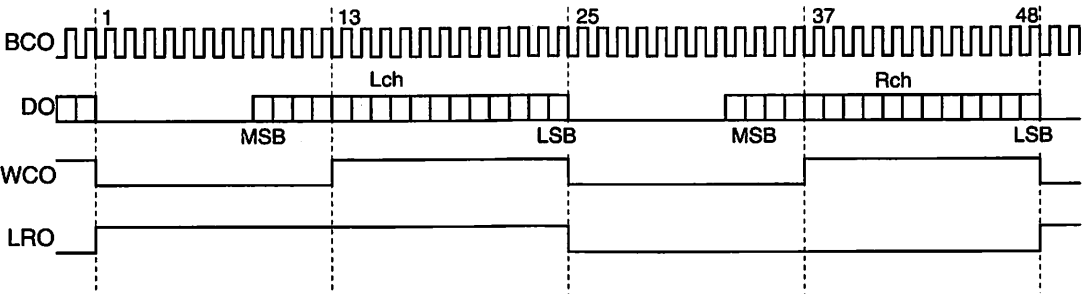
YMF289Bの識別について

YM3812(OPL2)では、イニシャルクリア後、ステータスをリードすると06Hになります。YMF262では、00Hが出力されます。

YMF289Bでは、YMF262と同じ値が出力されますが、YMF289Bはデータレジスタがリード可能なので、データレジスタがリードできるかどうかでYMF262と区別するようにして下さい。

4. DACインターフェース

YMF289Bは音声データがデジタルデータとして出力されるため、外部にD/Aコンバータが必要になります。デジタルデータはDO端子からMSBファーストの2'sコンプリメントデータとして出力されます。サンプリング周波数(f_s)は44.1kHzです。DO端子のデジタルデータと各コントロール信号(BCO、WCO、LRO)との関係は以下のようになっています。



- BCO: 48fs デューティ比50%
- WCO: 2fs デューティ比50%
- LRO: fs デューティ比50%

5. OPL3からの追加機能

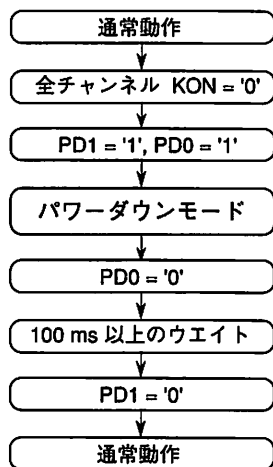
YMF289Bでは、YMF262と比べ以下の機能が追加されています。

5-1. NEW3ビット

YMF289Bで新たに定義されたビット(PD0ビット、PD1ビット、CLRビット、BUSYフラグ)を有効にするためのビットです。"1"で上記のビットが有効になります。

5-2. PD0、PD1ビット

パワーダウンモードに移行するためのビットです。パワーダウンモードへの移行及び解除は、必ず次の手順で行って下さい。



パワーダウンモードとは？

パワーダウンモードとは、クロックの発振を完全に停止し、通常動作時に比べ格段の低消費電力を実現するモードです。このとき音源の動作は停止しますが、レジスタはパワーダウンに入る直前の内容が保持されています。

パワーダウンモード時、DACインターフェース用の端子(CLKO, LRO, WCO, BCO, DO)はすべて"L"レベルに固定され、/IRQ端子はパワーダウンに入る直前の状態が保持されます。また、全入力端子(D0-D7を含む)は、必ず"H"レベルまたは"L"レベルに固定して下さい。

<注意>

パワーダウンモードが解除される際にKON='1'となっていると、予期せぬ音が発音される可能性があります。従って、パワーダウンモードに移行する前には必ず全チャンネルとも **KON='0'** として下さい。また、タイマー部はパワーダウンモードが解除される際に、RST='1'となりカウンタがリセットされます。

5-4. CLRビット

データレジスタのNEW、NEW3以外のすべてのビットをクリアします。CLR='1'でクリア、CLR='0'で解除です。レジスタをクリアするのに必要となる時間は、90 μ s (3000サイクル @33.8688MHz)です。

5-3. BUSYフラグ

レジスタアクセス禁止を示すフラグです。データバスのデータがアドレスとしてラッチされるか、またはレジスタのデータとして確定するまでの間"1"となります。

5-4. /PDO端子

パワーダウンモードにYMF289Bが移行したときに"L"となります。通常動作に戻ると"H"になります。YAC516等のYMF289Bの周辺LSIの制御にご利用下さい。

■電気的特性

1.絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{DD}	-0.3 ~ 7.0	V
入力電圧	V_{IN}	-0.3 ~ $V_{DD}+0.5$	V
動作温度	T_{OP}	0 ~ 70	℃
保存温度	T_{STG}	-50 ~ 125	℃

2.推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧	V_{DD}	5V/3V="H"	4.75	5.00	5.25	V
	V_{DD}	5V/3V="L"	3.00	3.30	3.60	V
動作温度	T_{OP}		0	25	70	℃

3.直流特性

※推奨動作条件において

項目	記号	条件	最小	最大	単位
消費電力	P_D	$V_{DD}=5.0V$ 、*1	-	150	mW
		$V_{DD}=3.3V$ 、*1	-	60	mW
		$V_{DD}=5.0V$ 、*2	-	300	μW
		$V_{DD}=3.3V$ 、*2	-	200	μW
入力電圧"H"レベル1	V_{IH1}	*3	2.0	-	V
入力電圧"L"レベル1	V_{IL1}	*3	-	0.8	V
入力電圧"H"レベル2	V_{IH2}	*4	$0.7V_{DD}$	-	V
入力電圧"L"レベル2	V_{IL2}	*4	-	$0.2V_{DD}$	V
入力リーク電流	I_{L1}	*5	-10	10	μA
入力容量	C_I		-	10	pF
出力電圧"H"レベル1	V_{OH1}	$I_{OH} = -80 [\mu A]$ 、*6	$V_{DD}-1.0$	-	V
出力電圧"L"レベル1	V_{OL1}	$I_{OL} = 2 [mA]$ 、*6	-	$V_{SS}+0.4$	V
出力電圧"H"レベル2	V_{OH2}	$I_{OH} = -80 [\mu A]$ 、*7	2.4	-	V
出力電圧"L"レベル2	V_{OL2}	$I_{OL} = 2 [mA]$ 、*7	-	0.4	V
出力電圧"L"レベル3	V_{OL3}	$I_{OL} = 2 [mA]$ 、*8	-	0.4	V
出力容量	C_O		-	10	pF
プルアップ抵抗	R_U	*9	50	400	k Ω

*1: $f_{MI}=33.8688MHz$ 、通常動作時。

*2: パワーダウンモード時。

*3: /TEST1 - /TEST3、/IC、/WR、/RD、/CS、A0 - A1、D0 - D7に適用。

*4: XI、5V/3Vに適用。

*5: $V_{IN}=0-5V$ 。/WR、/RD、/CS、A0 - A1、D0 - D7、XI、5V/3Vに適用。

*6: 5V/3V="H"。D0 - D7 (出力時)、/PDO、CLKO、BCO、LRO、WCO、DOに適用。

*7: 5V/3V="L"。D0 - D7 (出力時)、/PDO、CLKO、BCO、LRO、WCO、DOに適用。

*8: /IRQ端子に適用。

*9: /IC、/TEST1 - /TEST3に適用

4. 交流特性

※推奨動作条件において

項目	記号	図	最小	標準	最大	単位
マスタークロック周波数	f_{M1}	図1	-	33.8688	-	MHz
デューティ	D1		40	50	60	%
出力マスタークロック周波数	f_{M2}	図2	-	16.9344	-	MHz
デューティ	D2		-	50	-	%
リセットパルス幅	t_{ICW}	図3	$3000 / f_{M1}$	-	-	s
アドレスセットアップ時間	t_{AS}	図4, 5	30	-	-	ns
アドレスホールド時間	t_{AH}	図4, 5	10	-	-	ns
チップセレクトセットアップ時間	t_{CSS}	図4, 5	5	-	-	ns
チップセレクトホールド時間	t_{CSH}	図4, 5	10	-	-	ns
ライトパルス幅	t_{WW}	図4	50	-	-	ns
ライトデータセットアップ時間	t_{WDS}	図4	10	-	-	ns
ライトデータホールド時間	t_{WDH}	図4	10	-	-	ns
リードパルス幅	t_{RW}	図5	80	-	-	ns
リードデータアクセス時間	t_{ACC}	図5	-	-	60	ns
リードデータホールド時間	t_{RDH}	図5	10	-	-	ns
ビットクロック周波数	f_{BC}	図6	-	$48f_s$	-	MHz
ビットクロック"H"レベル時間	t_{CH}	図6	110	-	-	ns
データアウトセットアップ時間	t_{DOS}	図6	100	-	-	ns
データアウトホールド時間	t_{DOH}	図6	280	-	-	ns
LRクロックセットアップ時間	t_{LRS}	図6	100	-	-	ns
LRクロックホールド時間	t_{LRH}	図6	280	-	-	ns
ワードクロックホールド時間	t_{WCH}	図6	280	-	-	ns

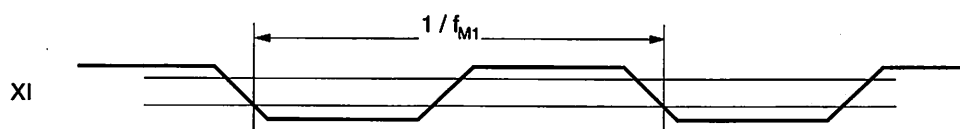


図1:入力クロックタイミング

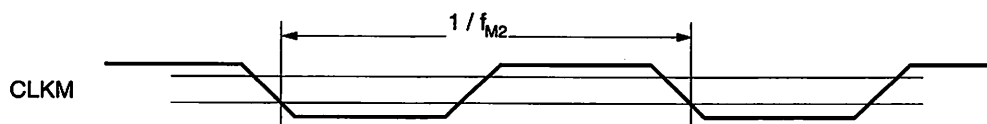


図2:出力クロックタイミング

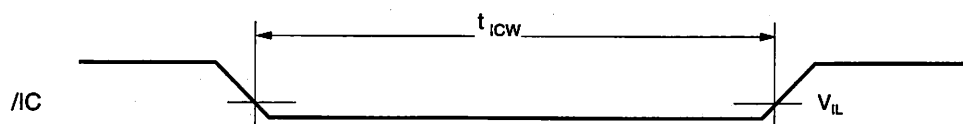


図3:リセットパルス幅

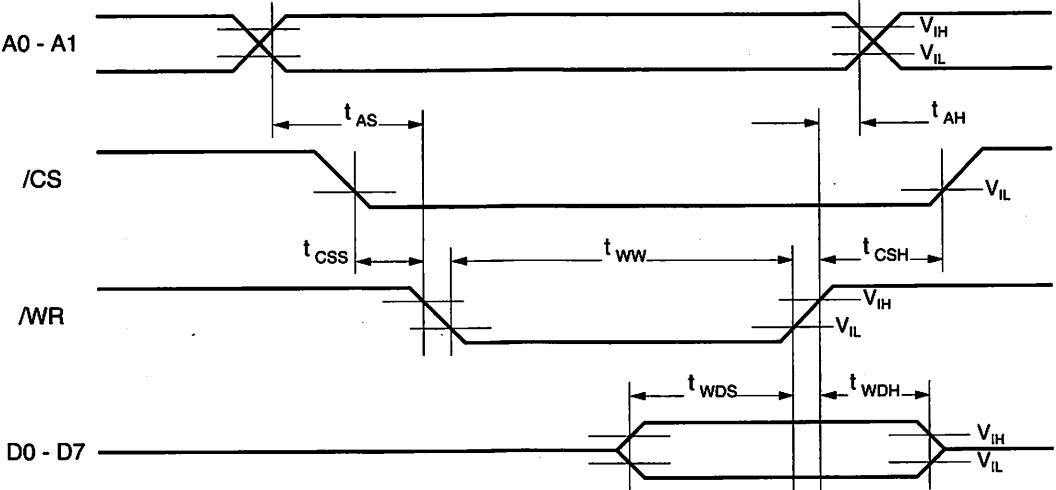


図4:CPUライトタイミング

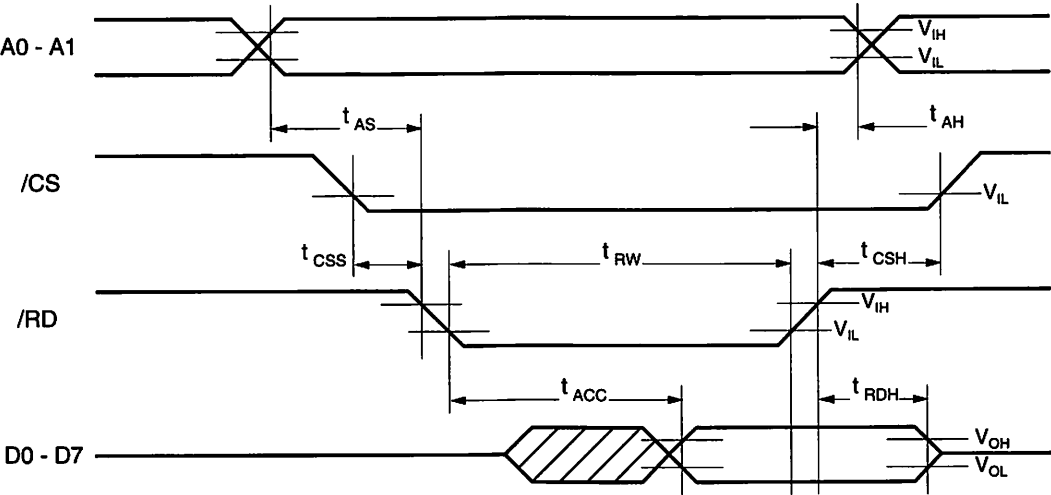


図5:CPUリードタイミング

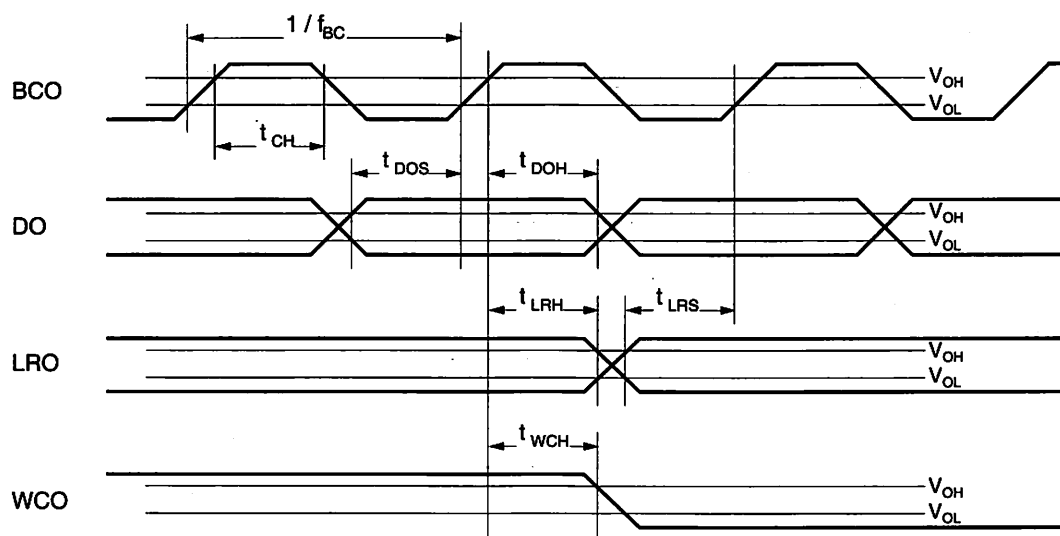
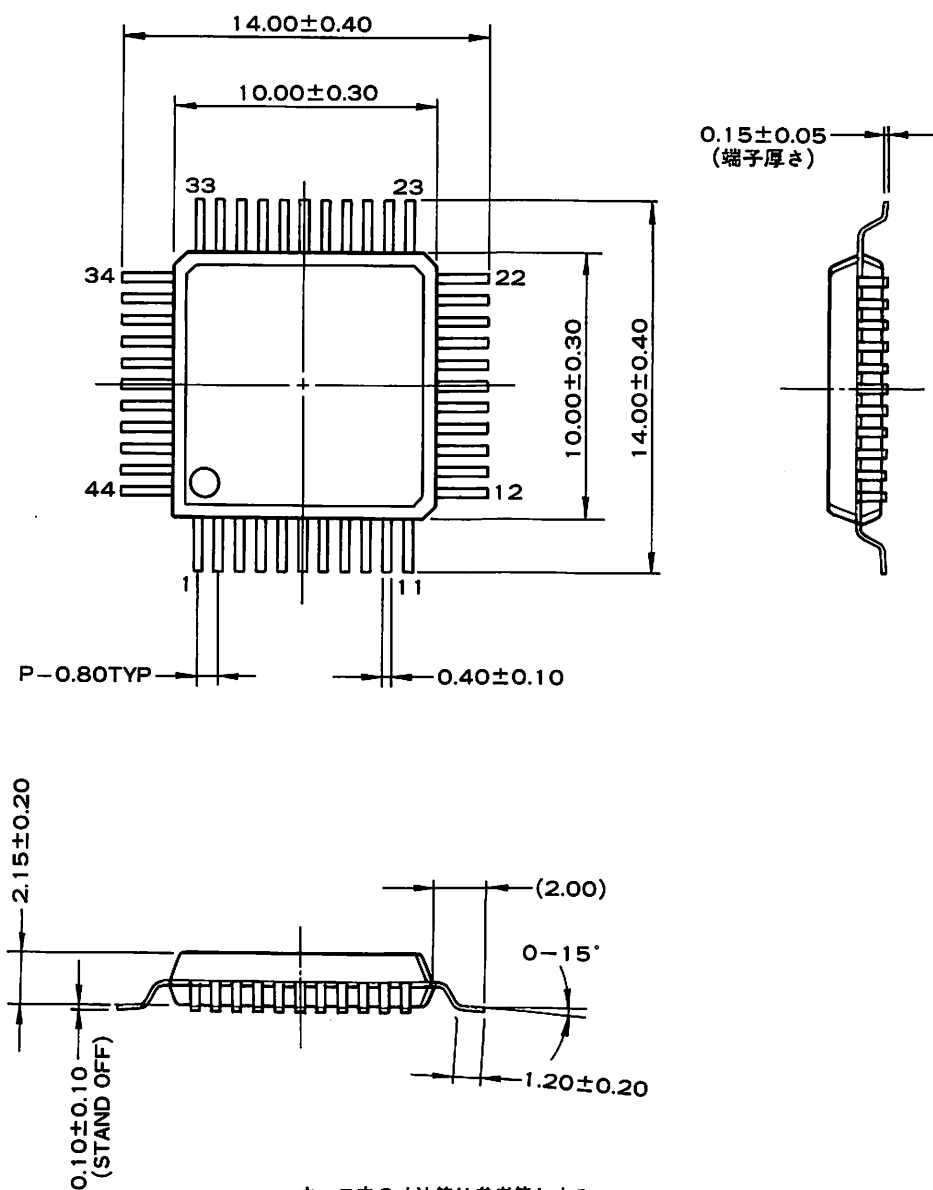


図6:DACインターフェースタイミング

■パッケージ寸法図

YMF289B-F (44QFP)



カッコ内の寸法値は参考値とする
モールド外形寸法はバリを含まない
単位(UNIT):mm

YMF289B-S (48SQFP)

