

|  |  |
| --- | --- |
| **未来科技设备国际有限公司**  **FT232H**单通道高速 USB 转多用途 UART/FIFO IC | |
| FT232H 是一款单通道 USB 2.0 高速 (480Mb/s) 转 UART/FIFO IC。它能够配置为各种行业标准串行或并行接口。 FT232H具有以下先进功能：   * 单通道USB转串口/并口，具有多种 配置。 * 整个 USB 协议都在芯片上处理。无需 USB 特定固件编程 必需的。 * USB 2.0 高速（480Mbits/秒）和全速（12Mbits/秒） 兼容的。 * 多协议同步串行引擎 (MPSSE) 可简化同步串行协议（USB 至 JTAG、I 2 C、SPI (MASTER) 或 bit-bang）设计。 * UART 传输数据速率高达 12Mbaud。 （RS232 数据速率受外部电平转换器限制）。 * USB 转异步 245 FIFO 模式，传输数据速率高达 8 兆字节/秒 * USB 转同步 245 并行 FIFO 模式，最多可传输 40 个数据 兆字节/秒 * 支持专有的半双工 FT1248 接口，具有可配置宽度、双向数据总线（1、2、4 或 8 位） 宽的）。 * CPU式的FIFO接口方式简化了CPU接口 设计。 * 快速串行接口 选项。 * FTDI 的免版税虚拟 Com 端口 (VCP) 和直接 (D2XX) 驱动程序消除了大多数情况下对 USB 驱动程序开发的要求 案例。 * 可调接收缓冲器 暂停。 | * 用于发送和接收 LED 驱动信号的选项。 * 带 RD# 和 WR# 的 Bit-bang 模式接口选项 闪光灯 * 高度集成的设计包括用于 VCORE 的 5V 至 3.3/+1.8V LDO 稳压器、集成 POR 功能 * 具有完整硬件握手和调制解调器接口的异步串行 UART 接口选项 信号。 * 完全辅助的硬件或 X-On / X-Off 软件 握手。 * UART接口支持7/8位数据、1/2停止位、奇/偶/标记/空格/无 平价。 * 使用 TXDEN 对 RS485 串行应用进行自动发送使能控制 别针。 * 操作模式配置和 USB 描述字符串可通过 USB 在外部 EEPROM 中进行配置 界面。 * 可配置的 I/O 驱动强度（4、8、12 或 16mA）和转换 速度。 * 低运行和 USB 挂起 当前的。 * 支持自供电、总线供电和高功率总线供电USB 配置。 * UHCI/OHCI/EHCI 主机控制器 兼容的。 * USB 批量数据传输模式（高速 512 字节数据包） 模式）。    +1.8V（芯片核心）和+3.3VI/O接口（+5V 宽容）。   * 扩展-40°C 至 85°C 工业工作温度 范围。 * 紧凑型 48 引脚无铅 LQFP 或 QFN 封装 * 可配置的 ACBUS I/O 引脚。 |
| 未经版权所有者事先书面同意，不得以任何材料或电子形式改编或复制本手册中包含的全部或任何信息或描述的产品。本产品及其文档按原样提供，不保证或暗示其适用于任何特定用途。 Future Technology Devices International Ltd 不接受因使用本产品或出现故障而引起的任何损害索赔。您的法定权利不受影响。本产品或其任何变体不适用于任何产品故障可能会导致人身伤害的医疗器具、设备或系统。本文档提供初步信息，如有更改，恕不另行通知。本文档的发布并不暗示可以自由使用专利或其他知识产权。未来技术设备国际有限公司，Unit 1, 2 Seaward Place, Centurion Business Park, Glasgow G41 1HH United Kingdom。苏格兰注册公司编号：SC136640 | |

# 典型的 应用领域

|  |  |
| --- | --- |
| * 单芯片 USB 转 UART（RS232、RS422 或 RS485） * USB 至 先进先出 * USB 至 FT1248 * USB 至 JTAG * USB 至 SPI * USB 至 我2C \_ * USB 至 比特邦 * USB 转快速串口 界面 * USB 到 CPU 目标接口（如 记忆） | * USB 仪器仪表 * 工业USB 控制 * USB电子POS 控制 * USB MP3播放器 界面 * USB FLASH读卡器 / 作家 * 机顶盒 - USB 界面 * USB数码相机 界面 * USB 条形码 读者 |

## 司机 支持

FT232H 需要 USB 设备驱动程序（如下所列）才能运行，可从[http://www.ftdichip.com免费获取。](http://www.ftdichip.com/)驱动程序的 VCP 版本创建虚拟 COM 端口，允许传统串行端口应用程序通过 USB 运行，例如串行仿真器应用程序 TTY。另一种 FTDI USB 驱动程序 D2XX 驱动程序也可以与应用软件一起使用，通过 DLL 直接访问 FT232H。

|  |  |
| --- | --- |
| **免版税虚拟 COM 端口 (VCP) 驱动程序...**   * Windows 10 和 Windows 10 64位 * Windows 8 和 Windows 8 64位 * Windows 7 和 Windows 7 64位 * Windows Vista 和 Vista 64位 * Windows XP 和 XP 64位 * 视窗XP 嵌入式 * Windows 2000、服务器 2003、服务器 2008年    Windows CE 4.2、5.0、5.2 和 6.0   * 苹果 操作系统 * Linux（2.6.39 或 之后） | **免版税 D2XX*直接*驱动程序（USB 驱动程序 + DLL S/W 接口）**   * Windows 10 和 Windows 10 64位 * Windows 8 和 Windows 8 64位 * Windows 7 和 Windows 7 64位 * Windows Vista 和 Vista 64位 * Windows XP 和 XP 64位 * 视窗XP 嵌入式 * Windows 2000、服务器 2003、服务器 2008年    Windows CE 4.2、5.0、5.2 和 6.0   * 苹果 操作系统 * Linux（2.6.32 或 之后） |

## 部分 数字

|  |  |
| --- | --- |
| **零件号** | **包裹** |
| FT232HL-xxxx | 48 引脚 LQFP |
| FT232HQ-xxxx | 48 引脚 QFN |

**注：** xxxx 的包装代码为：

卷盘：编带和卷盘（LQFP = 每卷 1500 件，QFN = 每卷 3000 件） 托盘：托盘包装， (LQFP = 每个托盘 250 件，QFN = 每盘 260 件 托盘）

所有封装机械参数请参阅第[8节。](#_bookmark124)

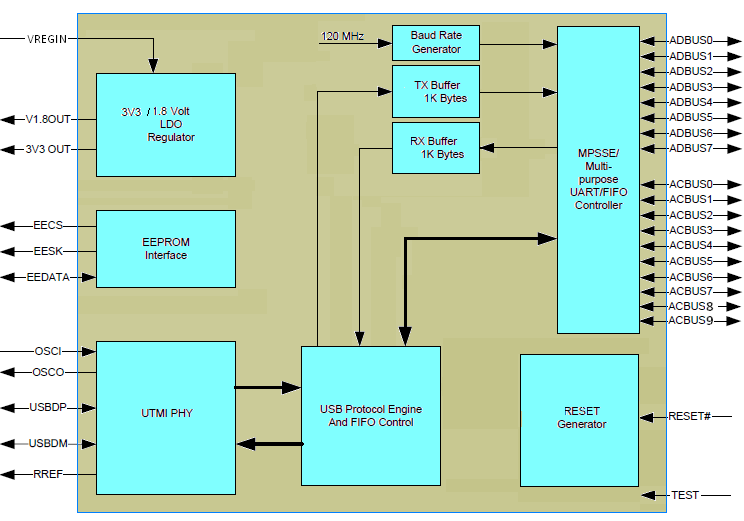
## USB 合规

FT232H 完全符合 USB 2.0 规范，并已获得 USB-IF 测试 ID (TID) 40770005。

USB 信号的上升/下降时间时序不仅取决于 USB 信号驱动器，还取决于系统，并受到 PCB 布局、外部组件和 USB 信号上存在的任何瞬态保护等因素的影响。为了实现 USB 合规性，这些可能需要稍作调整。可以通过存储在用于 USB 描述符的同一外部 EEPROM 中的可编程设置来修改此时序。还可以通过向 USB 信号添加适当的无源组件来更改时序。



# FT232H块 图表



##### 图 2.1 FT232H 框图

[4](#_bookmark35)节提供了每个功能的完整描述。

# 目录

1. [典型的 应用](#_bookmark0) [2](#_bookmark0)
   1. [司机 支持](#_bookmark1) [2](#_bookmark1)
   2. [部分 数字](#_bookmark2) [3](#_bookmark2)
   3. [USB 合规](#_bookmark3) [3](#_bookmark3)
2. [FT232H 堵塞 图](#_bookmark4) [4](#_bookmark4)
3. [器件引脚输出和 信号描述](#_bookmark6) [8](#_bookmark6)
   1. [示意图 符号](#_bookmark7) [8](#_bookmark7)
   2. [FT232H 引脚说明](#_bookmark9) [9](#_bookmark9)
   3. [信号 描述](#_bookmark10) [10](#_bookmark10)
   4. [交流总线 信号 选项](#_bookmark15) [12](#_bookmark15)
   5. [别针 配置](#_bookmark18) [13](#_bookmark18)
      1. [FT232H 引脚用于 串口 接口](#_bookmark19) [13](#_bookmark19)
      2. [FT245 同步中使用的 FT232H 引脚 先进先出 接口](#_bookmark21) [13](#_bookmark21)
      3. [用于 FT245 型异步的 FT232H 引脚 先进先出 接口](#_bookmark23) [14](#_bookmark23)
      4. [FT232H 配置为同步或异步 比特邦 接口](#_bookmark25) [15](#_bookmark25)
      5. [FT232H 引脚用于 一个 MPSE](#_bookmark27)  [15](#_bookmark27)
      6. [FT232H 引脚用作快速 串行 接口](#_bookmark29) [16](#_bookmark29)
      7. [FT232H 引脚配置为 CPU 类型 先进先出 接口](#_bookmark31) [17](#_bookmark31)
      8. [FT232H 引脚配置为 FT1248 接口](#_bookmark33) [17](#_bookmark33)
4. [功能 描述](#_bookmark35) [18](#_bookmark35)
   1. [钥匙 特点](#_bookmark36) [18](#_bookmark36)
   2. [功能性 堵塞 说明](#_bookmark37) [19](#_bookmark37)
   3. [FT232 串口接口 模式 描述](#_bookmark38) [20](#_bookmark38)
      1. [RS232 配置](#_bookmark39) [20](#_bookmark39)
      2. [RS422 配置](#_bookmark41) [21](#_bookmark41)
      3. [RS485 配置](#_bookmark43) [22](#_bookmark43)
   4. [FT245 同步 FIFO 接口 模式 描述](#_bookmark45) [23](#_bookmark45)
      1. [FT245 同步 FIFO 读 行动](#_bookmark48) [24](#_bookmark48)
      2. [FT245 同步 FIFO 写 行动](#_bookmark49) [24](#_bookmark49)
   5. [FT245 风格 异步 先进先出 界面 模式 描述 ... 25](#_bookmark50) [4.6](#_bookmark54)  [FT1248 接口 模式 描述](#_bookmark54) [26](#_bookmark54)
      1. [总线宽度 协议 解码](#_bookmark57) [27](#_bookmark57)
      2. [FT1248： 1 位 接口](#_bookmark59) [28](#_bookmark59)
   6. [同步和异步 Bit-Bang 界面 模式](#_bookmark62) [29](#_bookmark62)
      1. [异步比特爆炸 模式](#_bookmark63) [29](#_bookmark63)
      2. [同步 比特邦 模式](#_bookmark64) [29](#_bookmark64)
   7. [MPSSE接口 模式 描述](#_bookmark68) [31](#_bookmark68)
      1. [MPSSSE 自适应 计时](#_bookmark71) [32](#_bookmark71)
   8. [快速串行接口 模式 描述](#_bookmark75) [33](#_bookmark75)
      1. [快速传出 串行 数据](#_bookmark78) [34](#_bookmark78)
      2. [快速传入 串行 数据](#_bookmark80) [34](#_bookmark80)
      3. [快速串行数据接口 实施例](#_bookmark82) [35](#_bookmark82)
   9. [CPU 式 FIFO 接口 模式 描述](#_bookmark84) [35](#_bookmark84)
   10. [RS232 UART 模式 LDE 界面 描述](#_bookmark90) [37](#_bookmark90)
   11. [立即发送/唤醒 向上 （四物#）](#_bookmark93)  [38](#_bookmark93)
   12. [FT232H 模式 选择](#_bookmark95) [39](#_bookmark95)
   13. [模式 配置](#_bookmark96) [39](#_bookmark96)
5. [设备特性 和 评分](#_bookmark98) [40](#_bookmark98)
   1. [绝对 最大限度 评分](#_bookmark99) [40](#_bookmark99)
   2. [直流 特点](#_bookmark101) [40](#_bookmark101)
   3. [静电放电 公差](#_bookmark106) [42](#_bookmark106)
6. [FT232H 配置](#_bookmark108) [43](#_bookmark108)
   1. [USB总线 供电 配置](#_bookmark109) [43](#_bookmark109)
   2. [USB自带 供电 配置](#_bookmark111) [44](#_bookmark111)
      1. [自供电应用 例子 1](#_bookmark112)  [44](#_bookmark112)
      2. [自供电应用 例子 2](#_bookmark114)  [45](#_bookmark114)
   3. [振荡器 配置](#_bookmark116) [46](#_bookmark116)
7. [EEPROM 配置](#_bookmark119) [47](#_bookmark119)
   1. [EEPROM 接口](#_bookmark120) [47](#_bookmark120)
   2. [默认 EEPROM 配置](#_bookmark122) [47](#_bookmark122)
8. [包裹 参数](#_bookmark124) [49](#_bookmark124)
   1. [FT232HQ、QFN-48 包裹 尺寸](#_bookmark125) [49](#_bookmark125)
   2. [FT232HL、LQFP-48 包裹 尺寸](#_bookmark127) [50](#_bookmark127)
   3. [焊接 回流焊 简介](#_bookmark129) [51](#_bookmark129)
9. [接触 信息](#_bookmark133) [53](#_bookmark133)

[附录A – 参考文献](#_bookmark134) [54](#_bookmark134)

[文档 参考文献](#_bookmark135) [54](#_bookmark135)

[缩略语 和 缩写](#_bookmark136) [54](#_bookmark136)

[附录 B – 图表列表 和 表](#_bookmark137) [55](#_bookmark137)

[列表 的 表](#_bookmark138) [55](#_bookmark138)

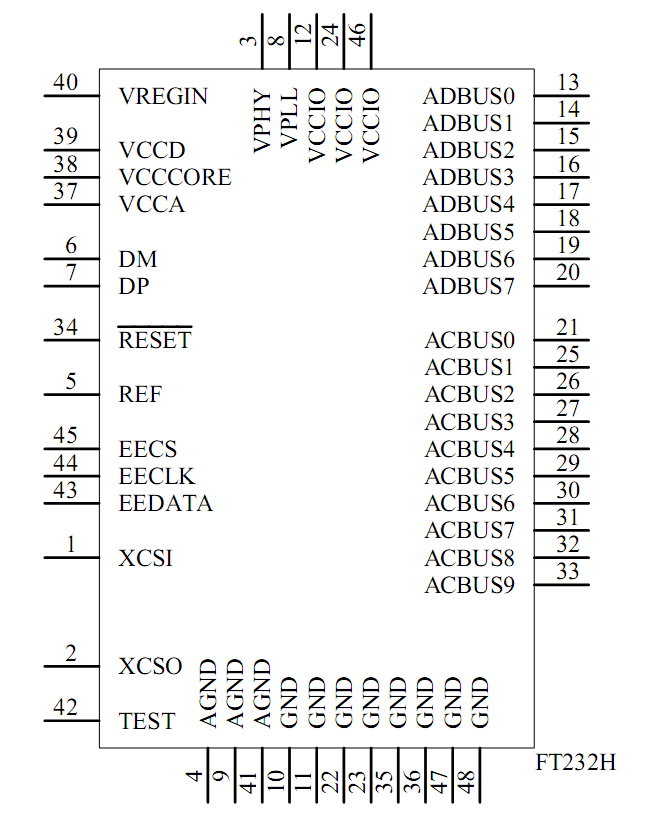
[列表 的 图](#_bookmark139) [56](#_bookmark139)

[附录 C – 修订 历史](#_bookmark140) [57](#_bookmark140)

# 器件引脚分配和信号 描述

48 引脚 LQFP 和 48 引脚 QFN 对于特定功能具有相同的引脚编号。该引脚编号如图 3.1 所示的原理图符号所示。

## 示意图 象征



##### 图 3.1 FT232H 原理图符号

## FT232H 引脚 描述

本节介绍 FT232H 引脚的操作。 LQFP 和 QFN 封装的每个引脚都具有相同的功能。许多引脚的功能由 FT232H 的配置决定。下表详细介绍了取决于接口配置的每个引脚的功能。下表描述了每个功能（注：本文档中对于低电平有效信号使用的约定是信号名称后跟 #）。

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **FT232H** | | | | | | | | | | |
| **别针** | | **引脚功能（取决于配置）** | | | | | | | | |
| **别针**  **#** | **引脚名称** | **异步**  **串口（RS232）** | **同步245先进先出** | **风格异步 245 FIFO** | **异步**  **比特爆炸** | **同步**  **比特爆炸** | **MPSSSE** | **快速串行接口** | **中央处理器**  **风格先进先出** | **FT1248** |
| 13 | 总线0 | TXD | D0 | D0 | D0 | D0 | TCK/SK | FSDI | D0 | 米奥西0 |
| 14 | 总线1 | 接收数据 | D1 | D1 | D1 | D1 | TDI/溶解氧 | 时钟频率 | D1 | 米奥西1 |
| 15 | 总线2 | 即时战略# | D2 | D2 | D2 | D2 | TDO/DI | FSDO | D2 | MIOSI2 |
| 16 | 总线3 | CTS# | D3 | D3 | D3 | D3 | 经颅磁刺激/脑电刺激 | FSCTS | D3 | MIOSI3 |
| 17 号 | 总线4 | 数据传输# | D4 | D4 | D4 | D4 | GPIOL0 | \*\* TriSt-UP | D4 | MIOSI4 |
| 18 | 总线5 | 数字SR# | D5 | D5 | D5 | D5 | GPIOL1 | \*\* TriSt-UP | D5 | MIOSI5 |
| 19 | 总线6 | DCD# | D6 | D6 | D6 | D6 | GPIOL2 | \*\* TriSt-UP | D6 | MIOSI6 |
| 20 | 总线7 | RI# | D7 | D7 | D7 | D7 | GPIOL3 | \*\* TriSt-UP | D7 | MIOSI7 |
| 21 | 交流总线0 | \* TXDEN | 接收F# | 接收F# | 交流总线0 | 交流总线0 | GPIOH0 | \*\* ACBUS0 | CS＃ | 时钟时钟 |
| 25 | 交流总线1 | \*\* 交流总线1 | TXE# | TXE# | WRSTB# | WRSTB# | GPIOH1 | \*\* 交流总线1 | A0 | SS\_n |
| 26 | 交流总线2 | \*\* 交流总线2 | RD# | RD# | RDSTB# | RDSTB# | GPIOH2 | \*\* 交流总线2 | RD# | 味噌 |
| 27 | 交流总线3 | \* 接收LED# | 写入# | 写入# | 交流总线3 | 交流总线3 | GPIOH3 | \*\* 交流总线3 | 写入# | 交流总线3 |
| 28 | 交流总线4 | \* TXLED# | 四物# | 四物# | 四物# | 四物# | GPIOH4 | 四物# | 四物# | 交流总线4 |
| 29 | 交流总线5 | \*\* ACBUS5 | 时钟输出 | 交流总线5 | \*\* ACBUS5 | \*\* ACBUS5 | GPIOH5 | \*\* ACBUS5 | \*\* 交流总线5 | 交流总线5 |
| 30 | 交流总线6 | \*\* 交流总线6 | 原始设备# | 交流总线6 | 交流总线6 | 交流总线6 | GPIOH6 | \*\* 交流总线6 | \*\* 交流总线 6 | 交流总线6 |
| 31 | 交流总线7 | WRSAV# | 压水式雷达  # | 压水式雷达  # | 压水式雷达  # | 压水式雷达  # | \*\*\* GPIOH7 | PWRSAV# | PWRSA V# | 压水式雷达  # |
| 32 | 交流总线8 | \*\* ACBUS8 | \*\* ACBUS8 | \*\* ACBUS8 | \*\* ACBUS8 | \*\* ACBUS8 | \*\* 交流总线 8 | \*\* ACBUS8 | \*\* 交流总线 8 | 交流总线8 |
| 33 | 交流总线9 | \*\* ACBUS9 | \*\* ACBUS9 | \*\* ACBUS9 | \*\* ACBUS9 | \*\* ACBUS9 | \*\* 交流总线 9 | \*\* ACBUS9 | \*\* 交流总线 9 | 交流总线9 |

标记为 \* 的引脚需要 EEPROM 来分配这些功能。默认为三态，标记为 \*\* 的上拉引脚默认为三态输入，并带有内部 75KΩ（大约）上拉电阻 VCCIO。

标记为 \*\*\* 的引脚默认为 GPIO 线，带有一个连接至 GND 的内部 75KΩ 下拉电阻。使用EEPROM

该引脚可以启用 USBVCC 模式而不是 GPIO 模式。

## 信号 描述

无论配置模式如何，以下 FT232H 引脚的操作都是相同的：-

|  |  |  |  |
| --- | --- | --- | --- |
| **引脚号** | **姓名** | **类型** | **描述** |
| 40 | \*\* 虚拟现实 | 力量  输入 | +5.0V或3V3电源输入。 |
| 37 | VCCA | 力量  输出 | +1.8V输出。不应该使用。用 0.1uF 电容终止至 GND |
| 38 | 电压核心 | 力量  输出 | +1.8V输出。不应该使用。使用 0.1uF 电容连接至 GND |
| 39 | \*\* VCCD | 力量  输出或输入 | +3.3V输出或输入。 |
| 12、24、46 | 电压控制电路 | 力量  输入 | +3.3V输入。 I/O接口电源输入 |
| 8 | VPLL | 力量  输入 | +3.3V输入。内部PLL电源输入。建议使用 LC 滤波器对该电源进行滤波。 （见图6.1） |
| 3 | 虚拟物理层 | 力量  输入 | +3.3V输入。内部 USB PHY 电源输入。请注意，它不能直接连接到 USB 电源。必须使用+3.3V 稳压器。建议使用 LC 滤波器对该电源进行滤波。（见图 6.1) |
| 4,9,41 | AGND | 力量  输入 | 0V 接地输入。 |
| 10,11,22,23,35,36,47,48 | 接地 | 力量  输入 | 0V 接地输入。 |

##### 表 3.1 电源和接地

\*\* 如果引脚 40 (VREGIN) 为 +5.0V，则引脚 39 变为输出，如果引脚 40 (VREGIN) 为 3V3，则引脚 39 变为输入。

|  |  |  |  |
| --- | --- | --- | --- |
| **引脚号** | **姓名** | **类型** | **描述** |
| 1 | 开放式计算机接口 | 输入 | 振荡器输入。 |
| 2 | 奥斯科 | 输出 | 振荡器输出。 |
| 5 | 参考文献 | 输入 | 电流参考 – 通过 12KΩ 电阻器 @ 1% 连接至 GND。 |
| 6 | DM | 输入/输出 | USB 数据信号负。 |
| 7 | DP | 输入/输出 | USB 数据信号增强版。 |
| 42 | 测试 | 输入 | IC 测试引脚 – 为了正常运行，必须连接至 GND。 |
| 34 | 重置＃ | 输入 | 复位输入（低电平有效）。 |
| 31 | PWRSAV# | 输入 | USB 省电输入。这是一个 EEPROM 可配置选项，可使用 FT\_PROG 中的“ACBus7 低电平挂起”位进行设置。当 FT232H 处于自供电模式时，此选项可用，用于防止在主机或集线器关闭时强制电流流过 USB 线路。  PWRSAV# = 1：正常运行  PWRSAV# = 0：FT232H 强制进入暂停模式。 PWRSAV# 可以连接到 USB 连接器的 VBUS（通过 39KΩ 电阻）。当该输入变高时，它向 FT232H 指示它已连接到主机 PC。当主机或集线器断电时，FT232H 保持在暂停模式。 |

##### 表 3.2 常用功能引脚

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | | | | | |
|  | **引脚号** | **姓名** | **类型** | **描述** |  |
| 45 | 电子计算机系统 | 输入/输出 | EEPROM——片选。设备复位期间的三态。 |
| 44 | EE时钟 | 输出 | 至 EEPROM 的时钟信号。设备复位期间的三态。未复位时，输出 EEPROM 时钟。 |
| 43 | 电子数据 | 输入/输出 | EEPROM——数据I/O。通过 2.2K 电阻直接连接到 EEPROM 的数据输入和 EEPROM 的数据输出。另外，通过 10K 电阻将 EEPROM 的数据输出拉至 VCCD，以实现正确操作。设备复位期间的三态。 |

**表 3.3 EEPROM 接口组**

|  |  |  |  |
| --- | --- | --- | --- |
| **引脚号** | **姓名** | **类型** | **描述** |
| 13 | AD总线0 | 输出 | 可配置输出引脚，默认配置为发送异步数据输出。 |
| 14 | AD总线1 | 输入 | 可配置输入引脚，默认配置为接收异步数据输入。 |
| 15 | AD总线2 | 输出 | 可配置的输出引脚，默认配置是请求发送控制输出/握手信号。 |
| 16 | AD总线3 | 输入 | 可配置输入引脚，默认配置为清除发送控制输入/握手信号。 |
| 17 号 | AD总线4 | 输出 | 可配置输出引脚，默认配置为数据终端就绪控制输出/握手信号。 |
| 18 | AD总线5 | 输入 | 可配置输入引脚，默认配置为数据集就绪控制输入/握手信号。 |
| 19 | AD总线6 | 输入 | 可配置输入引脚，默认配置为数据载波检测控制输入。 |
| 20 | AD总线7 | 输入 | 可配置输入引脚，默认配置为环指示器控制输入。当 EEPROM 中启用远程唤醒时，将 RI# 拉低可用于将 PC USB 主控制器从挂起状态恢复。 （另请参见[第 4.12](#_bookmark93)节中的注释 1、2、3 ） |
| 21 | 交流总线0 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 25 | 交流总线1 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 26 | 交流总线2 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 27 | 交流总线3 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 28 | 交流总线4 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 29 | 交流总线5 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 30 | 交流总线6 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 31 | 交流总线7 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PD。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 32 | 交流总线8 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |
| 33 | 交流总线9 | 输入/输出 | 可配置的 ACBUS I/O 引脚。该引脚的功能在器件 EEPROM 中配置。如果未安装外部 EEPROM，则默认配置为 TriSt-PU。请参见 ACBUS 信号选项，[表 3.5](#_bookmark17) 。 |

**表 3.4 UART 接口和 ACBUS 组（见注 1）**

**笔记：**

在输入模式下使用时，输入引脚通过内部 75kΩ（大约）电阻拉至 VCCIO。通过在 EEPROM 中设置一个选项，可以将这些引脚编程为在 USB 挂起期间轻轻拉低（PWREN# =“1”）。

## ACBUS信号 选项

[FT\_PROG](http://www.ftdichip.com/Support/Utilities.htm)在 CBUS I/O 引脚上配置以下选项，该实用程序可从[FTDI 实用程序页面](http://www.ftdichip.com/Support/Utilities.htm)下载。 CBUS 信号选项对于 FT232H 的两个封装版本都是通用的。默认配置在第[7](#_bookmark119)节中描述。

|  |  |  |
| --- | --- | --- |
| **交流总线**  **信号选项** | **可在 ACBUS 引脚上使用** | **描述** |
| TXDEN | ACBUS0、ACBUS1、ACBUS2、ACBUS3、ACBUS4、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | TXDEN =（TTL 电平）。与RS485电平转换器一起使用，在数据传输过程中启用线路驱动器。 TXDEN 从 TXD 上发送起始位之前的一位时间一直有效，直到停止位结束。 |
| \*PWREN# | ACBUS0、ACBUS1、ACBUS2、ACBUS3、ACBUS4、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | 通过 USB 配置设备后输出为低电平，然后在 USB 挂起模式期间输出为高电平。该输出可用于控制外部逻辑 P 沟道逻辑电平 MOSFET 开关的电源。以这种方式使用 PWREN# 时启用接口下拉选项。\* |
| TXLED# | ACBUS0、ACBUS1、ACBUS2、ACBUS3、ACBUS4、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | TXLED = 发送信号输出。向外部设备传输数据 (TXD) 时脉冲为低电平。它可以连接到 LED。 |
| 接收LED# | ACBUS0、ACBUS1、ACBUS2、ACBUS3、ACBUS4、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | RXLED = 接收信号输出。从外部设备接收数据 (RXD) 时脉冲为低电平。它可以连接到 LED。 |
| 发送&接收LED# | ACBUS0、ACBUS1、ACBUS2、ACBUS3、ACBUS4、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | LED 驱动 – 当从外部设备传输数据或从外部设备接收数据时，脉冲为低电平。 |
| 睡觉＃ | ACBUS0、ACBUS1、ACBUS2、ACBUS3、ACBUS4、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | 在 USB 挂起模式期间变低。通常用于关闭 USB 至 RS232 转换器设计中的外部 TTL 至 RS232 电平转换器 IC。 |
| \*\*时钟30 | ACBUS0、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | 30MHz 时钟输出。 |
| \*\*时钟15 | ACBUS0、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | 15MHz 时钟输出。 |
| \*\*CLK7.5 | ACBUS0、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | 7.5MHz 时钟输出。 |
| TriSt-PU | ACBUS0、ACBUS1、ACBUS2、ACBUS3、ACBUS4、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | 输入上拉 |
| 驱动器1 | ACBUS0、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | 输出高电平 |
| 驾驶0 | ACBUS0、ACBUS1、ACBUS2、ACBUS3、ACBUS4、ACBUS5、ACBUS6、ACBUS8、ACBUS9 | 输出低 |
| 输入输出模式 | ACBUS5、ACBUS6、ACBUS8、ACBUS9 | ACBUS 比特邦 |

##### 表 3.5 ACBUS 配置控制

\* 必须与 10kΩ 上拉电阻一起使用。

\*\*当处于 USB 挂起模式时，输出时钟也会挂起。

## 别针 配置

以下部分描述了器件配置为不同模式时引脚的功能 手术。

### UART 中使用的 FT232H 引脚 界面

FT232H 可配置为 UART 接口。配置为该模式时，所使用的引脚和信号说明如[表 3.6所示](#_bookmark20)。

|  |  |  |  |
| --- | --- | --- | --- |
| **引脚号** | **姓名** | **类型** | **串口配置说明** |
| 13 | TXD | 输出 | TXD = 发送器输出 |
| 14 | 接收数据 | 输入 | RXD = 接收器输入 |
| 15 | 即时战略# | 输出 | RTS# = 准备发送握手输出 |
| 16 | CTS# | 输入 | CTS# = 清除发送握手输入 |
| 17 号 | 数据传输# | 输出 | DTR# = 数据传输就绪调制解调器信号线 |
| 18 | 数字SR# | 输入 | DSR# = 数据集就绪调制解调器信号线 |
| 19 | DCD# | 输入 | DCD# = 数据载波检测调制解调器信号线 |
| 20 | RI# | 输入 | RI# = 环形指示器控制输入。当 EEPROM 中启用远程唤醒选项时，将 RI# 拉低可用于将 PC USB 主机控制器从挂起状态恢复。 |
| 21 | \*\* TXDEN | 输出 | TXDEN =（TTL 电平）。用于启用RS485电平转换器 |
| 27 | \*\* 接收LED | 输出 | RXLED = 接收信号输出。从外部设备（UART 接口）接收数据 (RXD) 时，脉冲为低电平。这应该连接到 LED。 |
| 28 | \*\* TXLED | 输出 | TXLED = 发送信号输出。当向外部设备（UART 接口）传输数据（TXD）时，脉冲为低电平。这应该连接到 LED。 |

##### 表 3.6 UART 配置引脚说明

\*\* ACBUS I/O 引脚

该模式的功能描述请参考[4.3节](#_bookmark38)

**注意：** UART 是设备默认模式。

### FT245 同步 FIFO 中使用的 FT232H 引脚 界面

FT232H 可配置为 FT245 同步 FIFO 接口。配置为该模式时，所使用的引脚和信号说明如[表 3.7所示](#_bookmark22)。要设置此模式，外部 EEPROM 必须设置为 245 模式。然后应用程序将软件命令 (FT\_SetBitMode) 发送到 FTDI D2XX 驱动程序，告诉芯片进入 245 同步 FIFO 模式。在此模式下，数据在 CLKOUT 的上升沿写入或读取。有关时序详细信息，请参阅[图 4.4](#_bookmark46) 。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **引脚号** | **姓名** | **类型** | **FT245配置说明** |  |
| 13,14,15,16,17,18,19,20 | AD总线[7:0] | 输入/输出 | D7 至 D0 双向 FIFO 数据。除非 OE# 为低电平，否则该总线通常为输入。 |
| 21 | 接收F# | 输出 | 当为高电平时，不从 FIFO 读取数据。当为低电平时，FIFO 中有可用数据，可以通过将 RD# 驱动为低电平来读取数据。在同步模式下，数据在 RXF# 和 RD# 均为低电平的每个时钟上传输。请注意，在将 RD# 置为低电平之前，必须将 OE# 引脚驱动为低电平至少 1 个时钟周期。 |
| 25 | TXE# | 输出 | 当为高电平时，不将数据写入 FIFO。当为低电平时，可以通过将 WR# 驱动为低电平将数据写入 FIFO。当处于同步模式时，数据在 TXE# 和 WR# 所在的每个时钟上传输 |
|  | | | | | |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | | | | | |
|  |  |  |  | 两者都低。 |  |
| 26 | RD# | 输入 | 当 RD# 变低时，允许将当前 FIFO 数据字节驱动到 D0...D7。每个 CLKOUT 周期都会从接收 FIFO 缓冲区获取下一个 FIFO 数据字节（如果可用），直到 RD# 变高。 |
| 27 | 写入# | 输入 | 当 WR# 为低电平时，允许将 D0...D7 引脚上的数据字节写入发送 FIFO 缓冲区。每个 CLKOUT 周期将下一个 FIFO 数据字节写入发送 FIFO 缓冲区，直到 WR# 变高。 |
| 28 | 四物# | 输入 | 立即发送/唤醒信号在单个引脚上结合了两种功能。如果 USB 处于挂起模式 (PWREN# = 1) 并且在 EEPROM 中启用了远程唤醒，则选通该引脚为低电平将导致设备请求在 USB 总线上恢复。通常，这可以用来唤醒主机。  在正常操作期间 (PWREN# = 0)，如果该引脚选通为低电平，则设备 RX 缓冲区中的任何数据都将在驱动程序发出下一个 Bulk-IN 请求时通过 USB 发送出去，无论待处理的数据包大小如何。  这可用于优化某些应用程序的 USB 传输速度。如果不使用，请将此引脚连接至 VCCIO。 |
| 29 | 时钟输出 | 输出 | 由芯片驱动的 60 MHz 时钟。所有信号都应与该时钟同步。 |
| 30 | 原始设备# | 输入 | 低电平时输出使能，将数据驱动到 D0-7。在将 RD# 驱动为低电平之前，应将其驱动为低电平至少 1 个时钟周期，以允许数据缓冲区周转。 |

##### 表 3.7 FT245 同步 FIFO 配置引脚说明

该模式的功能描述请参见[4.4节](#_bookmark45)。

### FT245 型异步 FIFO 中使用的 FT232H 引脚 界面

FT232H 可配置为 FT245 型异步 FIFO 接口。配置为该模式时，所使用的引脚和信号说明如[表 3.8所示](#_bookmark24)。要进入此模式，外部 EEPROM 必须设置为 245 异步 FIFO 模式。在此模式下，数据在 RD# 或 WR# 信号的下降沿写入或读取。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **引脚号** | **姓名** | **类型** | **FT245配置说明** |  |
| 13、14、15、16、17、  18, 19,20 | AD总线[7:0] | 输入/输出 | D7 至 D0 双向 FIFO 数据。除非 RD# 为低电平，否则该总线通常为输入。 |
| 21 | 接收F# | 输出 | 当为高电平时，不从 FIFO 读取数据。当为低电平时，FIFO 中有可用数据，可以通过将 RD# 驱动为低电平来读取数据。当 RD# 再次变高时，RXF# 将始终变高，并且只有在有另一个字节要读取时才会再次变低。复位期间，该信号引脚处于三态，但通过内部 200kΩ 电阻上拉至 VCCIO。 |
| 25 | TXE# | 输出 | 当为高电平时，不将数据写入 FIFO。当为低电平时，可以通过选通 WR# 高电平然后低电平将数据写入 FIFO。复位期间，该信号引脚处于三态，但通过内部 200kΩ 电阻上拉至 VCCIO。 |
| 26 | RD# | 输入 | 当 RD# 变低时，允许将当前 FIFO 数据字节驱动到 D0...D7。当 RD# 变高时，从接收 FIFO 缓冲区获取下一个 FIFO 数据字节（如果可用）。 |
| 27 | 写入# | 输入 | 当 WR# 从高电平变为低电平时，将 D0...D7 引脚上的数据字节写入发送 FIFO 缓冲区。 |
|  | 四物# | 输入 | 立即发送/唤醒信号在单个引脚上结合了两种功能。如果 USB 处于挂起模式 |
|  | | | | | |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | | | | | |
|  | 28 |  |  | (PWREN# = 1) 并且 EEPROM 中启用了远程唤醒，选通该引脚为低电平将导致设备请求 USB 总线上的恢复。通常，这可以用来唤醒主机。  在正常操作期间 (PWREN# = 0)，如果该引脚选通为低电平，则设备 RX 缓冲区中的任何数据都将在驱动程序发出下一个 Bulk-IN 请求时通过 USB 发送出去，无论待处理的数据包大小如何。这可用于优化某些应用程序的 USB 传输速度。如果不使用，请将此引脚连接至 VCCIO。 |  |

##### 表 3.8 FT245 型异步 FIFO 配置引脚说明

该模式的功能描述请参见[4.5节](#_bookmark50)。

### FT232H 配置为同步或异步 Bit-Bang 接口

Bit-bang 模式是 FTDI FT232H 设备的一种模式，它将 8 条 IO 线变为 8 位双向数据总线。通过向 FTDI 驱动程序发送软件命令 (FT\_SetBitMode) 来启用此模式。当配置为任何 bit-bang 模式时，所使用的引脚和信号的描述如[表所示 3.9](#_bookmark26)

|  |  |  |  |
| --- | --- | --- | --- |
| **引脚号** | **姓名** | **类型** | **配置说明** |
| 13,14,15,16,17,18,19,20 | AD总线[7:0] | 输入/输出 | D7 至 D0 双向 Bit-Bang 并行 I/O 数据引脚 |
| 25 | WRSTB# | 输出 | 写选通，低电平有效输出指示新数据何时从 I/O 引脚写入 主机 PC（通过 USB 界面）。 |
| 26 | RDSTB# | 输出 | 读选通脉冲，该输出上升沿指示何时从并行 I/O 引脚读取数据并将其发送到主机 PC（通过 USB 接口）。 |
| 28 | 四物# | 输入 | 立即发送/唤醒信号在单个引脚上结合了两种功能。如果 USB 处于挂起模式 (PWREN# = 1) 并且在 EEPROM 中启用了远程唤醒，则选通该引脚为低电平将导致设备请求在 USB 总线上恢复。通常，这可以用来唤醒主机。  在正常操作期间 (PWREN# = 0)，如果该引脚选通为低电平，则设备 RX 缓冲区中的任何数据都将在驱动程序发出下一个 Bulk-IN 请求时通过 USB 发送出去，无论待处理的数据包大小如何。  这可用于优化某些应用程序的 USB 传输速度。如果不使用，请将此引脚连接至 VCCIO。 |

##### 表 3.9 同步或异步 Bit-Bang 配置的引脚描述

该模式的功能说明请参见[4.6节](#_bookmark54)。

### FT232H 引脚用于 MPSSSE

FT232H 具有多协议同步串行引擎 (MPSSE)。通过向 FTDI D2xx 驱动程序发送软件命令 (FT\_SetBitMode) 来启用此模式。 MPSSE 可配置为多种行业标准串行接口协议，例如 JTAG、I 2 C 或 SPI (MASTER)，也可用于实现专有总线协议。例如，可以将 FT232H 连接到 SRAM 可配置 FPGA（例如 Altera 或 Xilinx 提供的）。 FPGA 器件通常不会在上电时进行配置（即没有定义的功能）。 PC 上的应用软件可以使用 MPSSE（和 D2XX 驱动程序）通过 USB 将配置数据下载到 FPGA。该数据将定义上电时的硬件功能。 MPSSE 可用于控制多个 GPIO 引脚。配置为该模式时，所使用的引脚和信号说明如[表 3.10所示](#_bookmark28)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **引脚号** | **姓名** | **类型** | **MPSSE 配置说明** |  |
| 13 | TCK/SK | 输出 | 时钟信号输出。例如：JTAG – TCK，测试接口时钟 |
|  | | | | | |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | | | | | |
|  |  |  |  | SPI（主）-SK，串行时钟 |  |
| 14 | TDI/溶解氧 | 输出 | 串行数据输出。例如：JTAG – TDI，测试数据输入  SPI（主）-DO |
| 15 | TDO/DI | 输入 | 串行数据输入。例如：JTAG – TDO，测试数据输出  SPI（主）——DI，串行数据输入 |
| 16 | 经颅磁刺激/脑电刺激 | 输出 | 输出信号选择。例如：JTAG – TMS、测试模式选择  SPI（主）——CS，串行片选 |
| 17 号 | GPIOL0 | 输入/输出 | 通用输入/输出 |
| 18 | GPIOL1 | 输入/输出 | 通用输入/输出 |
| 19 | GPIOL2 | 输入/输出 | 通用输入/输出 |
| 20 | GPIOL3 | 输入/输出 | 通用输入/输出 |
| 21 | GPIOH0 | 输入/输出 | 通用输入/输出 |
| 25 | GPIOH1 | 输入/输出 | 通用输入/输出 |
| 26 | GPIOH2 | 输入/输出 | 通用输入/输出 |
| 27 | GPIOH3 | 输入/输出 | 通用输入/输出 |
| 28 | GPIOH4 | 输入/输出 | 通用输入/输出 |
| 29 | GPIOH5 | 输入/输出 | 通用输入/输出 |
| 30 | GPIOH6 | 输入/输出 | 通用输入/输出 |
| 31 | GPIOH7 | 输入/输出 | 通用输入/输出 |

##### 表 3.10 MPSSE 配置的引脚描述

该模式的功能说明请参见[4.8节](#_bookmark68)。

### 用作快速串行的 FT232H 引脚 界面

FT232H 可配置为与高速双向隔离串行数据一起使用。专有 FTDI 协议旨在允许电流隔离设备仅使用 4 条信号线（通过两个双光隔离器）和两条电源线与 FT232H 同步通信。外围电路控制两个方向的数据传输速率，同时保持完整的数据完整性。使用适当的高速光隔离器时，可以实现 12 Mbps（USB 全速）数据速率（请参阅[应用说明 AN-](http://www.ftdichip.com/Support/Documents/AppNotes/AN_131_FT2232D_H_Fast%20Opto-Isolated%20Serial%20Interface%20mode.pdf) [131](http://www.ftdichip.com/Support/Documents/AppNotes/AN_131_FT2232D_H_Fast%20Opto-Isolated%20Serial%20Interface%20mode.pdf) ）。配置为该模式时，所使用的引脚和信号说明如[表所示](#_bookmark30) [3.11](#_bookmark30) .

|  |  |  |  |
| --- | --- | --- | --- |
| **引脚号** | **姓名** | **类型** | **快速串行接口配置说明** |
| 13 | FSDI | 输入 | 快速串行数据输入。 |
| 14 | 时钟频率 | 输入 | 快速串行时钟输入。  时钟输入到 FT232H 芯片以时钟数据输入或输出。 |
| 15 | FSDO | 输出 | 快速串行数据输出。 |
| 16 | FSCTS | 输出 | 快速串行清除发送信号输出。  拉低表示芯片已准备好发送数据 |
| 28 | 四物# | 输入 | 立即发送/唤醒信号在单个引脚上结合了两种功能。如果 USB 处于挂起模式 (PWREN# = 1) 并且在 EEPROM 中启用了远程唤醒，则选通该引脚为低电平将导致设备请求在 USB 总线上恢复。通常，这可以用来唤醒主机。  在正常操作期间 (PWREN# = 0)，如果该引脚选通为低电平，则设备 RX 缓冲区中的任何数据都将在驱动程序发出下一个 Bulk-IN 请求时通过 USB 发送出去，无论待处理的数据包大小如何。这可用于优化某些应用程序的 USB 传输速度。如果不使用，请将此引脚连接至 VCCIO。 |

##### 表 3.11 快速串行接口配置的引脚说明

该模式的功能描述请参见[4.9节](#_bookmark74)。

### FT232H 引脚配置为 CPU 式 FIFO 界面

FT232H 可配置为 CPU 式 FIFO 接口模式，允许 CPU 通过 FT232H 连接到 USB。该模式在外部 EEPROM 中启用。配置为该模式时，所使用的引脚和信号说明如[表 3.12所示](#_bookmark32)。

|  |  |  |  |
| --- | --- | --- | --- |
| **引脚号** | **姓名** | **类型** | **快速串行接口配置说明** |
| 13、14、  15、16、  17、18、  19, 20 | AD总线[7:0] | 输入/输出 | D7至D0双向数据总线 |
| 21 | CS＃ | 输入 | 低电平有效片选输入 |
| 25 | A0 | 输入 | 地址位 A0 |
| 26 | RD# | 输入 | 低电平有效 FIFO 读输入 |
| 27 | 写入# | 输入 | 低电平有效 FIFO 写输入 |
| 28 | 四物# | 输入 | 如果不使用，请将此引脚连接到 VCCIO – 否则，为了正常操作，发送立即/唤醒信号在单个引脚上结合了两个功能。如果 USB 处于挂起模式 (PWREN# = 1) 并且在 EEPROM 中启用了远程唤醒，则选通该引脚为低电平将导致设备请求在 USB 总线上恢复。通常，这可以用来唤醒主机。  在正常操作期间（PWREN# = 0），如果该引脚被选通为低电平，则设备 RX 缓冲区中的任何数据都将在下一次通过 USB 发送出去。  来自驱动程序的批量输入请求，无论待处理的数据包大小如何。这可用于优化某些应用程序的 USB 传输速度。 |

##### 表 3.12 CPU 型 FIFO 接口配置引脚说明

该模式的功能描述请参见[4.10节](#_bookmark84)。

### FT232H 引脚配置为 FT1248 界面

FT232H 可配置为专有的 FT1248 接口。该模式在外部 EEPROM 中启用。配置为该模式时，所使用的引脚和信号说明如[表 3.13所示](#_bookmark34)。

|  |  |  |  |
| --- | --- | --- | --- |
| **引脚号** | **姓名** | **类型** | **串口配置说明** |
| 13 | MIOSIO0 | 输入  /输出 | 双向同步命令和数据总线，位 0 用于向主机发送和接收数据 |
| 14 | MIOSIO1 | 输入  /输出 | 双向同步命令和数据总线，位 1 用于从主机发送数据或从主机接收数据 |
| 15 | MIOSIO2 | 输入  /输出 | 双向同步命令和数据总线，位 2 用于从主机发送数据或从主机接收数据 |
| 16 | MIOSIO3 | 输入  /输出 | 双向同步命令和数据总线，位 3 用于从主机发送数据或从主机接收数据 |
| 17 号 | MIOSIO4 | 输入  /输出 | 双向同步命令和数据总线，位 4 用于从主机发送数据或从主机接收数据 |
| 18 | MIOSIO5 | 输入  /输出 | 双向同步命令和数据总线，位 5 用于从主机发送数据或从主机接收数据 |
| 19 | MIOSIO6 | 输入  /输出 | 双向同步命令和数据总线，位 6 用于从主机发送数据或从主机接收数据 |
| 20 | MIOSIO7 | 输入  /输出 | 双向同步命令和数据总线，位 7 用于从主机发送数据或从主机接收数据 |
| 21 | 时钟时钟 | 输入 | 用于驱动从设备数据的串行时钟 |
| 25 | SS\_n | 输入 | 低电平有效从机选择0从主机到从机 |
| 26 | 味噌 | 输出 | 用于传输发送和接收缓冲区状态的从机输出分别为空和满 |

##### 表 3.13 FT1248 配置的引脚说明

该模式的功能描述请参见第[4节](#_bookmark35)。

# 功能 描述

FT232H USB 2.0 高速 (480Mb/s) 转 UART/FIFO 是 FTDI 的第六代IC。它可以配置为多种行业标准串行或并行接口，例如UART、FIFO、JTAG、SPI (MASTER) 或I 2 C 模式。除此之外，FT232H 还引入了 FT1248 接口，并支持 CPU-Style FIFO 模式、bit-bang 和快速串行接口模式。

## 钥匙 特征

**USB 高速转 UART/FIFO 接口**。 FT232H 为灵活且可配置的 UART/FIFO 接口提供 USB 2.0 高速 (480Mbits/s)。

**功能整合**。 FT232H 集成了一个 USB 协议引擎，该引擎控制物理通用收发器宏单元接口 (UTMI) 并处理 USB 2.0 高速接口的所有方面。 FT232H 包括一个集成的 +1.8V/3.3V 低压差 (LDO) 稳压器。它还包括 1Kbytes Tx 和 Rx 数据缓冲区。 FT232H 在芯片上集成了整个 USB 协议，无需固件。

**MPSE** 。多协议同步串行引擎 (MPSSE) 速度高达 30 Mbits/s，提供灵活的同步接口配置。

**FT1248接口。** FT232H 支持新型专有半双工 FT1248 接口，该接口具有可变双向数据总线接口，可配置为 1、2、4 或 8 位宽，这使得能够灵活地将数据总线的大小扩展到8 针。有关 2 位、4 位和 8 位模式的详细信息，请参阅 FTDI 网站上提供的应用笔记 AN\_167\_FT1248\_Serial\_Parallel Interface Basics。

**数据传输率。**当配置为 RS232/RS422/RS485 UART 接口时，FT232H 支持高达 12 Mbaud 的数据传输速率，在同步 245 并行 FIFO 接口上高达 40 Mbytes/秒，在异步 245 FIFO 接口上高达 8 Mbyte/秒。请注意 FT232H 不支持 7 Mbaud、9 Mbaud、10 Mbaud 和 11 波特率 姆波特。

**延迟计时器。**驱动程序的一项功能，用作将短数据包传输回 PC 的超时。默认值为 16ms，但可以在 0ms 到 255ms 之间更改。

**总线 (ACBUS) 功能、信号反转和驱动强度选择。**有 11 个可配置的 ACBUS I/O 引脚。这些可配置选项是：

1. **TXDEN** – RS485 发送使能 设计。
2. **PWREN#** - 高功率、总线供电的电源控制 设计。
3. **TXLED#** - 用于在传输时使 LED 发出脉冲 数据。
4. **RXLED#** - 用于在接收时发出 LED 脉冲 数据。
5. **TX&RXLED#** - 发送或接收时将发出 LED 脉冲 数据**。**
6. **SLEEP#** - 表示设备进入 USB 挂起状态 模式。
7. **CLK30 / CLK15 / CLK7.5 –** 30MHz、15MHz 和 7.5MHz 时钟输出信号 选项。
8. **TriSt-PU** – 输入上拉，不上拉 用过的
9. **驱动器 1** – 输出驱动 高的
10. **DRIVE 0** – 输出驱动 低的
11. **I/O 模式**– ACBUS 位 砰

ACBUS 引脚也可以单独配置为 GPIO 引脚，类似于异步 bit bang 模式。在使用 UART 接口时可以使用此模式，从而提供最多 4 个在正常操作期间可用的通用 I/O 引脚。

通过设置外部 EEPROM 中的位，可以使用这些输入/输出选项中的任何一种来配置 ACBUS 线路，请参见[第 0节](#_bookmark16)。

## 功能块 描述

**多用途 UART/FIFO 控制器。** FT232H具有1个独立的UART/FIFO控制器。它控制 UART 数据、245 FIFO 数据、快速串行（光电隔离）或 Bit-Bang 模式，可通过 SETUP (FT\_SetBitMode) 命令选择。每个多用途 UART/FIFO 控制器还包含一个 MPSSE（多协议同步串行引擎）。使用该 MPSSE，可以在软件命令下配置多用途 UART/FIFO 控制器，以具有 MPSSE (SPI (MASTER)、I 2 C 和 JTAG）。

**USB 协议引擎和 FIFO 控制。** USB 协议引擎控制和管理 UTMI PHY 与芯片的 FIFO 之间的接口。它还处理电源管理和 USB 协议规范。

**端口 FIFO TX 缓冲区（1Kbytes）。**来自主机 PC 的数据存储在这些缓冲区中，以供多用途 UART/FIFO 控制器使用。这是由 USB 协议引擎和 FIFO 控制块控制的。

**端口 FIFO RX 缓冲区（1Kbytes）。**来自多用途 UART/FIFO 控制器的数据存储在这些块中，以便在需要时发送回主机 PC。这是由 USB 协议引擎和 FIFO 控制块控制的。

**复位发生器——**集成的复位发生器单元在加电时为器件内部电路提供可靠的加电复位。 RESET# 输入引脚允许外部设备重置 FT232H。如果不使用 RESET#，则应将其连接至 VCCIO (+3.3V)。

**波特率发生器 –**波特率发生器从 120MHz 参考时钟向 UART 提供 x16 或 x10 时钟输入，并由 14 位预分频器和 4 个寄存器位组成，提供波特率的微调（用于除以一个数字加一个分数）。这决定了 UART 的波特率，其可编程范围为 183 波特至 12 Mbaud。有关详细信息，请参阅[FTDI 网站](http://www.ftdichip.com/)上的FTDI 应用说明AN\_120 细节。

**EEPROM 接口**。如果安装了外部 EEPROM，FT232H 可配置为异步串行 UART（默认模式）、并行 FIFO (245) 模式、FT1248、快速串行（光隔离）或 CPU 型 FIFO。 EEPROM 应为 16 位宽配置，例如 93LC56B 或在 VCCIO = +2.97V 至 3.63V 时能够实现 1Mbit/s 时钟速率的同等产品。 EEPROM 可使用名为[FT\_Prog的实用程序通过 USB 进行在线编程](http://www.ftdichip.com/Resources/Utilities/FT_Prog_v1.4.zip) 可从[FTDI获得](http://www.ftdichip.com/) 网站。请注意，93LC46B 与 FT232H 不兼容 设备。

**+1.8/3.3V LDO 稳压器。** +3.3/+1.8V LDO 稳压器为内核和 USB 收发器单元生成 +1.8V，并为 IO 和内部 PLL 和 USB PHY 电源生成 +3.3V。

**UTMI 物理层**。通用收发器宏单元接口 (UTMI) 物理接口单元。该块处理 USB TX/RX 数据的全速/高速 SERDES（串行化 - 反串行化）功能。它还为芯片的其余部分提供时钟。 12 MHz 晶振必须连接到 OSCI 和 OSCO 引脚，或者 12 MHz 振荡器必须连接到 OSCI，并且 OSCO 保持未连接状态。 PCB 上的 REF 和 GND 之间应连接一个 12K 欧姆电阻。

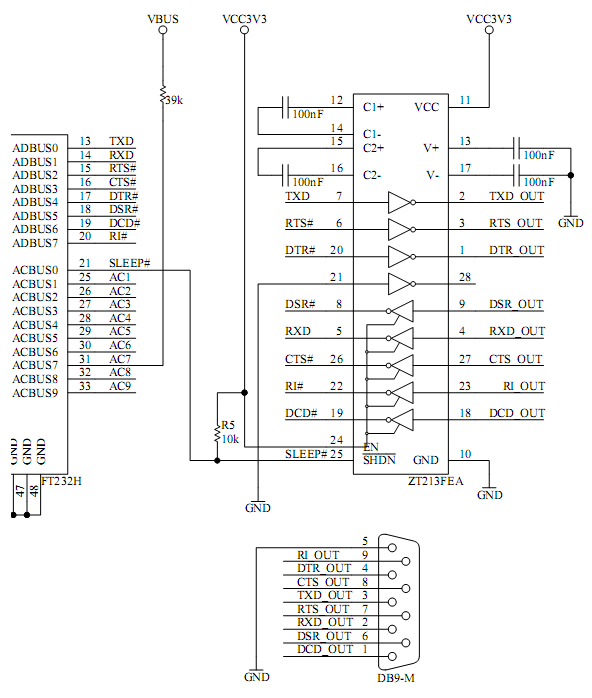
UTMI PHY 功能包括：

* 支持 480 Mbit/s“高速”(HS)/12 Mbit/s“全速” （FS）。
* SYNC/EOP 生成和 检查
* 从串行流中恢复数据和时钟 USB。
* 位填充/解除填充；位错误 检测。
* 管理 USB 恢复、唤醒和挂起 功能。
* 具有片上 PLL 的单个并行数据时钟输出，可生成更高速的串行数据 时钟。

## FT232 UART 接口模式 描述

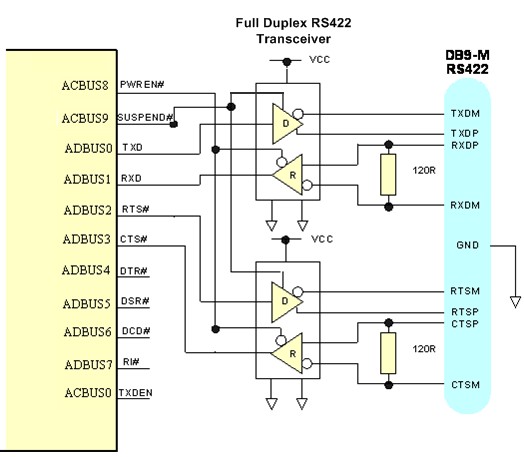
FT232H 可配置为带有外部线路驱动器的 UART，类似于 FTDI FT232R 器件的操作。以下示例说明如何使用 RS232、RS422 或 RS485 接口配置 FT232H。

### RS232 配置

[图 4.1](#_bookmark40)说明了如何使用 RS232 UART 接口配置 FT232H。

##### 图 4.1 RS232 配置

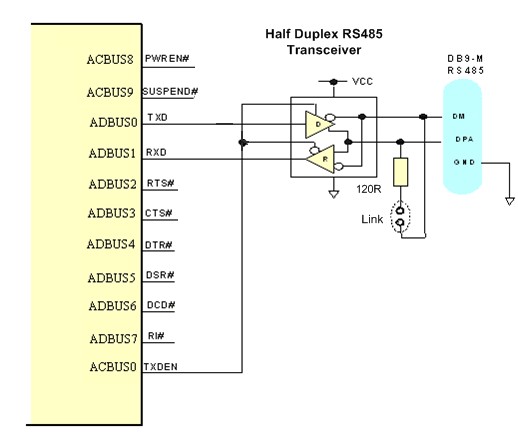
### RS422 配置

[图 4.2](#_bookmark42)说明了如何将 FT232H 配置为 RS422 接口。

##### 图 4.2 双 RS422 配置

在这种情况下，FT232H 配置为以 TTL 电平运行的 UART，并且使用电平转换器设备（全双工 RS485 收发器）将 TTL 电平信号从 FT232H 转换为 RS422 电平。 PWREN# 信号用于关闭电平转换器的电源，以便当 USB 接口处于挂起模式时它们以低静态电流运行。

### RS485 配置

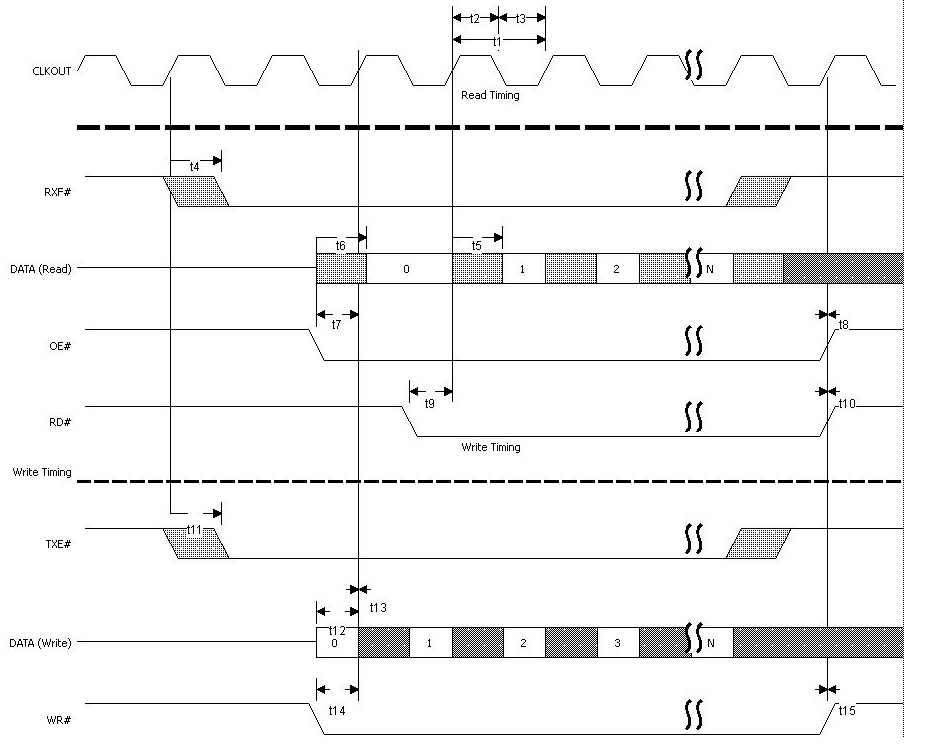
[图 4.3](#_bookmark44)说明了如何将 FT232H 配置为 RS485 接口。

##### 图 4.3 双 RS485 配置

在这种情况下，FT232H 配置为以 TTL 电平运行的 UART，并且使用电平转换器设备（半双工 RS485 收发器）将 TTL 电平信号从 FT232H 转换为 RS485 电平。对于 RS485，仅当从 UART 发送字符时才启用发送器。 FT232H 上的 TXDEN 引脚正是用于此目的，因此发送器使能连接到 TXDEN。 RS485 是一个多点网络，即许多设备可以通过一根两线电缆连接相互通信。 RS485 电缆需要在电缆的每一端进行端接。如果设备物理上位于电缆的任一端，则提供链接以允许终止电缆 电缆。

## FT245 同步 FIFO 接口模式 描述

当 FT232H 配置为 FT245 同步 FIFO 接口模式时，所用信号的 IO 时序[如图 4.4所示](#_bookmark46)，其中显示了读写访问的详细信息。时序[如图 4.4](#_bookmark46)所示。注意，任一时刻只能执行一个读或一个写周期。在 CLKOUT 的上升沿读取或写入数据 钟。



##### 图 4.4 FT245 同步 FIFO 接口信号波形

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **姓名** | **最小** | **名义** | **最大限度** | **单位** | **评论** |
| t1 |  | 16.67 |  | 纳秒 | CLKOUT 周期 |
| t2 | 7.5 | 8.33 | 9.17 | 纳秒 | CLKOUT高电平周期 |
| t3 | 7.5 | 8.33 | 9.17 | 纳秒 | CLKOUT低电平周期 |
| t4 | 0 |  | 9 | 纳秒 | CLKOUT 至 RXF# |
| t5 | 0 |  | 9 | 纳秒 | CLKOUT 读取数据有效 |
| t6 | 0 |  | 9 | 纳秒 | OE# 读取数据有效 |
| t7 | 7.5 |  | 16.67 | 纳秒 | OE# 设置时间 |
| t8 | 0 |  |  | 纳秒 | OE# 保持时间 |
| t9 | 7.5 |  | 16.67 | 纳秒 | RD# 到 CLKOUT 的建立时间（OE# 低后 RD# 为低） |
| t10 | 0 |  |  | 纳秒 | RD# 保持时间 |
| t11 | 0 |  | 9 | 纳秒 | CLKOUT 至 TXE# |
| t12 | 7.5 |  | 16.67 | 纳秒 | 写数据建立时间 |
| t13 | 0 |  |  | 纳秒 | 写数据保持时间 |
| t14 | 7.5 |  | 16.67 | 纳秒 | WR# 到 CLKOUT 的建立时间（TXE# 为低电平后 WR# 为低电平） |
| t15 | 0 |  |  |  | WR# 保持时间 |

**表 4.1 FT245 同步 FIFO 接口信号时序**

该模式使用同步接口来获得高数据传输速度。该芯片驱动一个 60 MHz CLKOUT 时钟供外部系统使用。

请注意，在软件中选择同步 FIFO 模式之前，必须在 EEPROM 中选择异步 FIFO 模式。

### FT245 同步 FIFO 读取 手术

当芯片将 RXF# 驱动为低电平时，读取操作开始。然后，外部系统可以将 OE# 驱动为低电平，以在 RD# 信号变低时确认数据之前翻转数据总线驱动器。 OE# 为低电平后，第一个数据字节位于总线上。外部系统可以通过保持 RD# 为低电平来将数据从芯片中突发出来，也可以在 RD# 信号中插入等待状态。如果有更多数据要读取，它将在 RD# 采样为低电平后的时钟上发生变化。一旦所有数据被消耗，芯片将驱动 RXF# 为高电平。 RXF# 为高电平后，出现在数据总线上的任何数据均无效，应被忽略。

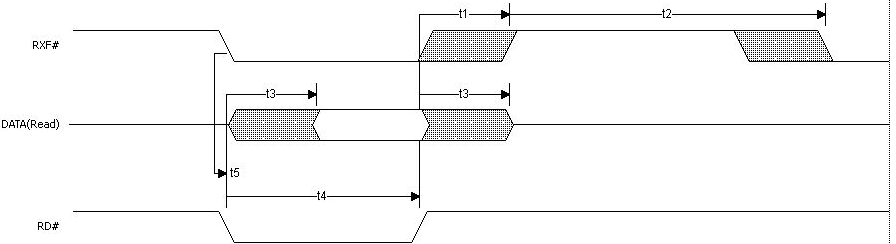
### FT245 同步 FIFO 写入 手术

当 TXE# 为低电平时可以启动写操作。当数据有效时，WR# 拉低。如果 TXE# 仍然为低电平，则可以在每个时钟上执行突发操作。外部系统必须监视 TXE# 和它自己的 WR# 以检查数据是否已被接受。 TXE# 和 WR# 都必须为低电平才能接受数据。

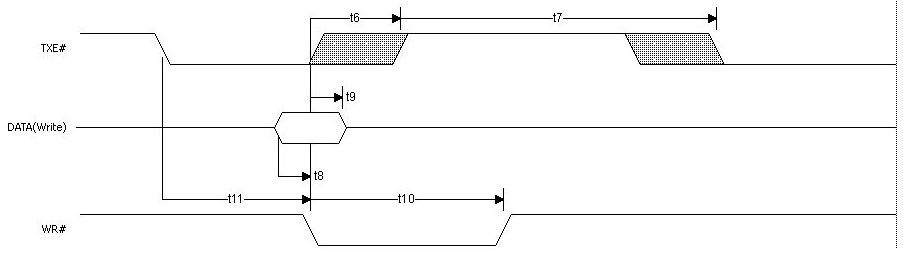
## FT245 风格异步 FIFO 接口模式 描述

FT232H 可配置为异步 FIFO 接口。此模式类似于同步 FIFO 接口，不同之处在于数据在 WR# 或 RD# 的下降沿写入 FIFO 或从 FIFO 读取。 信号。

此模式不提供 CLKOUT 信号，并且不需要 OE# 输入信号。下图说明了异步 FIFO 模式时序。



##### 图 4.5 FT245 异步 FIFO 接口 READ 信号波形



**图 4.6 FT245 异步 FIFO 接口 WRITE 信号波形**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **时间** | **描述** | **最小** | **最大限度** | **单位** |
| T1 | RD# 对 RXF# 无效 | 1 | 14 | 纳秒 |
| T2 | RD# 周期后 RXF# 无效 | 49 |  | 纳秒 |
| T3 | RD# 到数据 | 1 | 14 | 纳秒 |
| T4 | RD# 有效脉冲宽度 | 30 |  | 纳秒 |
| T5 | RXF# 后 RD# 有效 | 0 |  | 纳秒 |
| T6 | WR# 有效到 TXE# 无效 | 1 | 14 | 纳秒 |
| T7 | WR# 周期后 TXE# 激活至 TXE# | 49 |  | 纳秒 |
| T8 | DATA 到 WR# 有效建立时间 | 5 |  | 纳秒 |
| T9 | WR# 无效后的数据保持时间 | 5 |  | 纳秒 |
| T10 | WR# 有效脉冲宽度 | 30 |  | 纳秒 |
| T11 | WR# 在 TXE# 之后有效 | 0 |  | 纳秒 |

**表 4.2 异步 FIFO 时序（基于标准驱动电平输出）**

## FT1248接口模式 描述

FT232H 支持半双工 FT1248 接口，可在 FT232H 作为 FT1248 从机和外部 FT1248 主机之间提供灵活的数据通信和高性能接口。 FT1248 协议是动态双向数据总线接口，可配置为 1、2、4 或 8 位宽。

FPGA (FT1248 主控） FT232H（FT1248 奴隶）

SCLK MIOSIO

MISO

SS#

|  |  |
| --- | --- |
| [7:0] | SCLK MIOSIO  味噌  SS# |
|  |

##### 图 4.7 具有单主设备和从设备的 FT1248 总线。

FT1248 有 3 个不同的阶段：

当 SS\_n 处于非活动状态时，FT1248 分别反映 MIOSIO[0] 和 MISO 线上的写缓冲区和读缓冲区的状态。此外，FT1248 从机模块支持多个从机设备，其中主设备可以与多个 FT1248 从机设备进行通信。当从机与其他 FT1248 从机设备共享总线时，在 SS\_n 不活动期间，写入和读取缓冲区状态无法反映在 MIOSIO[0] 和 MISO 线上，因为这会导致总线争用。因此，用户可以选择是否希望在不活动期间打开或关闭缓冲器状态。当 SS\_n 处于活动状态时，首先发生命令/总线大小阶段。命令阶段之后是数据阶段，对于传输的每个数据字节，FT1248 从机将 ACK/NAK 状态驱动到 MISO 线上。只要 SS\_n 处于活动状态，主机就可以发送多个数据字节，如果发生不成功的数据传输，即 MISO 线上发生 NAK，则主机应立即通过置低 SS\_n 来中止传输。

**READ**

**TXE#**

**CMD**

**WRITE DATA**

**BUS TURNAROUND**

**RDATA0**

**RDATA1**

**RDATA2**

**CMD**

**WDATA 0**

**WDATA 1**

**RXF#**

**STATUS**

**STATUS**

**STATUS**

**RXF#**

**STATUS**

**STATUS**

**CLK**

**SCLK**

**WRITE**

**SS\_n**

**MIOSIO[0] TXE#**

**TXE#**

**MISO**

**RXF#**

##### 图 4.8 FT1248 基本波形协议

[4.6.2](#_bookmark59)节说明了在 1 位模式下运行的 FT1248 写入和读取协议。有关 2 位、4 位和 8 位模式的详细信息，请参阅应用笔记 AN\_167\_FT1248 并行串行接口

基础知识可在 [http://www.ftdichip.com](http://www.ftdichip.com/Support/Documents/AppNotes.htm) 。

### 总线宽度协议 解码

为了让 FT1248 主设备确定命令阶段内的总线宽度，当 SS\_n 有效且数据宽度为 8 位时，总线宽度与第一个有效时钟沿上的实际命令一起进行编码。

如果任何 MIOSIO [7:4] 信号为低电平，则数据传输宽度等于 8 位。如果任何 MIOSIO [3:2] 信号为低电平，则数据传输宽度等于 4 位。如果 MIOSIO [1] 信号为低电平，则数据传输宽度等于 2 位。

否则总线宽度默认为 1 位。

请注意，如果两个 MIOSIO 位信号均为低电平，则数据传输宽度等于高优先级 MIOSIO 位信号的宽度。例如，如果两个 MIOSIO [7:3] 信号均为低电平，则数据传输宽度等于 8 位，或者如果两个 MIOSIO [3:1] 信号均为低电平，则数据传输宽度等于 4 位。

为了成功解码总线宽度，所有 MIOSIO 信号必须具有上拉电阻。默认情况下，所有 MIOSIO 信号应被 FT1248 模式下的 FT232H 视为逻辑“1”。这意味着当 FT1248 主设备不希望使用某些 MIOSIO 信号时，从设备 (FT232H) 仍然能够确定请求的总线宽度，因为任何未使用的 MIOSIO 信号都应在从设备中上拉。

命令阶段使用的其余位用于包含命令本身，这意味着最多可以定义 16 个唯一命令。

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 最低有效位 |  |  |  |  |  |  | 最高位 |
| 命令[3] | BWID 2 位 | BWID 4 位 | 命令[2] | BWID 8 位 | 命令[1] | 命令[0] | X |
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 1 位总线宽度 | 命令[3] | X | X | 命令[2] | X | 命令[1] | 命令[0] | X |
|  | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 2 位总线宽度 | 命令[3] | 0 | X | 命令[2] | X | 命令[1] | 命令[0] | X |
|  | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 4位总线宽度 | 命令[3] | X | 0 | 命令[2] | X | 命令[1] | 命令[0] | X |
|  | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 8位总线宽度 | 命令[3] | X | X | 命令[2] | 0 | 命令[1] | 命令[0] | X |
|  | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |

##### 图 4.9 FT1248 命令结构

有关 FT1248 接口的更多详细信息，请参阅应用笔记 AN\_167\_FT1248 并行串行接口基础知识，网址为[http://www.ftdichip.com](http://www.ftdichip.com/Support/Documents/AppNotes.htm) 。

### FT1248：1 位 界面

FT1248 接口通过不同的总线宽度（1 位、2 位、4 位和 8 位）传输数据。图 4.21 和图 4.22 显示了详细说明 FT1248 写入和读取协议以 1 位模式（带流量控制）运行的波形。有关 1 位无流量控制、2 位、4 位和 8 位模式的更多详细信息，请参阅[http://www.ftdichip.com上提供的应用笔记 AN\_167\_FT1248 并行串行接口基础知识。](http://www.ftdichip.com/Support/Documents/AppNotes.htm)

时钟时钟



TXE#

PU

LLED HI

GH

RXF#

COMMAND PHASE

WRITE DATA

BUS TURNAROUND

BUS TURNAROUND

BUS TURNAROUND

CMD3 0 0 CMD2 0 CMD1 CMD0

B7 B6 B5 B4 B3 B2 B1 B0

TXE#

TXE# ACK

RXF#

SS\_n

米西奥[0]

米奥西奥[7:1]

味噌

##### 图 4.10 FT1248 1 位模式协议（WRITE）

时钟时钟



TXE#

PU

LLED HI

GH

RXF#

COMMAND PHASE

READ DATA

BUS TURNAROUND

BUS TURNAROUND

CMD3 0 0 CMD2 0 CMD1 CMD0

B7 B6 B5 B4 B3 B2 B1 B0

TXE#

RXF# ACK

RXF#

SS\_n

米西奥[0]

米奥西奥[7:1]

味噌

##### 图 4.11 FT1248 1 位模式协议（READ）

当 SS\_n 无效时，写缓冲区和读缓冲区状态分别反映在 MIOSIO[0] 和 MISO 信号上。当主设备希望发起数据传输时，SS\_n 变为活动状态。一旦 SS\_n 变为活动状态，SPI 从机立即停止驱动 MIOSIO[0] 信号，并且 SPI 主设备在第一个时钟沿之前不允许开始驱动 MIOSIO[0] 信号，这确保了总线争用 避免了。

在第一个时钟沿，命令被移出 7 个时钟，在第8个时钟周期需要总线周转。需要总线周转，因为从设备可能需要通过读取数据来驱动 MIOSIO[0] 总线。只要 SS\_n 保持活动状态，数据阶段就会响应命令而发生。 1 位模式下的数据阶段需要 8 个时钟周期，其中 MIOSIO[0] 信号传输请求的写入或读取数据。 MISO 信号通过 ACK 或 NAK 向主机指示传输成功。

该状态反映在整个数据阶段，并且从第一个时钟沿开始有效。如果主机正在向从机写入数据，则在取消断言 SS\_n 之前的最后一个时钟沿，必须将 MIOSIO[0] 信号置于三态，以使总线能够“转向”，因为当 SS\_n 变为非活动状态时，FT1248 从机应开始将写缓冲区状态驱动到 MIOSIO[0] 信号上。当 SPI 从机驱动 MIOSIO[0]（主机正在读取数据）时，不需要总线周转，因为当SS\_n变为非活动状态时，需要将写入缓冲区状态驱动到 FT1248 掌握。

## 同步和异步 Bit-Bang 接口 模式

FT232H 可配置为 bit-bang 接口。有两种类型的 bit-bang 模式：同步和异步。

有关使用同步和异步 bit-bang 模式的更多详细信息和示例，请参阅应用笔记[AN2232-02 FT232 的位模式功能。](http://www.ftdichip.com/Documents/AppNotes/AN2232C-02_FT2232CBitMode.pdf)

### 异步比特爆炸 模式

异步 Bit-Bang 模式与 BM 式 Bit-Bang 模式相同，不同之处在于内部 RD# 和 WR# 选通脉冲（RDSTB# 和 WRSTB#）现在从器件中取出，以允许通过访问对外部逻辑进行计时到 bit-bang IO 总线。

以正常方式写入器件的任何数据都将自同步到数据引脚（已配置为输出的引脚）。每个引脚都可以独立设置为输入或输出。数据输出的速率由波特率发生器控制。

必须写入新数据，并且波特率时钟应滴答以更改数据。如果没有新数据写入芯片，配置为输出的引脚将保留最后写入的值。

使用十六进制值为 0x01 的 FT\_SetBitMode D2xx 驱动程序命令启用异步 Bit-Bang 模式。

### 同步比特爆炸 模式

每当数据从 USB 接口发送到并行接口时，同步 Bit-Bang 模式只会更新输出并行端口引脚。完成此操作后，WRSTB# 将激活以指示数据已从 USB Rx FIFO 缓冲区读取并在引脚上写出。仅在写入并行接口后，才能从并行引脚接收数据（至 USB Tx FIFO 接口）。

在同步 Bit-Bang 模式下，只有当 FT232H USB TXFIFO 中有空间可从并行接口引脚读取数据时，FT232H 才会发送数据。此同步 Bit-Bang 模式将首先读取数据总线并行 I/O 引脚，然后再从 USB RxFIFO 传输数据。因此，它在输出后面 1 个字节，因此要读取刚刚发送的字节的输入，必须有另一个字节 发送。

例如：

数字 1. 引脚开始 在 0xFF 发送 0x55, 0xAA

引脚转到 0x55，然后转到 0xAA 数据读取 = 0xFF,0x55

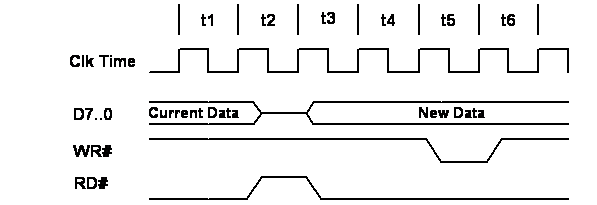
(2) 引脚从 0xFF 开始 发送 0x55、0xAA、0xAA（重复最后一个字节 发送）

引脚转到 0x55，然后转到 0xAA 数据读取 = 0xFF、0x55、0xAA

同步 Bit-Bang 模式与异步 Bit-Bang 模式的不同之处在于，仅当 USB 接口写入并行输出时才读取设备并行输出。这使得控制程序更容易测量对 USB 输出激励的响应，因为返回到 USB 接口的数据与输出同步 数据。

使用十六进制值为 0x04 的 Set Bit Bang Mode 驱动程序命令启用同步 Bit-Bang 模式。

同步 bit-bang 模式时序的示例[如图 4.12 所示](#_bookmark65)



**WRSTB#**

**RDSTB#**

##### 图 4.12 同步 Bit-Bang 模式时序接口示例

WRSTB# = 该输出指示新数据何时从主机 PC（通过 USB 接口）写入 I/O 引脚。

|  |  |
| --- | --- |
| **姓名** | **描述** |
| t1 | 读取当前引脚状态 |
| t2 | RDSTB# 设置为无效，读取并行 I/O 引脚上的数据并将其发送到 USB 主机。 |
| T3 | RDSTB# 再次设置为有效，任何输出的引脚都将更改为其新数据 |
| t4 | 1 个时钟周期用于数据设置 |
| t5 | WRSTB# 变为活动状态。这表明主机已将新数据写入 I/O 并行数据引脚 |
| t6 | WRSTB# 变为非活动状态 |

##### 表 4.3 同步 Bit-Bang 模式时序接口示例时序

RDSTB# = 该输出上升沿指示何时从 I/O 引脚读取数据并将其发送到主机 PC（通过 USB 接口）。

WRSTB# 在 t5 中激活。当从 USB RXFIFO 读取数据（即从 PC 发送）时，WRSTB# 变为活动状态。当数据从引脚采样并写入 USB TXFIFO（即发送到 PC）时，RDSTB# 变为非活动状态。 FT232H 的 SETUP 命令用于设置位模式。该命令还包含一个字节宽的数据掩码来设置每个位的方向。每个引脚上的方向不会改变，除非使用新的 SETUP 命令来修改方向。

WRSTB# 和 RDSTB# 选通脉冲只是根据总线方向可能发生的情况的指导。例如，如果所有引脚都配置为输入，则仍然需要写入这些引脚以使 FT232H 读取这些引脚，即使写入的数据永远不会出现在引脚上。

信号和数据流[如图 4.13所示](#_bookmark67)

USB Rx FIFO/

Buffer

USB Tx FIFO/

Buffer

WRSTB#

Parallel

USB

Parallel I/O data

I/O pins

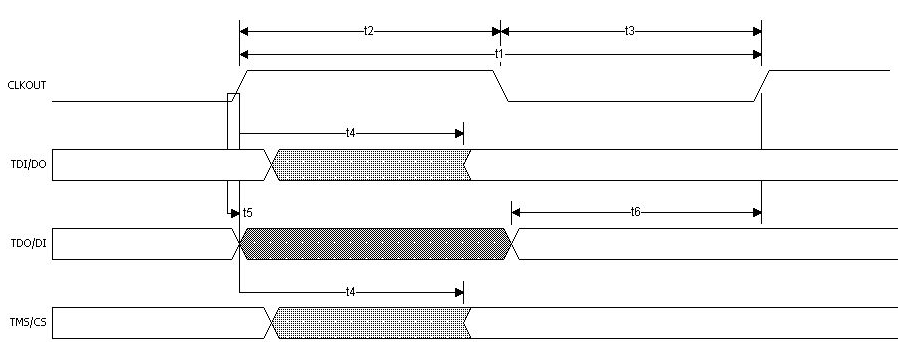
RDSTB#

##### 图 4.13-Bit-bang 模式数据流示意图

## 4.8 MPSSE 接口模式说明

MPSSE 模式旨在允许 FT232H 与 JTAG、I 2 C 和 SPI (MASTER) 总线等同步串行协议高效连接。它还可用于通过 USB 对基于 SRAM 的 FPGA 进行编程。 MPSSE 接口设计灵活，因此可以配置为允许使用任何同步串行协议（行业标准或专有）来实现 FT232H。

MPSSE 是完全可配置的，并通过沿着数据流发送命令来编程。这些可以单独发送，也可以更有效地以数据包形式发送。 MPSSE 的最大持续数据速率为 30 Mbits/s。

当 FT232H 配置为 MPSSE 模式时，所使用的 IO 时序和信号[如图 4.14](#_bookmark69)和[表 4.4所示](#_bookmark70)。这些显示了 CLKOUT=30MHz 的时序。 CLKOUT 可在内部进行分频以提供较慢的时钟。

##### 图 4.14 MPSSE 信号波形

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **姓名** | **最小** | **典型值** | **最大限度** | **单位** | **评论** |
| t1 | 32.66 | 33.33 | 33.99 | 纳秒 | CLKOUT 周期 |
| t2 | 15 | 16.67 | 18.33 | 纳秒 | CLKOUT高电平周期 |
| t3 | 15 | 16.67 | 18.33 | 纳秒 | CLKOUT低电平周期 |
| t4 | 0 |  | 7.50 | 纳秒 | CLKOUT 到 TDI/DO 延迟 |
| t5 | 0 |  |  | 纳秒 | TDI/DO 保持时间 |
| t6 | 11 |  |  | 纳秒 | TDI/DO建立时间 |

**表 4.4 MPSSE 信号时序**

使用十六进制值为 0x02 的 FT\_SetBitMode D2xx 驱动程序命令启用 MPSSE 模式。十六进制值 0x00 将重置设备。有关更多详细信息和示例，请参阅应用笔记[AN135 – MPSSE](http://www.ftdichip.com/Support/Documents/AppNotes/AN_135_MPSSE_Basics.pdf) Basic 。

AN108 – MPSSE[命令处理器](http://www.ftdichip.com/Support/Documents/AppNotes/AN_108_Command_Processor_for_MPSSE_and_MCU_Host_Bus_Emulation_Modes.pdf)中完整描述了 MPSSE 命令集 [和 MCU 主机总线仿真模式](http://www.ftdichip.com/Support/Documents/AppNotes/AN_108_Command_Processor_for_MPSSE_and_MCU_Host_Bus_Emulation_Modes.pdf)。

### 4.8.1 MPSSE 自适应 计时

自适应时钟模式将 CLK 信号与返回时钟 RTCK 相关联。这是ARM ®处理器使用的技术。

FT232H 将置位 TCK 线并等待 RTCK 从目标设备返回到 GPIOL3 线，然后再更改 TDO（数据输出线）。

|  |  |
| --- | --- |
| **TDO TCK**  **GPIOL3** |  |
|  |
| **实时时钟** |

FT2232H ARM 中央处理器

**K**

##### 图 4.15 自适应时钟互连

TDO 在 TCK 下降沿发生变化

**时差**

**TCK**



**实时时钟**

##### 图 4.16 自适应时钟波形

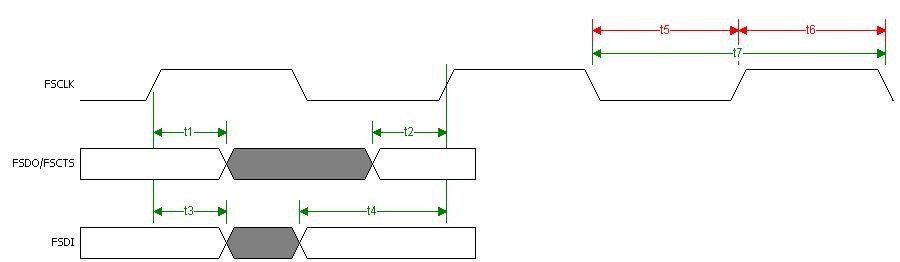
默认情况下不启用自适应时钟。

有关 MPSSE 自适应时钟的更多详细信息，请参阅[MPSSE 的 AN\_108 命令处理器](http://www.ftdichip.com/Support/Documents/AppNotes/AN_108_Command_Processor_for_MPSSE_and_MCU_Host_Bus_Emulation_Modes.pdf) [和 MCU 主机总线仿真模式](http://www.ftdichip.com/Support/Documents/AppNotes/AN_108_Command_Processor_for_MPSSE_and_MCU_Host_Bus_Emulation_Modes.pdf)。

## 快速串行接口模式 描述

快速串行接口模式提供了一种使用 4 条电线通过 USB 与外部设备进行通信的方法，这些电线的路径中可以有光隔离器，从而在系统之间提供电流隔离。通过设置外部 EEPROM 中的相应位来启用快速串行模式。通过使用 FT\_SetBitMode D2XX 驱动程序命令设置位值 0x10，可以将快速串行模式保持在复位状态。当该位被设置时，设备保持复位状态——数据可以发送到设备，但在设备再次启用之前，设备不会将数据发送出去。这是通过使用设置位模式命令发送位值 0x00 来完成的。

当 FT232H 配置为快速串行接口模式时，所用信号的 IO 时序如图[4.17所示](#_bookmark76)，时序如[表 4.5 快速串行接口信号时序所示](#_bookmark77)。



##### 图 4.17 快速串行接口信号波形

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **姓名** | **最低限度** | **典型的** | **马克西姆** | **单位** | **描述** |
| t1 | 5 |  |  | 纳秒 | FSDO/FSC TS 保持时间 |
| t2 | 5 |  |  | 纳秒 | FSDO/FSC TS 建立时间 |
| t3 | 5 |  |  | 纳秒 | FSDI 保持时间 |
| t4 | 10 |  |  | 纳秒 | FSDI设置 时间 |
| t5 | 10 |  |  | 纳秒 | FSCLK 低电平 |
| t6 | 10 |  |  | 纳秒 | FSCLK 高 |
| t7 | 20 |  |  | 纳秒 | FSCLK周期 |

**表 4.5 快速串行接口信号时序**

### 传出快速串行 数据

要从 FT232H 发送快速串行数据，外部设备必须驱动 FSCLK 时钟。如果 FT232H 有数据准备发送，它将驱动 FSDO 输出为低电平以指示起始位。如果当前正在从外部设备接收数据，则不会执行此操作。[如图 4.18](#_bookmark79)所示。

##### 时钟频率

**FSDO 0 D0 D1 D2 D3 D4 D5 D6 D7 SRCE**

**开始**

**位 数据 位 - 最低有效位 第一的**

**源位**

##### 图 4.18 快速串行接口输出数据

**注意事项**：

* + - 1. 第一位输出（起始位）始终是 0。
      2. FSDO 始终发送 LSB 第一的。
      3. 最后一个串行位输出是源位（SRCE）始终 0。
      4. 如果目标设备在检测到 START 位时无法接受数据，则应停止 FSCLK，直到可以接受 数据。

### 传入快速串行 数据

如果 FSCTS 为高电平，则允许外部设备将数据发送到 FT232H。在 FSDI 上收到零起始位后，FT232H 将在下一个时钟正沿丢弃 FSCTS。然后从位 0 到位 7 的数据被记录（LSB 在前）。最后一位 (DEST) 确定数据将写入的位置。对于 FT232H，该位始终为 0。[如图](#_bookmark81)所示 [4.19](#_bookmark81) .

**FSCTS FSCLK**

**FSDI 0 D0 D1 D2 D3 D4 D5 D6 D7 德斯特**

**开始**

**位 数据位- LSB 第一的**

**目的位**

##### 图 4.19 快速串行接口输入数据

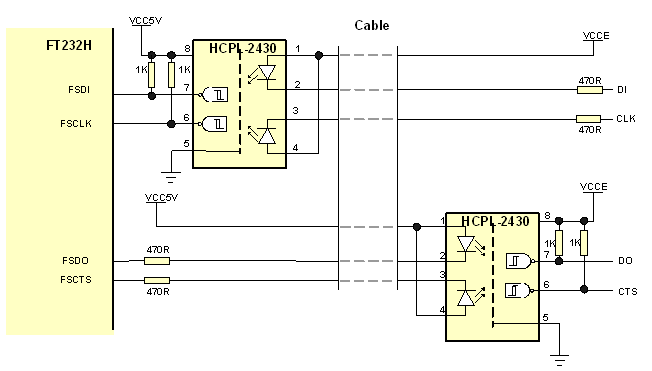
**笔记：**

* + - 1. 第一个输入位（起始位）始终是 0。
      2. FSDI 始终接收 LSB 第一的。
      3. 最后接收到的串行位是目标位 (DEST) 始终 0。
      4. 目标设备在发送数据之前应确保 FSCTS 为高电平。 FSCTS 在数据位 0 (D0) 之后变低，并保持低电平，直到芯片可以接受更多数据 数据。

### 快速串行数据接口 例子

[图 4.20显示了两个 Agilent HCPL-2430（请参阅](#_bookmark83)[www.avagotech.com](http://www.avagotech.com/)上的半导体部分）高速光电耦合器的示例，用于光学隔离使用 FT232H 连接到 USB 的外部设备。在此示例中，VCC5V 是 USB VBUS 电源，VCCE 是外部设备的电源。

必须注意用于为光电 LED 供电的电压。它必须与 FT232H I/O 驱动的电压相同，否则 LED 可能会永久亮起。应在驱动二极管的线路中安装限流电阻。光耦合器的输出是集电极开路的，需要一个上拉电阻。



##### 图 4.20 快速串行接口示例

## CPU 式 FIFO 接口模式 描述

CPU 式 FIFO 接口模式旨在允许 CPU 通过 FT232H 连接到 USB。该模式在外部 EEPROM 中启用。该接口是使用片选位（CS#）和地址位（A0）来实现的。当 FT232H 处于 CPU 型接口模式时，IO 信号线的配置如[表 4.6所示](#_bookmark85)。该模式使用 CS# 和 A0 的组合来确定要执行的操作。下面的真值表[4.7](#_bookmark86)给出了特定的解码值 运营。

|  |  |  |  |
| --- | --- | --- | --- |
| **CS＃** | **A0** | **RD#** | **写入#** |
| 1 | X | X | X |
| 0 | 0 | 读取数据管道 | 写数据管道 |
| 0 | 1 | 读取状态 | 立即发送 |

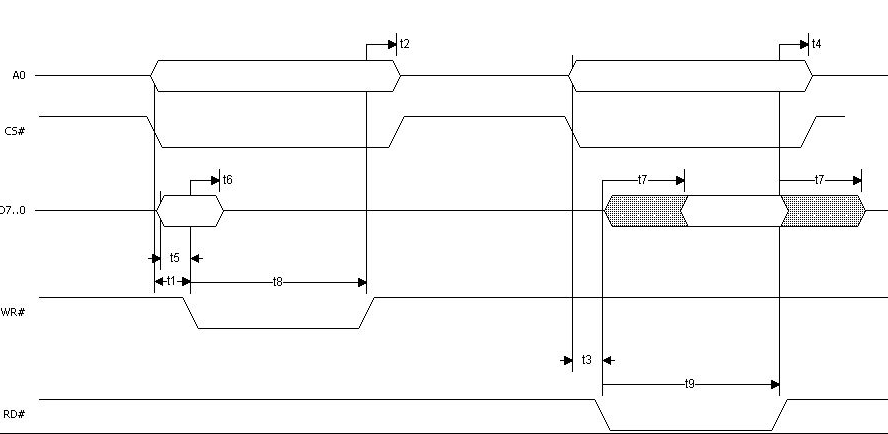
##### 表 4.6 CPU 型 FIFO 接口操作选择

状态读取如[表 4.7所示](#_bookmark86)–

|  |  |  |
| --- | --- | --- |
| **数据位** | **数据** | **地位** |
| 位 0 | 1 | 可用数据 (=RXF) |
| 位 1 | 1 | 可用空间 (=TXE) |
| 位 2 | 1 | 暂停 |
| 位 3 | 1 | 已配置 |
| 位 4 | X | X |
| 位 5 | X | X |
| 位 6 | X | X |
| 位 7 | X | X |

##### 表 4.7 CPU 型 FIFO 接口操作读取状态说明

请注意，位 7 至 4 可以是任意值，并且 X= 未使用。

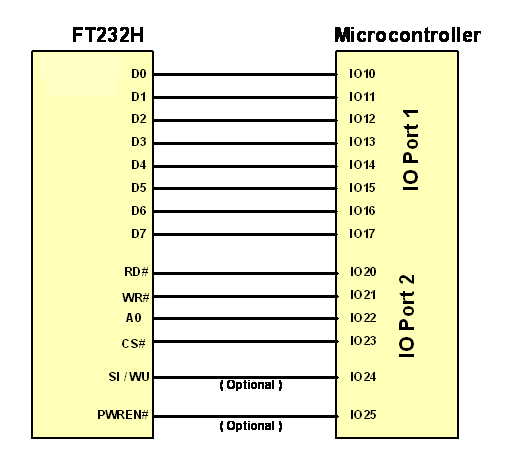
该模式下读写时序[如图4.21](#_bookmark87)和[表4.8所示](#_bookmark88)。

##### 图 4.21 CPU 型 FIFO 接口操作信号波形

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **数据位** | **名义** | **最大限度** | **单位** | **评论** |
| t1 | 5 |  | 纳秒 | A0/CS# 到 WR# 的建立时间 |
| t2 | 5 |  | 纳秒 | WR# 无效后 A0/CS# 保持时间 |
| t3 | 5 |  | 纳秒 | A0/CS# 到 RD# 的建立时间 |
| t4 | 5 |  | 纳秒 | RD# 无效后 A0/CS# 保持时间 |
| t5 | 5 |  | 纳秒 | D 至 WR# 36 活动建立时间 |
| t6 | 5 |  | 纳秒 | D WR# 无效后的保持时间 |
| t7 | 1 | 14 | 纳秒 | RD# 至 D |
| t8 | 30 |  | 纳秒 | WR# 有效脉冲宽度 |
| t9 | 30 |  | 纳秒 | RD# 有效脉冲宽度 |

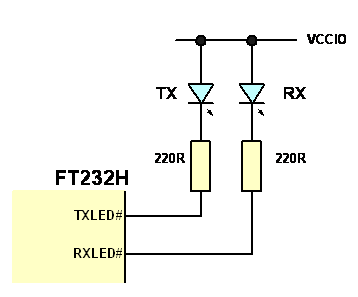
**表 4.8 CPU 型 FIFO 接口操作信号时序**

CPU 型 FIFO 接口连接示例如图[4.22所示](#_bookmark89)



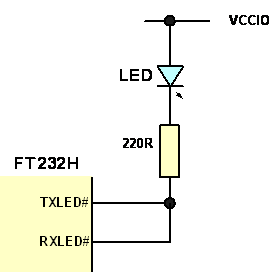
##### 图 4.22 CPU 型 FIFO 接口示例

## RS232 UART 模式 LDE 接口 描述

当配置为 UART 模式时，FT232H 有两个 IO 引脚专用于控制 LED 状态指示灯，一个用于发送数据，另一个用于接收数据。当数据传输或接收时，相应的引脚从三态驱动至低电平，以便在 LED 上提供数据传输指示。使用数字一次性定时器，因此即使一小部分数据传输最终也是可见的 用户。

##### 图 4.23 双 LED UART 配置

[图 4.23](#_bookmark91)显示了使用两个单独 LED 的配置 - 一个用于传输数据，另一个用于接收数据。



##### 图 4.24 单 LED UART 配置

在[图 4.24中](#_bookmark92)，发送和接收 LED 指示灯通过线或连接在一起，形成单个 LED 指示灯，指示任何发送或接收数据活动。

请注意，LED 连接到与 VCCIO 相同的电源。

## 立即发送/唤醒 (四物#)

SIWU# 引脚在 FIFO 模式和位 bang 模式下可用。

立即发送部分用于将数据从芯片刷新回 PC。这可用于强制将短数据包返回到 PC，而无需等待延迟计时器到期。

向芯片发送数据的过程已经结束时才应使用该机制。 停了下来。

通过 SIWU# 信号的下降沿向 USB 主机标记数据传输。 USB 主机将安排在下一个 USB 数据包上传输数据。

**时钟输出**

**写入#**

**D7-D0**

**四物#**

##### 图 4.25 使用 SIWU#

当该引脚用于唤醒功能以唤醒休眠的 PC 时，该引脚上需要 20ms 的负脉冲。当该引脚用于立即刷新缓冲区（立即发送）时，该引脚上需要一个 250ns 的负脉冲。

##### 笔记：

1. 使用远程唤醒时，请确保电阻在暂停状态下被上拉。还要确保外围设计不允许任何电流吸收路径可能部分供电 外围。
2. 如果启用远程唤醒，则允许外设在挂起状态下消耗高达 2.5mA 的电流。如果禁用远程唤醒，外设的电流消耗不得超过 500uA 暂停。
3. 如果启用了下拉功能，则在使用时 FT232H 将不会从挂起状态唤醒 四物#
4. 在 UART 模式下，RI# 引脚用作唤醒 别针。

## FT232H模式 选择

FT232H 默认采用异步串行接口 (UART) 操作模式。

复位后，所需的模式由外部 EEPROM 的内容决定，可以使用[FT\_Prog对其进行编程](http://www.ftdichip.com/Resources/Utilities/FT_Prog_v1.4.zip)。

EEPROM 内容决定 FT232H 设备是否配置为 FT232 异步串行接口、FT245 FIFO 接口、CPU 型 FIFO 接口、FT1248 或快速串行接口。

复位后，读取 EEPROM，并将 FT232H 配置为所选模式。设备枚举后，可以将***FT\_SetBitMode***命令（请参阅[D2XX\_Programmers\_Guide](http://www.ftdichip.com/Documents/ProgramGuides/D2XX_Programmer%C3%A2%C2%80%C2%99s_Guide(FT_000071).pdf) ）发送到 USB 驱动程序，以将所选接口切换到其他模式 – 异步 bit-bang、同步 bit-bang 或 MPSSE – 如果 必需的。

当处于 FT245 FIFO 模式时， ***FT\_SetBitMode***命令可用于选择同步 FIFO ( ***FT\_SetBitMode*** = 0x40)。请注意，在选择同步 FIFO 模式之前，必须在 EEPROM 中配置 FT245 FIFO 模式。

驱动强度选择、转换速率和施密特输入功能也可以在 EEPROM 中配置。

MPSSE 可以直接使用 D2XX 命令进行配置。 [D2XX\_程序员\_](http://www.ftdichip.com/Documents/ProgramGuides/D2XX_Programmer%C3%A2%C2%80%C2%99s_Guide(FT_000071).pdf)指南 可从[FTDI 网站获取](http://www.ftdichip.com/)。应用笔记[AN\_108 – MPSSE 和 MCU 的命令处理器](http://www.ftdichip.com/Documents/AppNotes/AN_108_Command_Processor_for_MPSSE_and_MCU_Host_Bus_Emulation_Modes.pdf) [主机总线仿真模式](http://www.ftdichip.com/Documents/AppNotes/AN_108_Command_Processor_for_MPSSE_and_MCU_Host_Bus_Emulation_Modes.pdf)为 MPSSE 提供了进一步的解释和示例。

## 模式 配置

本节总结了可使用外部 EEPROM 或应用软件配置哪些模式。

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **异步**  **串行串口** | **风格异步 245 FIFO** | **同步245**  **并行先进先出** | **FT1248** | **异步**  **比特爆炸** | **同步**  **比特爆炸** | **MPSSSE** | **快速串行接口** | **中央处理器-**  **风格先进先出** |
| **EEPROM**  **配置好的** | 是的 | 是的 | 是的 | 是的 | 不 | 不 | 不 | 是的 | 是的 |
| **应用软件配置** | 不 | 不 | 是的 | 不 | 是的 | 是的 | 是的 | 重置 | 不 |

##### 表 4.9 使用 EEPROM 和应用软件进行配置

**笔记：**

* + 1. 同步 245 FIFO 模式需要 EEPROM 和应用软件模式设置
    2. 应用软件可用于重置快速串行接口 控制器

# 设备特点和 评级

## 绝对最大值 评级

FT232H 器件的绝对最大额定值如下。这些符合绝对最大额定值系统 (IEC 60134)。超过这些值可能会对设备造成永久性损坏。

|  |  |  |  |
| --- | --- | --- | --- |
| **范围** | **价值** | **单元** | **状况** |
| 储存温度 | -65°C 至 150°C | 摄氏度 |  |
| 工厂环境下的车间寿命（袋外）  （30°C / 60% 相对湿度） | 168小时  （IPC/JEDEC J-STD-033A MSL 级别  3 符合）\* | 小时 |  |
| 环境工作温度（通电） | -40°C 至 85°C | 摄氏度 |  |
| MTTF FT232HL | 待定 | 小时 |  |
| MTTF FT232HL | 待定 | 小时 |  |
| VCORE 电源电压 | -0.3 至 +2.0 | V |  |
| VCCIO IO电压 | -0.3 至 +4.0 | V |  |
| 直流输入电压 – USBDP 和 USBDM | -0.5 至 +3.63 | V |  |
| 直流输入电压 – 高阻抗双向（ACBUS 和 ADBUS 由 VCCIO 供电） | -0.3 至 +5.8 | V |  |
| 直流输出电流 – 输出 | 16 | 嘛 |  |

##### 表 5.1 绝对最大额定值

\* 如果设备脱离包装存放的时间超过此期限，则应在使用前烘烤设备。器件应升温至 +125°C 并烘烤长达 17 小时。

## 直流 特征

I/O 引脚为 +3.3v 单元，可耐受 +5V（USB PHY 引脚除外）。直流特性（环境温度 = -40°C 至 +85°C）

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **范围** | **描述** | **最低限度** | **典型的** | **最大限度** | **单位** | **状况** |
| 电压核心 | VCC 内核工作电源电压 | 1.62 | 1.8 | 1.98 | V |  |
| VCCIO\* | VCCIO 工作电源电压 | 2.97 |  | 3.63 | V | 电池可承受 5V 电压 |
| 虚拟现实  5伏 | VREGIN 稳压器输入 | 3.6 | 5 | 5.5 | V | VREGIN 的 5 伏输入 |
| 虚拟现实  3.3伏 | VREGIN 稳压器输入 | 3.3 | 3.3 | 3.6 | V | VREGIN 的 3.3 伏输入 |
| 伊雷格 | 调节器电流 |  | 54 |  | 嘛 | VREGIN+5V |
| 伊雷格 | 调节器电流 |  | 52 |  | 嘛 | VREGIN +3.3V |
| ICC1 | 核心工作电源电流 |  | 24 |  | 嘛 | 电压核心 = +1.8V  普通手术 |
| ICC1r | 内核复位电源电流 |  | 4.3 |  | 嘛 | 电压核心 = +1.8V  设备处于复位状态 |
| ICC1s | 内核暂停电源电流 |  | 330 |  | 微安 | 电压核心 = +1.8V  USB 暂停 |

**表 5.2 工作电压和电流（PHY 除外）注：**未能连接器件的所有 VCCIO 引脚将出现不可预测的行为。

I/O 引脚为 +3.3v 单元，可耐受 +5V（USB PHY 引脚除外）。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **范围** | **描述** | **最低限度** | **典型的** | **最大限度** | **单位** | **状况** |
| 沃赫 | 输出电压高 | 2.4 | 电压控制电路 | 电压控制电路 | V | Ioh = +/-2mA I/O 驱动强度\* = 4mA |
| 2.4 | 电压控制电路 | 电压控制电路 | V | I/O 驱动强度\* = 8mA |
| 2.4 | 电压控制电路 | 电压控制电路 | V | I/O 驱动强度\* = 12mA |
| 2.4 | 电压控制电路 | 电压控制电路 | V | I/O 驱动强度\* = 16mA |
| 卷 | 输出电压低 |  | 0 | 0.4 | V | Iol = +/-2mA I/O 驱动强度\* = 4毫安 |
|  | 0 | 0.4 | V | I/O 驱动强度\* = 8mA |
|  | 0 | 0.4 | V | I/O 驱动强度\* = 12mA |
|  | 0 | 0.4 | V | I/O 驱动强度\* = 16mA |
| 维尔 | 输入低开关阈值 |  |  | 0.8 | V | 左心室TTL |
| 维赫 | 输入高开关阈值 | 2.0 |  |  | V | 左心室TTL |
| 电压 | 切换阈值 |  | 1.5 |  | V | 左心室TTL |
| Vt- | 施密特触发器负向阈值电压 | 0.8 | 1.1 |  | V |  |
| 阈值+ | 施密特触发器正向阈值电压 |  | 1.6 | 2.0 | V |  |
| 热泵 | 输入上拉电阻 | 40 | 75 | 190 | 千瓦 | 输入电压 = 0 |
| 反应速度 | 输入下拉电阻 | 40 | 75 | 190 | 千瓦 | 输入电压=VCCIO |
| 因 | 输入漏电流 | -10 | +/-1 | 10 | 微安 | 输入电压 = 0 |
| 碘盎司 | 三态输出漏电流 | -10 | +/-1 | 10 | 微安 | 输入电压 = 5.5V 或 0 |

##### 表 5.3 I/O 引脚特性 VCCIO = +3.3V（USB PHY 引脚除外）

\* I/O 驱动强度和慢转换速率可在 EEPROM 中配置。直流特性（环境温度 = -40°C 至 +85°C）

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **范围** | **描述** | **最低限度** | **典型的** | **最大限度** | **单位** | **状况** |
| VPHY、VPLL | PHY 工作电源电压 | 3.0 | 3.3 | 3.6 | V | 3.3VI/O |
| icphy | PHY 工作电源电流 | --- | 30 | 60 | 嘛 | 480 MHz 高速运行 |
| Iccphy（暂停） | PHY 工作电源电流 | --- | 10 | 50 | 微安 | USB 暂停 |

##### 表 5.4 PHY 工作电压和电流

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **范围** | **描述** | **最低限度** | **典型的** | **最大限度** | **单位** | **状况** |
| 沃赫 | 输出电压高 | VCORE-0.2 |  |  | V |  |
| 卷 | 输出电压低 |  |  | 0.2 | V |  |
| 维尔 | 输入低开关阈值 |  | - | 0.8 | V |  |
| 维赫 | 输入高开关阈值 | 2.0 | - |  | V |  |

**表 5.5 PHY I/O 引脚特性**

## 静电放电 宽容

FT232H IO 的 ESD 保护

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **范围** | **参考** | **最低限度** | **典型的** | **最大限度** | **单位** |
| 人体模型 (HBM) | JEDEC EIA/JESD22-A114-B，  2级 |  | ±2kV |  | 电压 |
| 机器模式（MM） | JEDEC EIA/JESD22-A115-A，  B级 |  | ±200V |  | V |
| 充电设备模型 (CDM) | JEDEC EIA/ JESD22-C101-D，  III级 |  | ±500V |  | V |
| 闩锁 | JESD78，II 类触发器 |  | ±200mA |  | 嘛 |

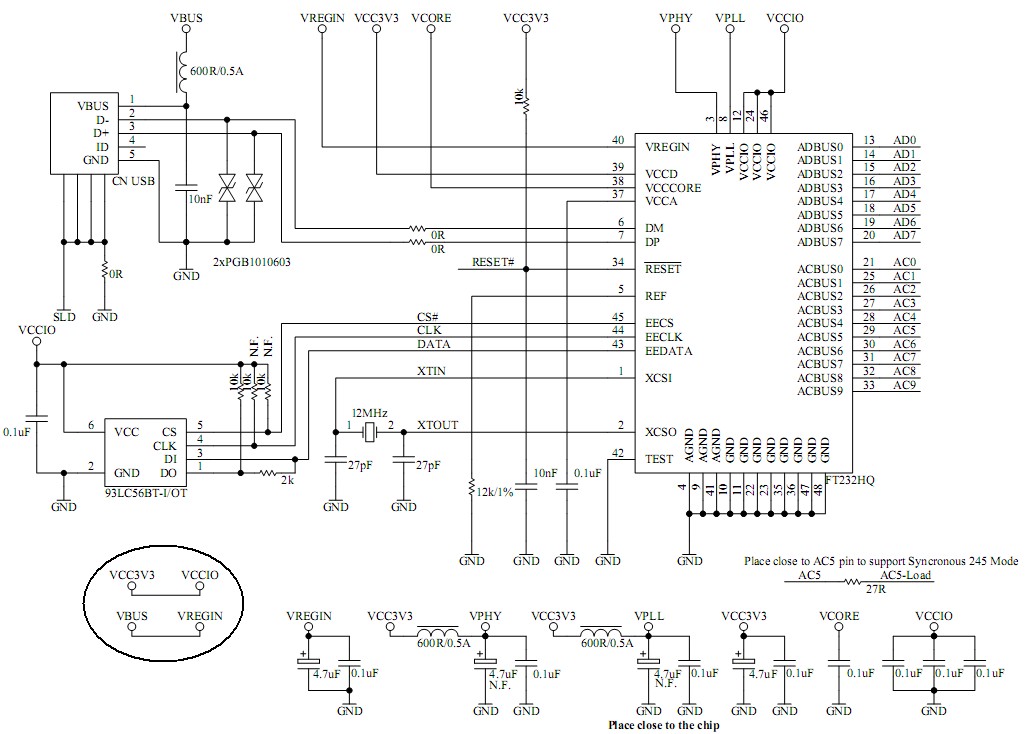
##### 表 5.6 ESD 容限

# FT232H 配置

以下部分说明了 FT232H 可能的 USB 电源配置。

所示的所有 USB 电源配置均适用于 FT232H 器件的两种封装选项。

## USB 总线供电 配置

总线供电应用示例 1：在 +5V 上运行的总线供电配置。

##### 图 6.1 总线供电配置示例 1

[图 6.1](#_bookmark110)显示了典型 USB 总线供电设计配置中的 FT232H。 USB 总线供电的设备从连接到 VREGIN 的 VBUS (+5V) 获取电源。在此应用中，VREGIN 是片上+3.3V/1.8V 稳压器的+5V 输入。片上 LDO 稳压器的输出 (+1.8V) 驱动引脚 38 (VCORE) 和引脚 37， （VCCA）。

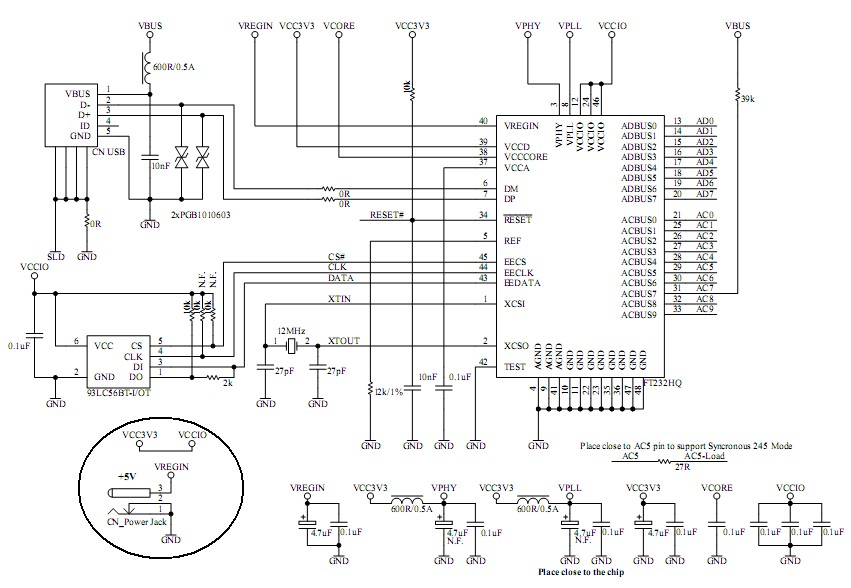
片上 LDO 稳压器的输出 (3.3V) 通过引脚 39、VCCD 向 VCCIO、VPLL 和 VPHY 提供 3.3V 电压。请注意，当 FT232H 在+5V（VREGIN）下运行时，VCCD 变为输出。

##### 笔记：

* + 1. 在此应用中，引脚 40 (VREGIN) 是片上 +3.3V/1.8V 稳压器的 +5V 输入。由于 VREGIN 为 +5.0V，引脚 39 (VCCD) 变为 3V3 输出，并为 VCCIO、VPLL 和 VCCIO 提供 3.3V 电压。 VPHY。
    2. 片上 LDO +3.3V/1.8V 稳压器 (+1.8V) 的输出驱动引脚 38、FT232H 内核电源 (VCORE) 和引脚 37、 VCCA。

## USB自供电 配置

### 6.2.1 自供电应用示例1

自供电配置在 5V 下运行。

##### 图 6.2 自供电配置示例 1

[图 6.2](#_bookmark113)显示了典型 USB 自供电配置中的 FT232H。 USB 自供电设备从连接到 VREGIN 的自身外部电源获取电力。在此应用中，VREGIN 是片上 +3.3V/1.8V 稳压器的 +5V 输入。片上 LDO 稳压器 (+1.8V) 的输出驱动引脚 38（VCORE）和引脚 37（VCCA）。片上 LDO 稳压器的输出 (3.3V) 供电

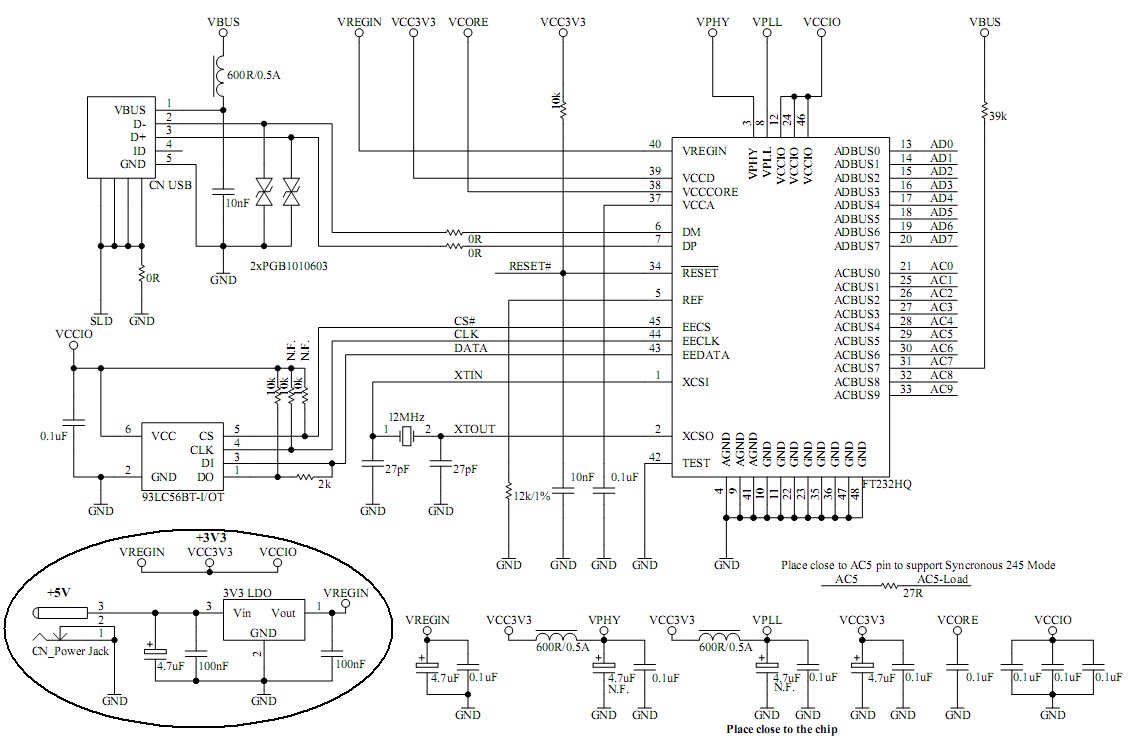
通过 VCCD 为 VCCIO、VPLL 和 VPHY 提供 3.3V。

请注意，当 FT232H 在+5V（VREGIN）下运行时，VCCD 变为输出。

请注意，在此设置中，EEPROM 应配置为自供电操作，并且在[FT\_Prog中启用“ACBUS7 低电平挂起”选项](http://www.ftdichip.com/Support/Utilities.htm)。此配置使用 ACBUS7 引脚，当启用此功能时，ACBUS7 不应在 MPSSE 模式下用作 GPIO。

### 6.2.2 自供电应用示例2

自供电配置在 3.3V 下运行。

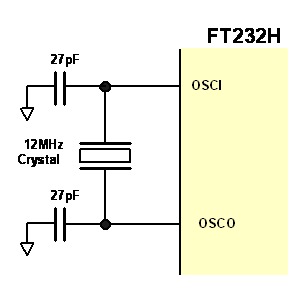


##### 图 6.3 自供电配置示例 2

[图 6.3](#_bookmark115)显示了类似于[图 6.2 的典型 USB 自供电配置中的 FT232H](#_bookmark113) 。此处的区别在于 VREGIN 连接到外部 3V3 LDO 稳压器输出，该输出为 VCCIO、VCCD、VPLL 和 VPHY 提供 3.3V 电压。请注意，当 FT232H 在+3V3（VREGIN）上运行时，VCCD 成为输入。在此应用中，VREGIN 是片上+3.3V/1.8V 稳压器的+3V3 输入。片上 LDO 稳压器 (+1.8V) 的输出驱动引脚 38（VCORE）和引脚 37（VCCA）。

请注意，在此设置中，EEPROM 应配置为自供电操作，并在[FT\_Prog中选择“在 ACBUS7 低电平时挂起”选项](http://www.ftdichip.com/Resources/Utilities/FT_Prog_v1.4.zip)。此配置使用 ACBUS7 引脚，当启用此功能时，ACBUS7 不应在 MPSSE 模式下用作 GPIO。

## 6.3 振荡器配置



##### 图 6.4 推荐的 FT232H 振荡器配置

[图 6.4](#_bookmark117)说明了如何将 FT232H 与 12MHz ± 0.003% 晶振连接。在这种情况下，应在 OSCI、OSCO 和 GND 之间添加负载电容器，如图所示。示例中显示的电容器值为 27pF，这对于许多晶体来说都很好，但建议尽可能根据制造商的建议选择负载电容器值。建议使用基本模式、平行切割型晶体。

FT232H 还可以使用 12 MHz 振荡器。在这种情况下，振荡器的输出将驱动 OSCI，并且 OSCO 应保持未连接状态。振荡器必须具有 CMOS 输出驱动能力。

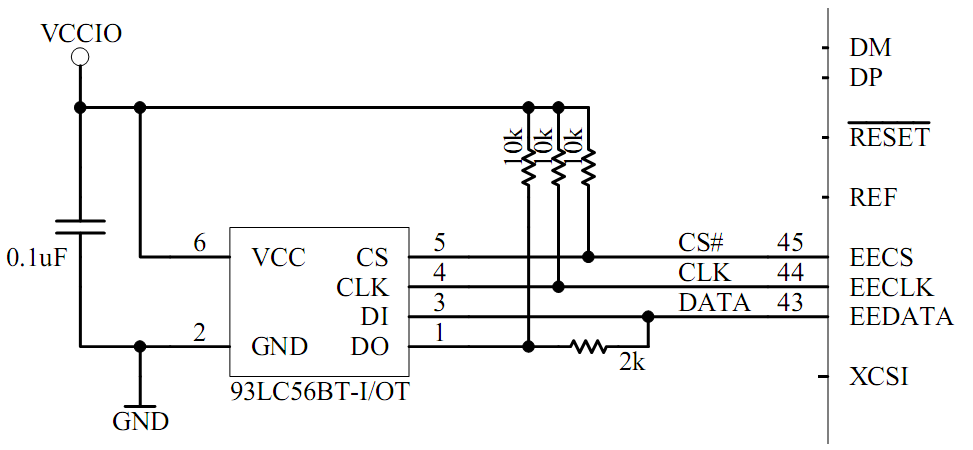
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **范围** | **描述** | **最低限度** | **典型的** | **最大限度** | **单位** | **状况** |
| OSCI 输入电压 | 输入电压 | 2.97 | 3.3V | 3.63 | V |  |
| 鳍 | 输入频率 |  | 12兆赫兹 |  | 兆赫兹 | ±30ppm |
| 吉 | 周期抖动 |  | <150 |  | pS |  |

##### 表 6.1 OSCI 输入特性

# EEPROM 配置

## EEPROM 界面

FT232H 使用来自外部 EEPROM 的配置数据。 EEPROM 必须为 16 位宽 (93LC56B)，并由与 +2.97 至 +3.63 伏核心电源相同的网络供电。添加外部 (93LC56B) EEPROM 允许将芯片配置为串行 UART（RS232 模式）、并行 FIFO (245) 模式、FT1248、快速串行（光隔离）或 CPU 型 FIFO。



##### 图 7.1 EEPROM 接口

外部 EEPROM 还可用于为 OEM 应用定制 FT232H 的 USB VID、PID、序列号、产品描述字符串和电源描述符值。由 EEPROM 控制的其他参数包括远程唤醒、断电软下拉和 I/O 引脚驱动强度。

如果 FT232H 在没有外部 EEPROM 的情况下使用，则芯片默认为 USB 到异步串行 UART（RS232 模式）端口设备。如果未连接 EEPROM（或 EEPROM 为空白），FT232H 将使用其内置默认 VID (0403)、PID (6014) 产品描述和功率描述符值。在这种情况下，设备不会将序列号作为 USB 的一部分 描述符。

## 默认EEPROM 配置

外部 EEPROM（如果已安装）可以使用[FT\_Prog通过 USB 进行编程](http://www.ftdichip.com/Support/Utilities.htm)。这样可以将空白部件焊接到 PCB 上，并作为制造和测试过程的一部分进行编程。没有自己的 USB 供应商 ID 但希望在设计中使用唯一产品 ID 的用户可以向 FTDI 申请免费的唯一 PID 块。

请联系 FTDI 支持以获取此服务。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **范围** | **价值** | **笔记** |  |
| USB 供应商 ID (VID) | 0403h | FTDI 默认 VID（十六进制） |
| USB 产品 UD (PID) | 6014小时 | FTDI 默认 PID（十六进制） |
| bcd 设备 | 009h |  |
| 序列号已启用？ | 是的 |  |
| 序列号 | 看注释 | 没有任何 |
| USB 挂起时下拉 I/O 引脚 | 残疾人 | 启用此选项将使设备在 USB 挂起模式（PWREN# 为高电平）时下拉 UART 接口线路。 |
| 生产商名称 | FTDI |  |
| 产品描述 | 单RS232-HS |  |
| 最大总线电源电流 | 500毫安 |  |
|  | | | | |

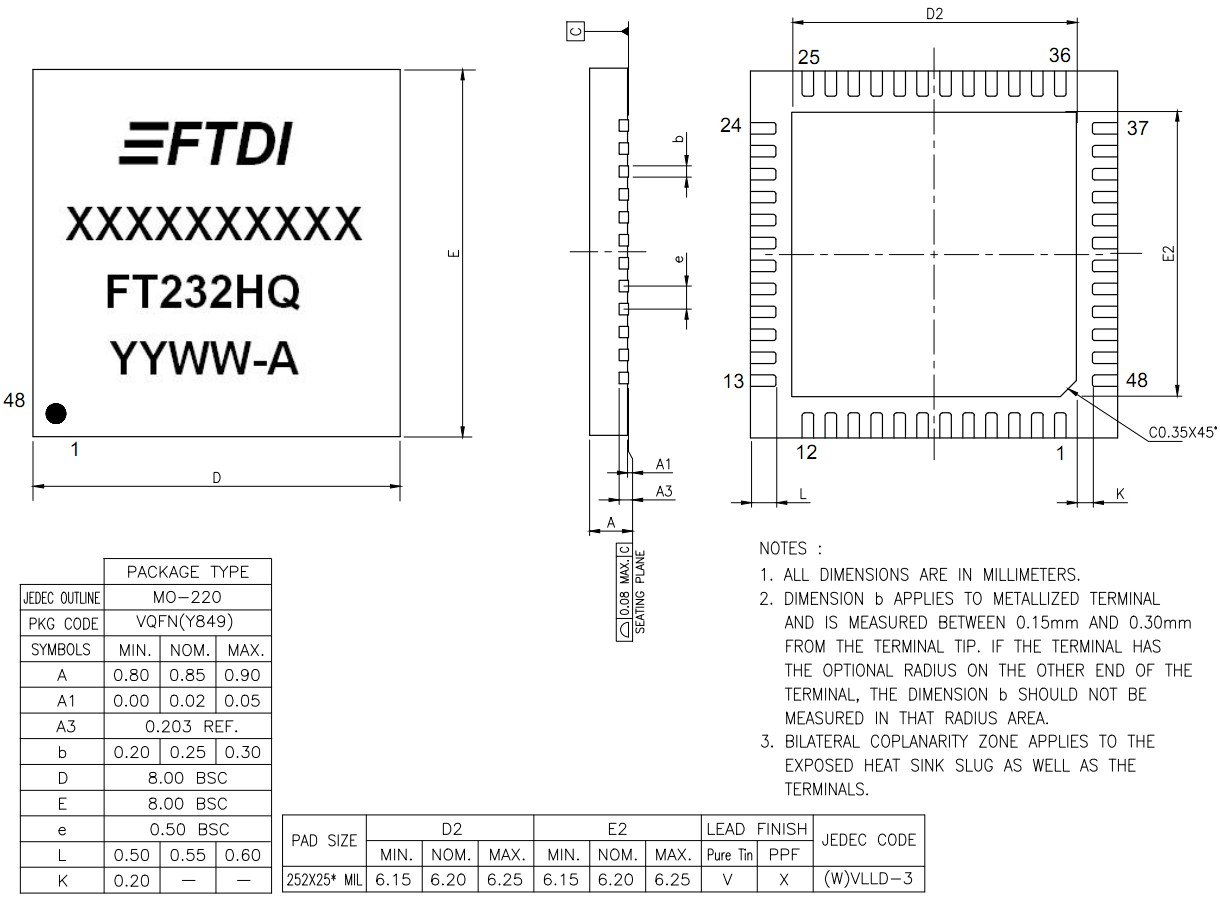
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | | | |
|  | **范围** | **价值** | **笔记** |  |
| 能量源 | 总线供电 |  |
| 设备类型 | FT232H |  |
| USB版本 | 0200 | 将 USB 2.0 设备描述返回给主机。 |
| 远程唤醒 | 残疾人 | 如果启用，将 RI# 拉低将在大约 20 Ms 内将 USB 主控制器从挂起状态唤醒。 |
| 硬件接口 | 串口 | 允许用户选择设备的硬件模式。选项包括：RS232 UART、245 FIFO、CPU 245、OPTO 隔离和 FT1248。 |
| FT1248设置 | 00点 | FT1248 可配置设置： 时钟极性高；未选择位顺序 LSB 和流量控制。 |
| 暂停 ACBus7 低电平 | 残疾人 | 在 ACBus7 上进入低功耗状态。 |
| 高电流 I/O | 残疾人 | 使能 UART 和 ACBUS I/O 引脚上的高驱动电平。 |
| 加载VCP驱动程序 | 启用 | 使设备加载设备的VCP驱动程序接口。 |
| 交流总线0 | TriSt-PU | ACBUS0 的默认配置 – 输入上拉 |
| 交流总线1 | TriSt-PU | ACBUS1 的默认配置 – 输入上拉 |
| 交流总线2 | TriSt-PU | ACBUS2 输入上拉的默认配置 |
| 交流总线3 | TriSt-PU | ACBUS3 的默认配置 – 输入上拉 |
| 交流总线4 | TriSt-PU | ACBUS4 的默认配置 – 输入上拉 |
| 交流总线5 | TriSt-PU | ACBUS5 的默认配置 – 输入上拉 |
| 交流总线6 | TriSt-PU | ACBUS6 的默认配置 – 输入上拉 |
| 交流总线7 | TriSt-PD | ACBUS7 的默认配置 – 输入下拉 |
| 交流总线8 | TriSt-PU | ACBUS8 的默认配置 – 输入上拉 |
| 交流总线9 | TriSt-PU | ACBUS9 的默认配置 – 输入上拉 |

##### 表 7.1 默认外部 EEPROM 配置

# 包裹 参数

FT232H 有两种不同的封装。 FT232HL 是 LQFP-48 封装选项，FT232HQ 是 QFN-48 封装选项。两种封装的回流焊曲线在章节中进行了描述 [8.3](#_bookmark129) .

## FT232HQ，QFN-48 封装 方面

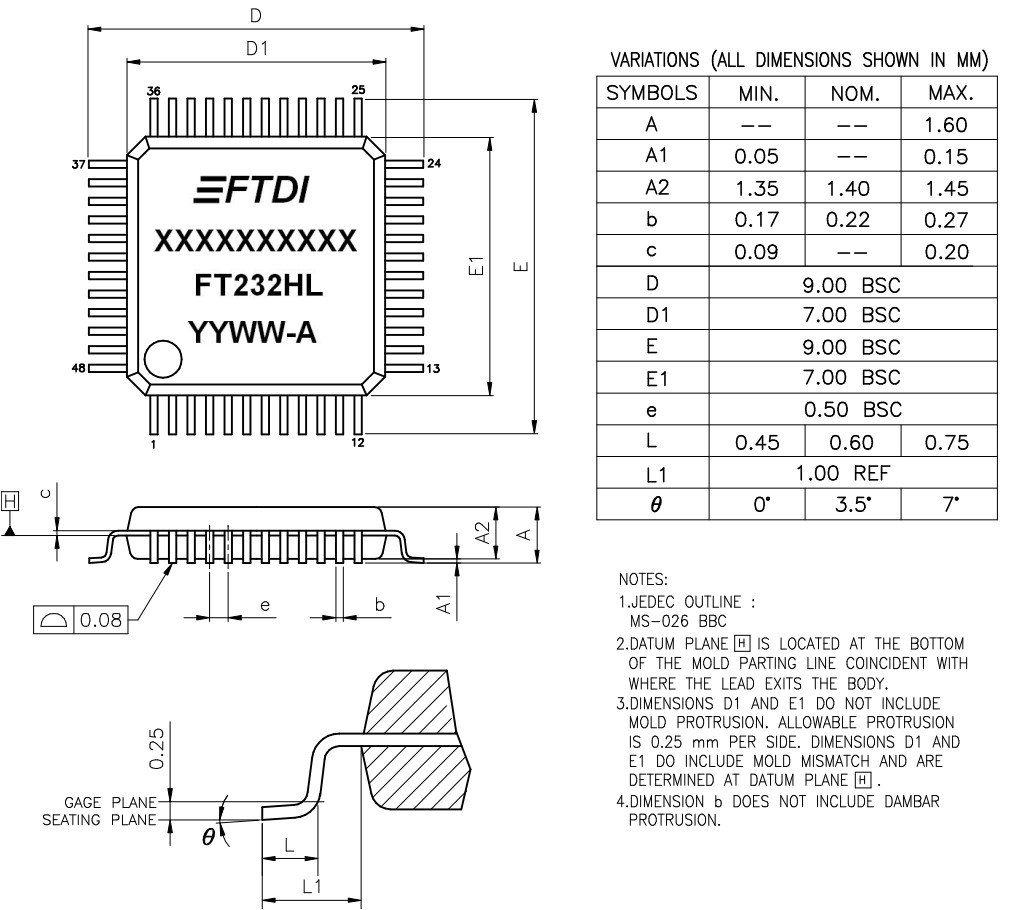


##### 图 8.1 48 引脚 QFN 封装详细信息

**笔记：**

1. 所有尺寸均在 毫米。
2. 日期代码格式为**YYXX** ，其中 XX = 2 位周数，YY = 2 位年份数。接下来是修订 数字。
3. 代码**XXXXXXX**是制造批次 代码。
4. 中央焊盘是浮动的。将其连接到 接地。

## FT232HL，LQFP-48 封装 方面

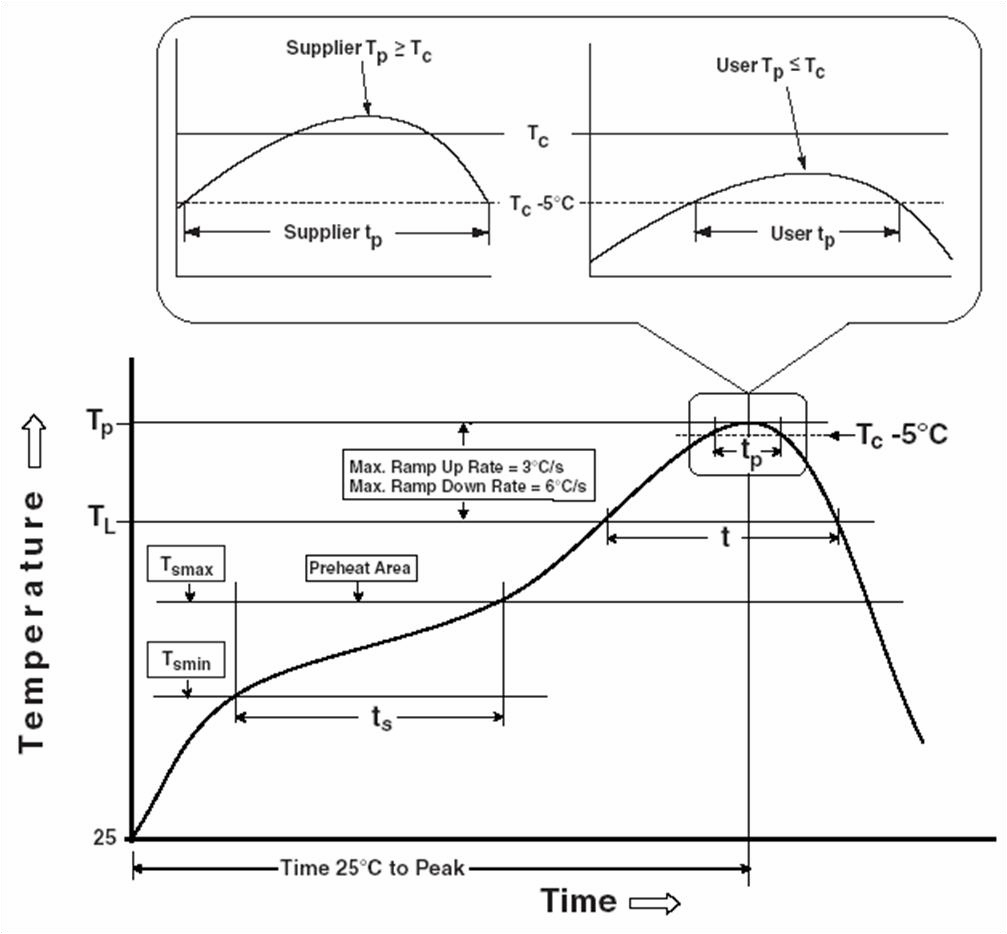


##### 图 8.2 48 引脚 LQFP 封装详细信息

**笔记：**

1. 所有尺寸均在 毫米。
2. 日期代码格式为**YYXX** ，其中 XX = 2 位周数，YY = 2 位年份数。接下来是修订 数字。
3. 代码**XXXXXXX**是制造批次 代码。

## 回流焊 轮廓



##### 图 8.3 48 引脚 LQFP 和 QFN 回流焊接曲线

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **简介特征** | **无铅焊接工艺**  **（绿色材料）** | **SnPb 共晶和无铅（非绿色材料）焊接工艺** |  |
| 平均上升速率（T s至 T p ） | 最大 3°C/秒 | 3°C / 第二个最大值 |
| 预热   * 最低温度 (T s 最小值） * 最高温度 (T s 最大限度。）   - 时间（t s最小值到 t s最大值） | 150℃  200℃  60至120秒 | 100℃  150℃  60至120秒 |
| 维持高于临界温度的时间 T L :  - 温度（ TL ）  - 时间 (t L ) | 217℃  60至150秒 | 183℃ 60  至 150 秒 |
| 峰值温度 (T p ) | 260℃ |  |
|  | | | | |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | | | |
|  | 实际峰值温度 5°C 以内的时间(t p ) | 30至40秒 | 20至40秒 |  |
| 缓降率 | 最大 6°C/秒 | 最大 6°C/秒 |
| T= 25°C 达到峰值温度的时间，T p | 最多 8 分钟 | 最多 6 分钟 |

##### 表 8.1 回流焊曲线参数值

|  |  |  |
| --- | --- | --- |
| **SnPb 共晶且无铅（非绿色材料）** | | |
| 封装厚度 | 体积mm3<350 | 体积mm3≥350 |
| < 2.5 毫米 | 235 +5/-0 摄氏度 | 220 +5/-0 摄氏度 |
| ≥2.5毫米 | 220 +5/-0 摄氏度 | 220 +5/-0 摄氏度 |
|  | | |
| **无铅（绿色材料）= 260 +5/-0 摄氏度** | | |

**表 8.2 封装回流峰值温度**

# 接触 信息

**总部 – 英国格拉斯哥**

未来科技设备国际有限公司 Unit 1, 2 Seaward Place, Centurion Business Park Glasgow G41 1HH

英国

电话：+44 (0) 141 429 2777

传真：+44 (0) 141 429 2758

电子邮件 （销售） [sales1@ftdichip.com](mailto:sales1@ftdichip.com)

电子邮件 （支持） [support1@ftdichip.com](mailto:support1@ftdichip.com)邮箱 （一般的 查询） [admin1@ftdichip.com](mailto:admin1@ftdichip.com)

##### 分支机构 – 美国俄勒冈州泰格德

未来科技设备国际有限公司（美国）

7130 SW Fir Loop 泰格德, OR 97223-8160 美国

电话：+1 (503) 547 0988

传真：+1 (503) 547 0987

电子邮件 （销售） [us.sales@ftdichip.com](mailto:us.sales@ftdichip.com)

电子邮件 （支持） [us.support@ftdichip.com](mailto:us.support@ftdichip.com)电子邮件 （一般的 查询） [us.admin@ftdichip.com](mailto:us.admin@ftdichip.com)

##### 分公司 – 台湾台北

未来科技设备国际有限公司 (中国台湾地区)

二段516号2楼台北市内湖路1号 114

中华民国台湾

电话：+886 (0) 2 8797 1330

传真：+886 (0) 2 8751 9737

电子邮件 (销售) [tw.sales1@ftdichip.com](mailto:tw.sales1@ftdichip.com)

电子邮件 (支持) [tw.support1@ftdichip.com](mailto:tw.support1@ftdichip.com)邮箱 （一般的 查询） [tw.admin1@ftdichip.com](mailto:tw.admin1@ftdichip.com)

##### 分公司 – 中国上海

未来科技设备国际有限公司 (中国)

上海市淮海西路666号1103室 200052

中国

电话：+86 21 62351596

传真：+86 21 62351595

电子邮件 （销售） [cn.sales@ftdichip.com](mailto:cn.sales@ftdichip.com)

电子邮件 （支持） [cn.support@ftdichip.com](mailto:cn.support@ftdichip.com)邮箱 （一般的 查询） [cn.admin@ftdichip.com](mailto:cn.admin@ftdichip.com)

##### 网站

[http://ftdichip.com](http://ftdichip.com/)

##### 经销商和销售代表

FTDI 网站的销售网络页面，了解我们在您所在国家/地区的经销商和销售代表的联系方式。

系统和设备制造商和设计人员有责任确保其系统以及其系统中包含的任何 Future Technology Devices International Ltd (FTDI) 设备满足所有适用的安全、法规和系统级性能要求。本文档中所有与应用相关的信息（包括应用描述、建议的 FTDI 设备和其他材料）仅供参考。虽然 FTDI 已尽力确保其准确性，但该信息仍需客户确认，并且 FTDI 对系统设计和 FTDI 提供的任何应用程序协助不承担任何责任。在生命支持和/或安全应用中使用 FTDI 设备的风险完全由用户自行承担，并且用户同意为 FTDI 辩护、赔偿并使 FTDI 免受因此类使用而造成的任何及所有损害、索赔、诉讼或费用。本文如有更改，恕不另行通知。本文档的发布并不暗示可以自由使用专利或其他知识产权。未经版权所有者事先书面同意，不得以任何材料或电子形式改编或复制本文档中包含的全部或任何信息或描述的产品。未来科技设备国际有限公司，Unit 1, 2 Seaward Place, Centurion Business Park,

格拉斯哥 G41 1HH，英国。苏格兰注册公司 数字： SC136640 。

# 附录 A – 参考文献

## 文档参考

AN\_108 – [MPSSE 和 MCU 主机总线仿真模式的命令处理器](http://www.ftdichip.com/Support/Documents/AppNotes/AN_108_Command_Processor_for_MPSSE_and_MCU_Host_Bus_Emulation_Modes.pdf)AN\_113 –[将 FT2232H 高速设备连接到 I2C 总线](http://www.ftdichip.com/Support/Documents/AppNotes/AN_113_FTDI_Hi_Speed_USB_To_I2C_Example.pdf)

AN\_114 –[将 FT2232H 高速设备连接到 SPI 总线](http://www.ftdichip.com/Support/Documents/AppNotes/AN_114_FTDI_Hi_Speed_USB_To_SPI_Example.pdf) [AN\_129 – 将 FT2232H 高速设备连接到 JTAG TA P](http://www.ftdichip.com/Support/Documents/AppNotes/AN_129_FTDI_Hi_Speed_USB_To_JTAG_Example.pdf) [AN\_135 – MPSSE 基础知识](http://www.ftdichip.com/Support/Documents/AppNotes/AN_135_MPSSE_Basics.pdf)

[AN\_167\_FT1248 并行串行接口基础知识](http://www.google.co.uk/url?sa=t&amp;source=web&amp;cd=1&amp;ved=0CBkQFjAA&amp;url=http%3A%2F%2Fwww.ftdichip.com%2FSupport%2FDocuments%2FAppNotes%2FAN_167_FT1248_Parallel_Serial_Interface_Basics.pdf&amp;ei=9r6iTZP5G8eJhQehqbX1BA&amp;usg=AFQjCNGBy4kMAvyUce0WhCVcd041hlMoUg)

## 缩略语

|  |  |
| --- | --- |
| **条款** | **描述** |
| 中央处理器 | 中央处理器 |
| EEPROM | 电可擦除可编程只读存储器 |
| 静电放电 | 静电放电 |
| 先进先出 | 先进先出 |
| I2C | 内部集成电路 |
| 我愿意 | 低压差 |
| 引领 | 发光二极管 |
| 最低有效位 | 最低有效位优先 |
| LQFP | 薄型四方扁平封装 |
| MPSSSE | 多协议同步串行引擎 |
| QFN | 四方扁平无引线封装 |
| SPI | 串行外设接口 |
| TTL | 晶体管-晶体管逻辑 |
| USB | 通用串行总线 |
| 串口 | 通用异步接收器/发送器 |
| UTMI | 通用收发器宏单元接口 |

# 附录 B – 图和表列表

## 表格列表

[表 3.1 功率 和 地面](#_bookmark11) [10](#_bookmark11)

[表 3.2 常见内容 功能 针脚](#_bookmark12) [10](#_bookmark12)

[表 3.3 EEPROM 界面 第11组](#_bookmark13)

[表 3.4 UART 接口和 ACBUS 组（参见 笔记 1）](#_bookmark14)  [11](#_bookmark14)

[表 3.5 ACBUS 配置 控制](#_bookmark17) [12](#_bookmark17)

[表 3.6 UART 配置 别针 说明](#_bookmark20) [13](#_bookmark20)

[表 3.7 FT245 同步 FIFO 配置 别针 说明](#_bookmark22) [14](#_bookmark22)

[表 3.8 FT245 型异步 FIFO 配置 别针 说明](#_bookmark24) [15](#_bookmark24)

[表 3.9 同步或异步 Bit-Bang 配置 别针 说明](#_bookmark26) [15](#_bookmark26)

[表 3.10 MPSSE 配置 别针 描述](#_bookmark28) [16](#_bookmark28)

[表 3.11 配置的快速串行接口 别针 描述](#_bookmark30) [16](#_bookmark30)

[表 3.12 配置的 CPU 型 FIFO 接口 别针 说明](#_bookmark32) [17](#_bookmark32)

[表 3.13 FT1248 配置 别针 说明](#_bookmark34) [17](#_bookmark34)

[表 4.1 FT245 同步 FIFO 接口 信号 时间](#_bookmark47) [24](#_bookmark47)

[表 4.2 异步 FIFO 时序（基于标准驱动器） 等级 输出）](#_bookmark53)  [25](#_bookmark53)

[表 4.3 同步 Bit-Bang 模式时序接口 例子 时间](#_bookmark66) [30](#_bookmark66)

[表 4.4 MPSSE 信号 时间](#_bookmark70) [31](#_bookmark70)

[表 4.5 快速串行接口 信号 时间](#_bookmark77) [33](#_bookmark77)

[表 4.6 CPU 型 FIFO 接口 手术 选择](#_bookmark85) [35](#_bookmark85)

[表 4.7 CPU 型 FIFO 接口操作读取 地位 描述](#_bookmark86) [36](#_bookmark86)

[表 4.8 CPU 型 FIFO 接口操作 信号 时机](#_bookmark88) [36](#_bookmark88)

[表 4.9 使用 EEPROM 和 应用 软件](#_bookmark97) [39](#_bookmark97)

[表 5.1 绝对值 最大限度 评分](#_bookmark100) [40](#_bookmark100)

[表 5.2 工作电压和电流 （除了 物理层）](#_bookmark102)  [40](#_bookmark102)

[表 5.3 I/O 引脚特性 VCCIO = +3.3V（USB 除外） 物理层 针）](#_bookmark103)  [41](#_bookmark103)

[表 5.4 PHY 工作电压 和 当前](#_bookmark104) [41](#_bookmark104)

[表 5.5 PHY I/O 别针 特点](#_bookmark105) [41](#_bookmark105)

[表 5.6 静电放电 公差](#_bookmark107) [42](#_bookmark107)

[表 6.1 OSCI 输入 特点](#_bookmark118) [46](#_bookmark118)

[表 7.1 默认外部 EEPROM 配置](#_bookmark123) [48](#_bookmark123)

[表 8.1 回流温度曲线 范围 价值观](#_bookmark131) [52](#_bookmark131)

[表 8.2 封装回流焊 顶峰 温度](#_bookmark132) [52](#_bookmark132)

## 图列表

[图 2.1 FT232H 堵塞 图](#_bookmark5) [4](#_bookmark5)

[图 3.1 FT232H 示意图 符号](#_bookmark8) [8](#_bookmark8)

[图4.1 RS232 配置](#_bookmark40) [20](#_bookmark40)

[图 4.2 双 RS422 配置](#_bookmark42) [21](#_bookmark42)

[图 4.3 双 RS485 配置](#_bookmark44) [22](#_bookmark44)

[图 4.4 FT245 同步 FIFO 接口 信号 波形](#_bookmark46) [23](#_bookmark46)

[图 4.5 FT245 异步 FIFO 接口读取 信号 波形](#_bookmark51) [25](#_bookmark51)

[图 4.6 FT245 异步 FIFO 接口 WRITE 信号 波形](#_bookmark52) [25](#_bookmark52)

[图 4.7 单主控的 FT1248 总线 和 奴隶](#_bookmark55) [26](#_bookmark55)

[图 4.8 FT1248 基本型 波形 协议](#_bookmark56) [26](#_bookmark56)

[图 4.9 FT1248 命令 结构](#_bookmark58) [27](#_bookmark58)

[图 4.10 FT1248 1 位模式 协议 （写）](#_bookmark60)  [28](#_bookmark60)

[图 4.11 FT1248 1 位模式 协议 （阅读）](#_bookmark61)  [28](#_bookmark61)

[图 4.12 同步 Bit-Bang 模式时序 界面 实施例](#_bookmark65) [30](#_bookmark65)

[图 4.13-Bit-bang 模式数据流 插图 图](#_bookmark67) [31](#_bookmark67)

[图 4.14 MPSSE 信号 波形](#_bookmark69) [31](#_bookmark69)

[图 4.15 自适应 计时 互连](#_bookmark72) [32](#_bookmark72)

[图 4.16 自适应 计时 波形](#_bookmark73) [32](#_bookmark73)

[图 4.17 快速串行接口 信号 波形](#_bookmark76) [33](#_bookmark76)

[图 4.18 快速串行接口 输出 数据](#_bookmark79) [34](#_bookmark79)

[图 4.19 快速串行接口 输入 数据](#_bookmark81) [34](#_bookmark81)

[图 4.20 快速串行 界面 实施例](#_bookmark83) [35](#_bookmark83)

[图 4.21 CPU 型 FIFO 接口操作 信号 波形](#_bookmark87) [36](#_bookmark87)

[图 4.22 CPU 型 FIFO 界面 实施例](#_bookmark89) [37](#_bookmark89)

[图 4.23 双 LED 串口 配置](#_bookmark91) [37](#_bookmark91)

[图 4.24 单个 LED 串口 配置](#_bookmark92) [38](#_bookmark92)

[图4.25 使用 四物#](#_bookmark94)  [38](#_bookmark94)

[图 6.1 总线供电配置 例子 1](#_bookmark110)  [43](#_bookmark110)

[图 6.2 自供电配置 例子 1](#_bookmark113)  [44](#_bookmark113)

[图 6.3 自供电配置 例子 2](#_bookmark115)  [45](#_bookmark115)

[图 6.4 推荐的 FT232H 振荡器 配置](#_bookmark117) [46](#_bookmark117)

[图7.1 EEPROM 接口](#_bookmark121) [47](#_bookmark121)

[图 8.1 48 引脚 QFN 包裹 详情](#_bookmark126) [49](#_bookmark126)

[图 8.2 48 引脚 LQFP 包裹 详情](#_bookmark128) [50](#_bookmark128)

[图 8.3 48 引脚 LQFP 和 QFN 回流焊 焊接 简介](#_bookmark130) [51](#_bookmark130)

# 附录 C – 修订历史

文档 标题： FT232H 单通道高速 USB 转多用途 UART/FIFO 我知道了

数据表文档 参考 编号： FT\_000288 清仓 编号： FTDI 第199章

产品 页面： http: [//www.ftdichip.com/Products/ICs/FT232H.htm](http://www.ftdichip.com/Products/ICs/FT232H.htm)

文档 反馈： [发送 反馈](mailto:docufeedback@ftdichip.com)

|  |  |  |
| --- | --- | --- |
| **修订** | **变化** | **日期** |
| 1.0版本 | 初始发行 | 2011-02-24 |
| 1.1版 | 对 ACBUS7 详细信息进行的更改；更新了原理图的复位线；添加了 USB 合规性徽标和 TID | 2011-04-19 |
| 1.2版 | 更正的 TID 号码 | 2011-04-29 |
| 1.3版 | 更改了 Reset# 引脚上推荐的电容器值；将 WR 信号标签更改为 WR# | 2011-05-16 |
| 1.4版本 | WR 信号第 8 页和第 40 页缺少#（低电平有效）；增强推荐原理图。 | 2011-09-08 |
| 1.5版 | 添加了引脚 31 ACBUS7 说明（表 0.1）；在第 8.2 节中添加了封装尺寸公差；在第 4.1 节数据传输速率中添加了不支持的波特率列表 | 2011-11-25 |
| 1.6版本 | 更新了 1.1 节，Linux 版本；更新的时序信息，图  4.21和表4.8；更新了第 7.2 节默认描述符 | 2012-01-25 |
| 1.7版本 | 添加了第 4.2 节 EEPROM 接口的注释； 93LC46B 与 FT232H 不兼容 | 2012-06-21 |
| 1.8版本 | 修改了IC标志，图8.1和图8.2；更新联系信息 | 2012-12-13 |
| 1.81版本 | 在 QFN 绘图中添加了有关中心焊盘的详细信息；更正了图 6.4；添加了对哪些信号可承受 5V 电压的说明；澄清 P8 上的 ACBUS 默认功能 | 2013-01-04 |
| 1.82版本 | 将第 10 页的 ADBUS7 更新为 ACBUS7；增加了对Windows 10的支持；从版权信息中删除了年份 | 2016-02-05 |
| 1.83版 | 更正了表 3.13 中的拼写错误 | 2017-11-22 |
| 1.84版 | 更新了第 6.2.2 节（自供电应用示例 2 - ACBUS7 引脚功能） | 2018-05-11 |
| 1.85版本 | 更正表 4.4 中的 MPSSE 时序规范 | 2018-07-23 |
| 1.9版本 | 更新了图 8.1 和图 8.2 封装尺寸 | 2019-05-27 |
| 2.0版本 | 更新了第 3.5.3 节标题 | 2019-11-29 |