

Feuille de travaux dirigés n° 7

Pipelines et caches

Pipelines

Exercice 7.1

On considère la machine pipelinée à cinq étages vue en cours.

1. Construire un tableau montrant l'évolution du pipeline lors de l'exécution de la séquence d'instructions suivante :

```
add $16, $18, $15
lw  $24, 0($16)
lw  $25, 4($16)
slt $8, $25, $24
beq $8, $0, exit2
```

2. Montrer les aléas de données sous forme de dépendances.

Exercice 7.2

On considère la machine pipelinée à cinq étages vue en cours.

1. Trouver les aléas dans la séquence d'instructions suivante :

```
sub $2, $1, $3
and $4, $2, $5
or  $8, $2, $6
add $9, $4, $2
slt $1, $6, $7
```

2. Indiquer les suspensions dans le pipeline qui en résultent.

Exercice 7.3

Montrer ce qui se passe à la fois lorsque le branchement de la séquence d'instructions ci-dessous est effectué et lorsqu'il ne l'est pas.

```
36) sub $10, $4, $8
40) beq $1, $3, 7    # Branchement conditionnel vers l'adresse 72
44) and $12, $2, $5
48) or  $13, $2, $6
52) add $14, $4, $2
56) slt $15, $6, $7
...
72) lw  $4, 50($7)
```

Caches

Exercice 7.4

On considère un PC dont le bus système possède une fréquence d'horloge de 133 MHz.

1. Quel doit être le temps d'accès de la mémoire RAM pour qu'il n'y ait jamais d'état d'attente du bus lors de l'échange d'informations avec le CPU ?
2. Pour éviter de pénaliser les performances, on veut interdire la présence de plus de 5 états d'attente. Quelle doit être le temps d'accès maximal de la RAM ?
3. Combien d'états d'attente sont nécessaires si l'on utilise de la mémoire à 70 ns ?
4. On exécute un programme requérant 100 000 accès à la mémoire. On utilise de la mémoire à 70 ns, des caches L1 et L2 ayant un taux de succès de, respectivement, 68 % et 89 %. On considère que l'accès à L1 et L2 se fait sans état d'attente. Combien d'états d'attente seront nécessaires ?

Exercice 7.5

On considère un cache d'une capacité de 8 mots à correspondance directe avec une mémoire d'une capacité de 32 mots. Montrer l'évolution du cache lors de la séquence d'accès aux cases mémoires suivantes : 22, 26, 22, 26, 16, 4, 16, 18.

Exercice 7.6

On considère une série de références à des adresses de mots :

1, 4, 8, 5, 20, 17, 19, 56, 9, 11, 4, 43, 5, 6, 9, 17

1. En supposant un cache à correspondance directe initialement vide avec 16 blocs de 1 mot, déterminer si chaque référence de la liste conduit à un succès ou à un défaut et donner le contenu final du cache ;
2. Reprendre la question précédente avec un cache à correspondance directe de 4 blocs de 4 mots.