**利用Verilog实现如下图的系统功能并完成仿真。**



如上图。主设备Master0利用AHB-Lite总线协议通过AHB Bridge访问四个APB从设备Slave0、Slave、Slave2和Slave3。每个从设备的地址空间如下

Slave0: 0x0000\_0000 ~ 0x0000\_00ff;

Slave1: 0x0000\_0100 ~ 0x0000\_01ff;

Slave2: 0x0000\_0200 ~ 0x0000\_02ff;

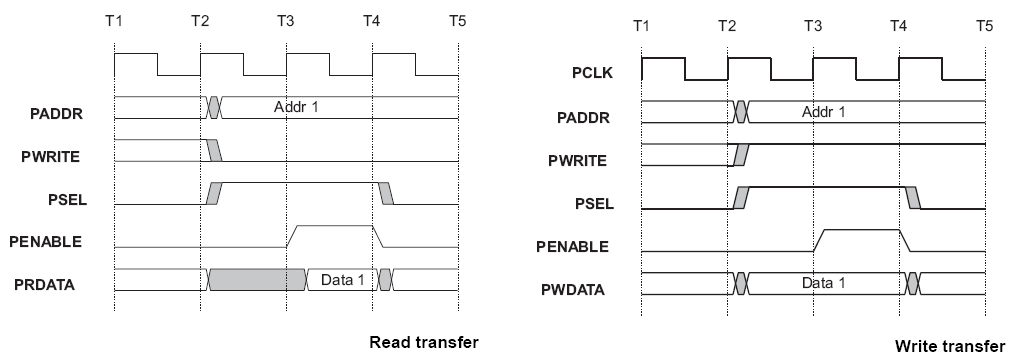
Slave3: 0x0000\_0300 ~ 0x0000\_03ff;

令从设备地址空间的下边界为其地址的基址，假设每个从设备中有可访问APB寄存器16个，位宽均为32比特，16个寄存器的访问地址计算方式为 基址 +　寄存器编号左移２位（byte 偏移）

主设备接口的数据读写采用AHB-Lite总线协议，并遵循如下时序规范：



从设备读写遵循APB时序规范



APB桥的作用是将主设备的访问信号转化成APB总线信号访问从设备

作业要求：

1.利用verilog代码完成蓝色部分系统搭建

2.搭建testbench进行仿真验证，主设备可以同时正确的对任意一个从设备寄存器进行读写

3.提交作业中包括verilog代码及仿真结果