



Prof. Me. Antônio Clementino Neto

CENTRO PAULA SOUZA

Memória Cache

https://www.hardware.com.br/dicas/entendendo-cache.html

MEMÓRIA DE APOIO AO PROCESSADOR



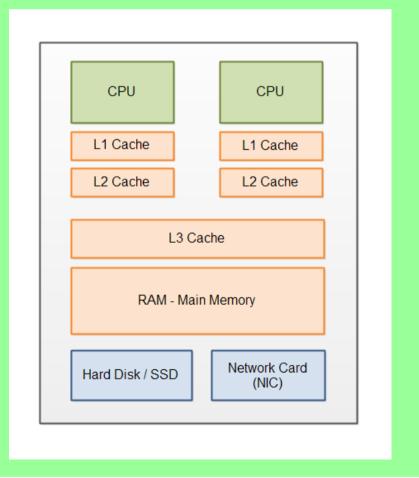
ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES



Prof. Me. Antônio Clementino Neto

Memória Cache

* quanto menor o nível (L1 é o menor), mais próxima essa unidade de memória está do processador





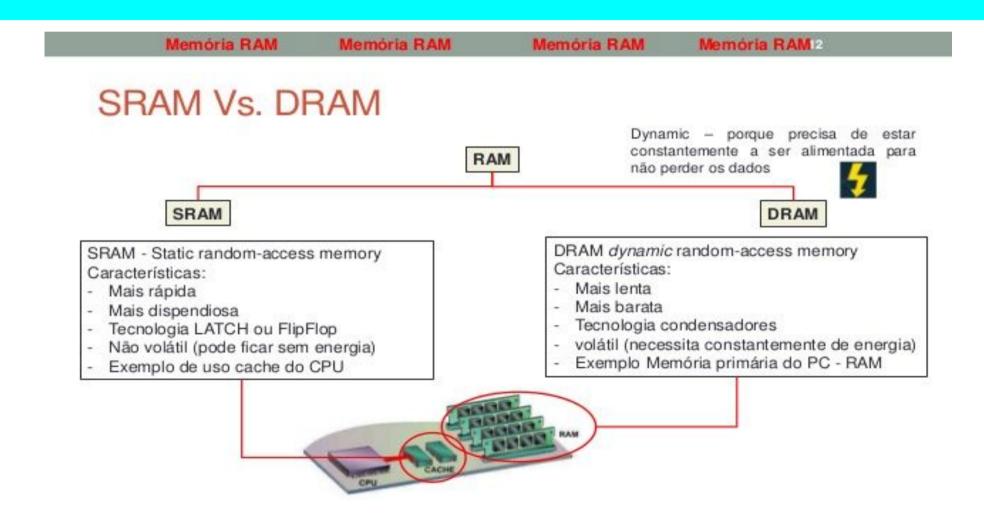
ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES



Prof. Me. Antônio Clementino Neto

CENTRO PAULA SOUZA

Memória Cache







Prof. Me. Antônio Clementino Neto

Memória Cache L1, L2 e L3

* mesmo com a evolução a memória RAM é muito mais lenta que o processador.

* o motivo disso é que a memória depende do processo de carga e descarga do capacitor

* o impulso elétrico (carga) é uma operação ligada às leis da física



ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES



Prof. Me. Antônio Clementino Neto

Memória Cache

* DRAM → Dynamic Random Access Memory, ou Memória de Acesso Randômico Dinâmica. Precisa que a informação seja atualizada o tempo todo para que permaneça armazenada consumindo mais energia

* SRAM → Random Access Memory, ou Memória de Acesso Randômico Estática mantem os bytes mesmo sem atualização contínua, é mais Econômica e de melhor performance.





CENTRO PAULA SOUZA

GOVERNO DO ESTADO
DE SÃO PAULO

Prof. Me. Antônio Clementino Neto

Memória Cache

- * a arquitetura interna e arranjo estrutural da DRAM são bastante simples e fáceis de entender
- * enquanto a SRAM é bastante complexa
- * SRAM é usada principalmente como memória cache
- * DRAM é usada na memória principal de Pcs e notebooks



GOVERNO DO ESTADO DE SÃO PAULO

CENTRO PAULA SOUZA

Prof. Me. Antônio Clementino Neto

Memória Cache L1, L2 e L3

* quando uma informação é necessária o processador checa (pesquisa) primeiro as informações disponíveis no cache L1

* caso não encontre o que precisa, verifica o cache L2 e por último a memória RAM.



CENTRO PAULA SOUZA

GOVERNO DO ESTADO
DE SÃO PAULO

Prof. Me. Antônio Clementino Neto

Memória Cache L1, L2 e L3

* quando o processador encontra o que precisa nos caches temos um "cache hit"

* quando não encontra e precisa recorrer à memória RAM temos um "cache miss".

* Quanto maior a percentagem de cache hits, melhor é o desempenho.



ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

CENTRO PAULA SOUZA

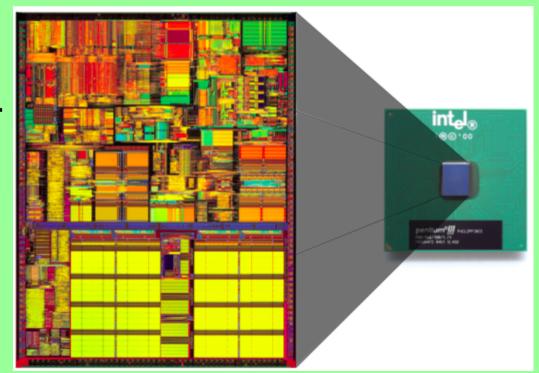
GOVERNO DO ESTADO
DE SÃO PAULO

Prof. Me. Antônio Clementino Neto

Memória Cache L1, L2 e L3

* núcleo de um processador com seus 256 KB de cache L2 integrado, que são representados pelos 16 retângulos na parte inferior do processador

* Nota-se que o cache L2 ocupa uma área significativa do núcleo do processador, o que explica o fato de serem usados apenas 256 KB





ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES



Prof. Me. Antônio Clementino Neto

Memória Cache L1, L2 e L3

* um processador onde o cache L1 trabalha com tempos de acesso de 3 ciclos, o cache L2 com 15 ciclos e a memória RAM com 140 ciclos, teríamos a seguinte relação depois de 1 milhão de acessos:

Cache L1 (80%): 2.400.000 ciclos

Cache L2 (19%): 2.850.000 ciclos

Memória (1%): 1.400.000 ciclos

Total: 6.650.000 ciclos

* nota-se que mesmo respondendo por uma pequena parcela dos acessos, a memória RAM é responsável por um volume desproporcionalmente grande de ciclos de espera.

* Um aumento 1%, elevaria o total para mais de 8 milhões de ciclos.



ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES



Prof. Me. Antônio Clementino Neto

CENTRO PAULA SOUZA

Memória Cache L1, L2 e L3

* CPU-Z – identificador do hardware do sistema

