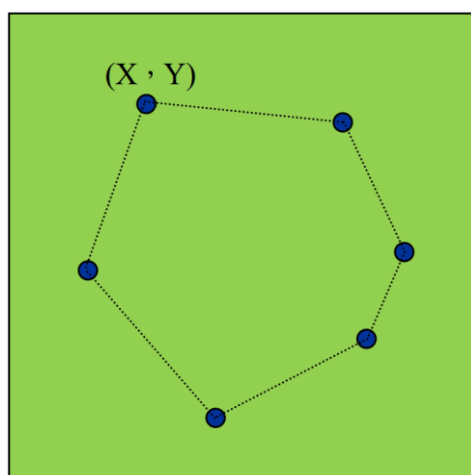


Lab 8

Sorting

1. 問題描述

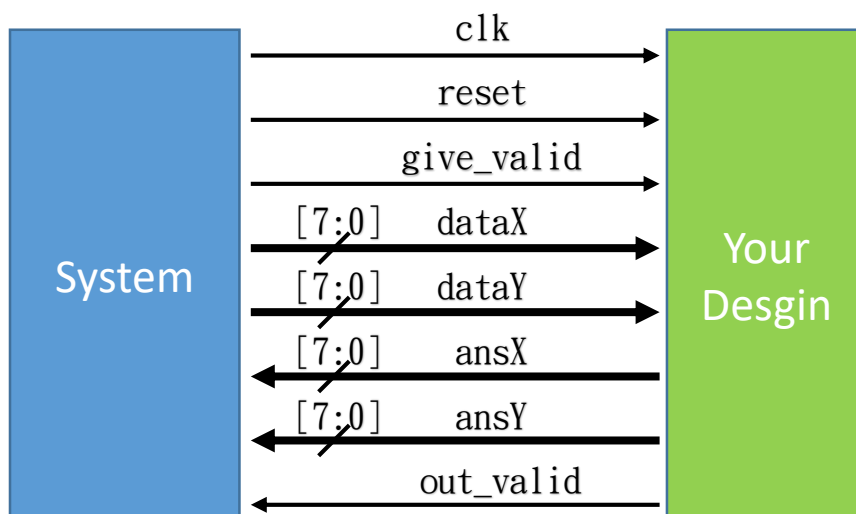
請完成一個地理圍籬系統，本系統使用了 6 顆接收器在平面上建構出虛擬圍籬，每顆接收器可以測量出自己 and 待測物體之間的距離，接收器並不會按照順序回傳測量值，請以最先回傳的接收器為第一顆接收器，並逆時針將接收器重新編號。



圖一、圍籬接收器系統

2. 設計規格

2.1 系統方塊圖



圖二、系統方塊圖

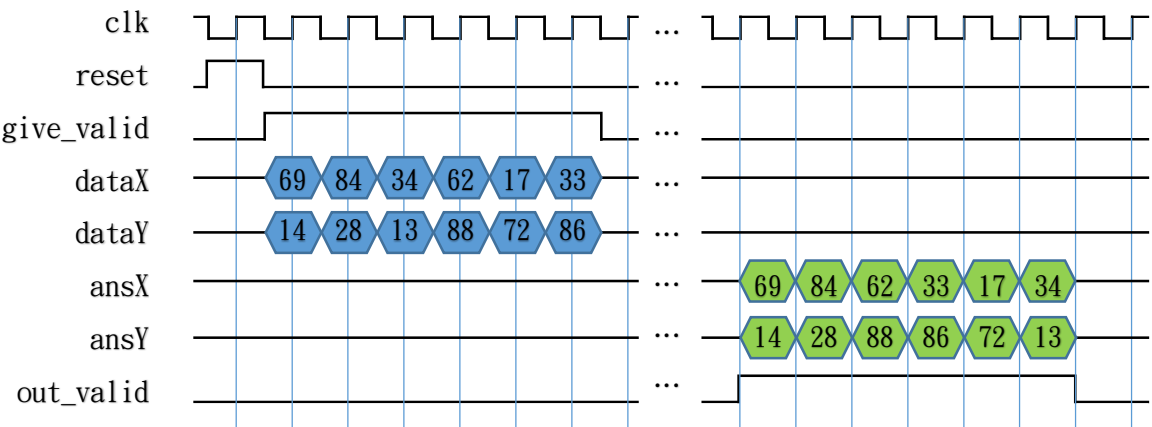
2.2 輸入/輸出介面

表一、輸入/輸出訊號

Signal Name	I/O	Width	Simple Description
clk	I	1	本系統為同步於時脈正緣之同步設計。
reset	I	1	高位準非同步(active high asynchronous)之系統重置信號。
give_valid	I	1	有效的輸入訊號，為high時，表示目前的dataX及dataY為有效輸入。
dataX	I	8	接收器之X座標。
dataY	I	8	接收器之Y座標。
ansX	O	8	回傳接收器之X座標。
ansY	O	8	回傳接收器之Y座標。
out_valid	O	1	有效的輸出訊號，為high時，表示目前的ansX及ansY為有效輸出。

2.3 資料輸入與結果輸出描述

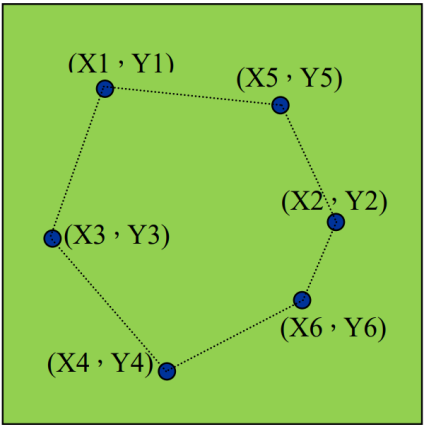
- 此圍籬系統共使用 6 顆接收器，每顆接收器儲存自己的座標(X, Y)，因此每筆測資會有 6 組相關資料。
- 系統 reset 後 6 個 cycle 依續從 X、Y，兩個 port 輸入 6 顆接收器資料至晶片。
- System 輸入完 6 組資料後即開始等待晶片回應，當晶片計算完成，須將 out_valid 訊號拉為 High，並在同一 cycle 從 ansX、ansY 輸出計算結果，接著在下一 cycle 將 out_valid 拉回 low。
- 當 out_valid 變成 low 後，System 會從下一 cycle 開始輸入下一測資的內容，依續輸入下 6 筆接收器資料後，將再度進入等待回應狀態。
- 前後兩筆測資互不相關，接收器座標(X, Y) 應以全新場景看待。
- 為避免 System 誤判輸出資料，系統 reset 時，圍籬系統應將 out_valid 設為 low，並且在每次輸出結果後，將 out_valid 再復歸為 low。



圖三、資料輸入與結果輸出(測資一)

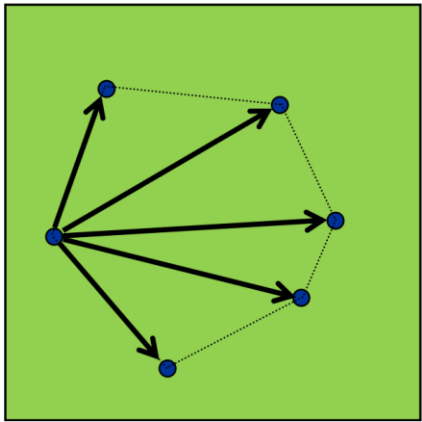
2.4 輸入/輸出介面

此圍籬系統共使用 6 顆接收器，但接收器資料回傳的順序並沒有照著圍籬順序，為了達到系統功能，必須要找到圍籬上正確的接收器順序。

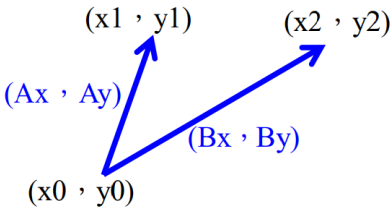


圖四、接收器輸入未依照圍籬順序

要排序接收器順序，可將第一個收到的接收器作為原點，和其他 5 顆接收器形成 5 向量，利用計算向量外積判斷兩向量之方向關係進行排序，讓前後向量固定維持順時針或是逆時針關係，即可獲得圍籬的順序(圖五)。



圖五、以向量排序圍籬



圖六、向量外積計算

向量外積計算(圖六)：

若有兩向量，向量 $A=(A_x, A_y)=(x_1-x_0, y_1-y_0)$ ，向量 $B=(B_x, B_y)=(x_2-x_0, y_2-y_0)$ ， A 和 B 外積 = $A_x \cdot B_y - B_x \cdot A_y$ ，若外積結果 < 0 ，表示 B 位於 A 的順時針方向(A 到 B 順時針夾角 $< 180^\circ$)，反之為逆時針方向。

3. 評分標準

本次作業評分方式會依照設計完成程度和完成時間，分為 A、B、C、D 四種等級。作業最多兩人一同協作完成，若三人以上程式碼雷同，則三人皆視為等級 D，兩人只須要有一人繳交程式碼即可，請在程式碼前面註明兩人的姓名學號。結報(每人)內容須包含協作者名稱、程式貢獻比例、程式面積、設計心得、遭遇的困難和解決的方法。

◆ 等級 A：100 分

等級 A 條件：

- a、在時限內完成。
- b、通過防抄襲比對。

◆ 等級 B：80 分

等級 B 條件：

- a、在時限內完成。
- b、使用範例程式碼(截止日前三天公布)完成。

◆ 等級 C：60 分

等級 C 條件：

- a、在截止後一周內完成。
- b、使用範例程式碼(截止日前三天公布)或自己撰寫，並通過防抄襲比對。

◆ 等級 D：0 分

等級 D 條件：符合下列任一項

- a、未繳交程式。
- b、繳交程式碼功能不齊全。
- c、未通過防抄襲比對。

3.1 程式面積

將完成的程式，使用 Quartus 軟體合成，並記錄下程式使用的邏輯閘和暫存器數量。

Family	MAX 10
Device	10M50DAF484C7G
Timing Models	Final
Total logic elements	764 / 49,760 (2 %)
Total registers	289
Total pins	36 / 360 (10 %)
Total virtual pins	0
Total memory bits	0 / 1,677,312 (0 %)
Embedded Multiplier 9-bit elements	2 / 288 (< 1 %)
Total PLLs	0 / 4 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0 / 2 (0 %)

4. 附錄

附錄4.1~3為設計檔案說明；附錄4.4為測試樣本圖形；

4.1 設計檔案說明

表二、設計檔案說明

檔名	檔案說明
lab8.v	所有學生使用的設計檔，包含輸入輸出宣告。
lab8_tb.v	TestBench檔案。
data.dat	測資資料。
pic*.png	模擬樣本的圖形。

4.2 測試檔內容

本次練習所提供的testbench檔案和設計檔，有多增加幾行特別用途的敘述：

```
“lab8_tb.v”
`define PAT "data.dat"
`define End_CYCLE 1000000

-----
“lab8.v”
module lab8(.....);
...
for(i = 0; i < `length; i = i+1)
    $dumpvars(1, count[i]);
...

```

(可以自行更換測資檔)
(可以自行決定最終運行時間)

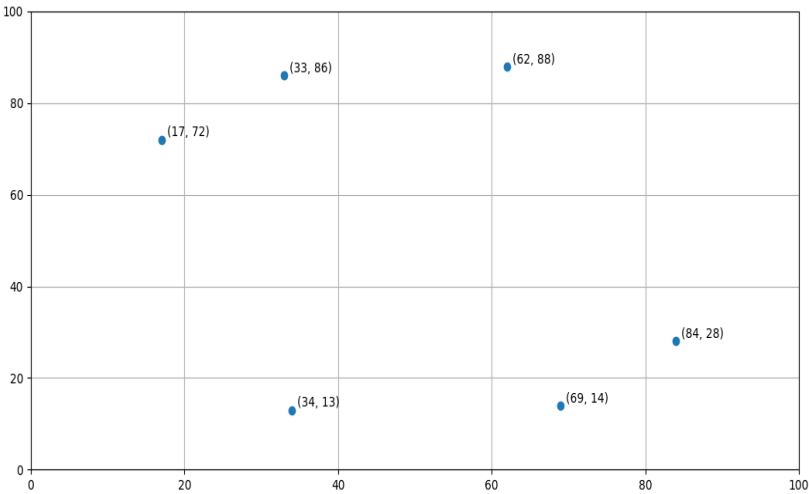
(若要在gtkwave輸出多維陣列時，需加此行)

4.3 特殊情況

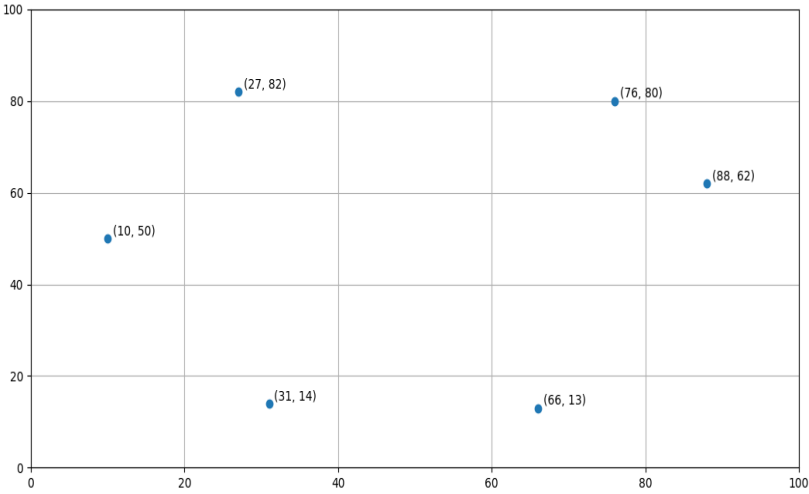
若在執行的過程中出現以下警告，可以忽略：

```
VCD info: dumpfile Lab.fsdb opened for output.
VCD warning: array word Pin_Name will conflict with
an escaped identifier.
```

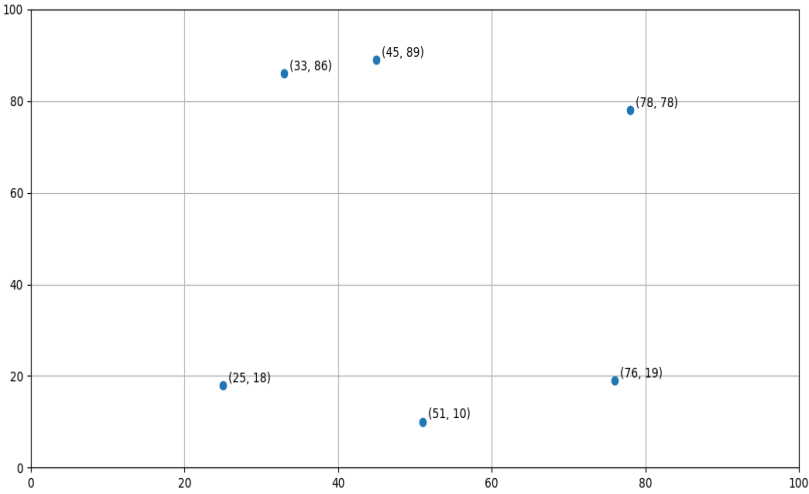
4.4 測試樣本



樣本測試圖一



樣本測試圖二



樣本測試圖三