

Version: v1/v2

Version: v1/v2		CSL CLASS	Language syntax	lexer/misc		parser	Parser checks		tree walker	CSLom cmd		CSLom	CSLom checker	CSLom elab	Adaptor	CDOM	CDOM checker	Verilog code gen	VHDL code gen	SystemC code gen	C++ code gen	document gen	CSIM codengen	CSLC ASM	IDE	Averages crt week	Averages prev week
			NA	90	90	0	90	NA	NA	NA	NA	NA	NA	NA	NA	NA	90	5	90	0	10	NA	NA	NA	NA	0	67.5
V1		cslc: Verilog Parser	NA	90	90	0	90	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	67.5	0
V1		cslc: CDOM	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	90	5	90	0	10	NA	NA	NA	NA	0	39	0
V1	14	cslc: CDOMNum	NA	100	100	NA	90	NA	NA	NA	NA	NA	NA	NA	NA	90	0	NA	NA	NA	NA	NA	NA	NA	0	76	0
V1	1	cslc: Interconn	90	100	100	98	98	95	95	10	NA	95	NA	NA	NA	NA	NA	NA	NA	NA	0	30	90	NA	0	75.08	0
V1	2	cslc: Enum	90	100	100	100	100	80	100	0	NA	100	NA	NA	NA	NA	NA	NA	NA	100	0	NA	0	0	0	72.5	0
V1	3	cslc: Field	90	100	100	100	100	80	90	0	NA	80	NA	NA	NA	NA	NA	NA	NA	100	0	NA	0	0	0	70	0
V1	4	cslc: Memmap	90	100	100	100	80	80	90	0	NA	70	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	59.17	0
V1	5	cslc: ISA	90	100	100	100	80	80	90	0	NA	10	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	0	0	50	0
V1	6	cslc: Decoder	90	100	100	100	70	90	70	0	NA	100	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	60	0
V1	7	cslc: VC	80	100	100	70	100	80	80	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	0	90	NA	0	68.18	0	
V1	8	cslc: Tb	80	100	100	70	100	80	80	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	NA	0	60	0
V1	21	cslc: Tb clock gen	100	100	100	100	100	80	80	0	NA	100	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	NA	0	69.09	0
V1	9	cslc: RF	90	100	100	100	100	70	90	0	NA	90	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	NA	0	67.27	0
V1	10	cslc: Fifo	90	100	100	100	100	60	60	0	NA	90	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	NA	0	63.64	0
V1	11	cslc: Reg	90	100	100	100	100	80	80	0	NA	80	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	60.83	0
V2	12	cslc: Pipeline	70	100	100	100	0	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	28.46	0
V1	13	cslc: CSLomNum	NA	100	100	100	100	NA	100	0	0	100	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	54.55	0
V1		Cslc: CSL stmt/expr	30	80	80	NA	50	NA	80	0	NA	50	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	37	0
V1		Cslc: CSL language	80	80	80	50	50	NA	50	0	0	50	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	36.67	0
V1		Cslc: CSL docgen	80	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	13.33	0
V1	17	cslc: autoroute	40	100	100	0	100	NA	50	0	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	55	0
V1	18	cslc:automapper	40	100	100	0	50	NA	30	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	40	0
V1	16	cslc: inst tree	NA	NA	NA	NA	NA	NA	65	0	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	30	0
V1		Cslc: CLI	NA	100	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	100	0
V1		Cslc: verilog PP	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1		Cslc: CSL PP	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1	15	Cslc: CSL PP/regex	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
V1		Cslc: Top Level	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1		Cslc: cmd line args	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
V1	24	cslc: Memory	80	0	0	0	0	10	60	0	0	100	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	25	0
V1	20	cslc: Buses	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1	25	cslc: Procon	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1	26	cslc: Sched	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1	27	cslc: Arbiter	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1	28	cslc: ASM	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	0
V1	29	sw_lib: ASM	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1	30	sw_lib: Csim	NA	20	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	20	0
V1	31	cslc: GUI	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1	32	clsc: cmd	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
V1	33	CSL pp: Aikido	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
V1		HW: SOC bus ifc	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
V1		HW: Processor ring	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
V1		HW: RISC	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
V1		HW: ASP	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
V1		HW: MBIST	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
V1		cslc: Reg v2	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
V2		cslc: CSLomNum v2	NA	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
V1	21	cslc: Tb PWLW	90	90	90	90	90	90	90	90	NA	100	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	68.33	0
V1	21	cslc: Tb stall gen	90	90	90	90	90	90	90	90	NA	0	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	60	0
V1	21	cslc: Tb bubble gen	90	90	90	90	90	90	90	90	NA	0	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	60	0

STATUS LEGEND put percentages in the boxes

not started	Priorities
under construction	Low priority
under test	medium priority
completed	high pri

intersection between

Not applicable

Divider

File name = csl class.ods

misc/project management/csl class.ods

Overall project average

44.26

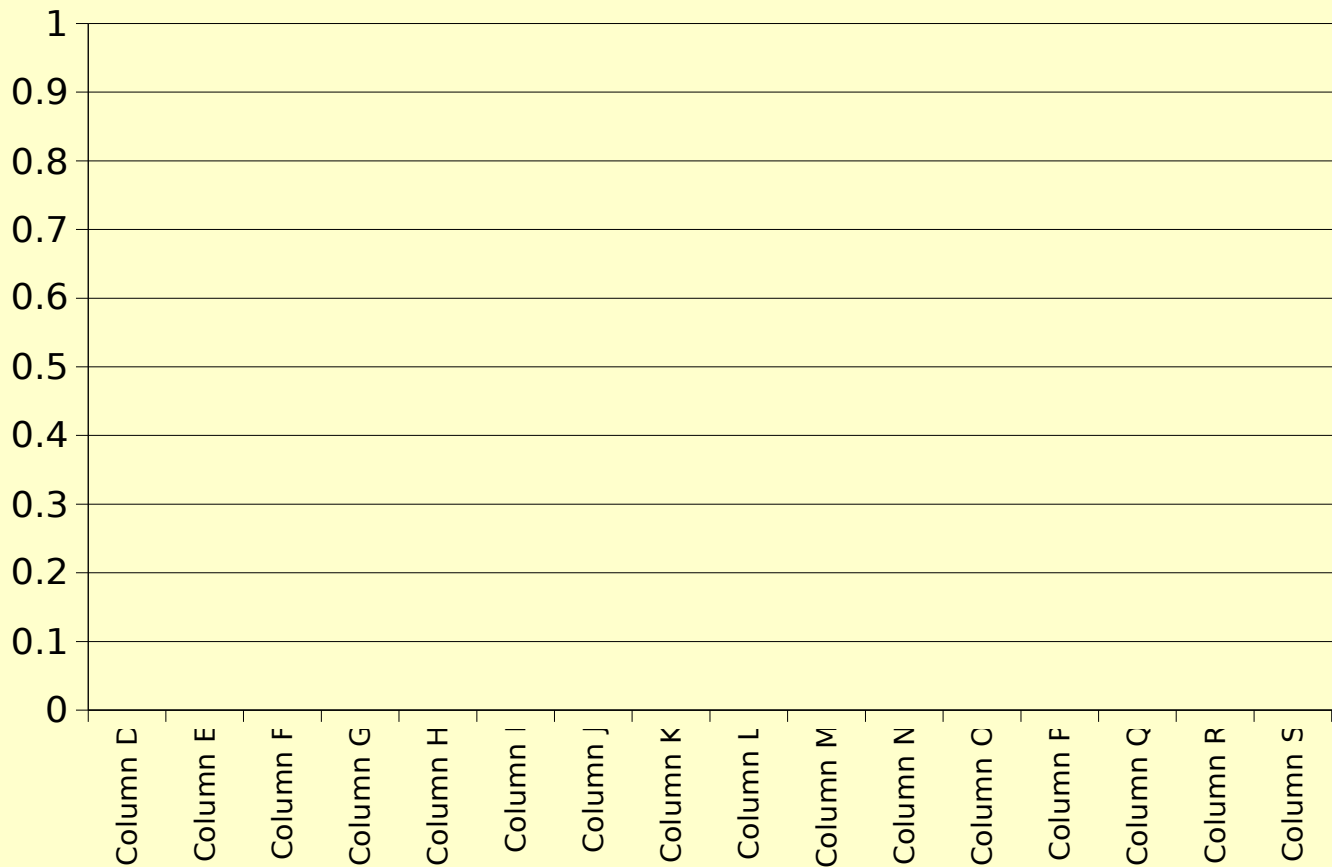
Stages

Averages crt week

Averages prev week

misc/project_management/csl_class.ods	57.11	lexer
0	72.22	parser
0	63.77	tree walker
0	57.6	CSL OM
0	0.4	CSL OM checker
0	7.5	CSL OM elab
0	55.23	Adaptor
0	90	CDOM
0	2.5	CDOM checker
0	90	Verilog code gen
0	0	Verilog code gen
0	10	SystemC code gen
0	16.67	C++ code gen
0	1.76	document code gen
0	12	CSIM
0	0	IDE

Development stage



Class development



9.11

0

67.5
39
76
65.17
66.92
64.62
59.17
50
60
37.5
31.25
0
0
0
0
62.5
65
46.67
28.46
50
30.91
6.67
13.33
50
35
30
50
80
50
0
0
0
10.71
0
0
0
0
0
0
0
20
0

es

Row 66

Row 67

Column T

Column U

Column V

Column W

es	Column T	Column U	Column V	Column W
Row 66				
Row 67				

[illegible]

verages prev week

	CSL CLASS	Tests passing %	Language syntax	lexer/misc	parser	Parser checks	tree walker	CSLom cmd	CSLom	CSLom checker	CSLom elab	Adaptor	CDOM	CDOM checker	Verilog code gen	VHDL code gen	SystemC code gen	C++ code gen	document gen	CSIM codegen	CSLC ASM	IDE	Averages crt week	Averages prev week
	cslc: Verilog Parser	70	NA	90	90	0	90	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	67.5	0
	cslc: CDOM	60	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	90	5	90	0	10	NA	NA	NA	NA	0	39	0
14	cslc: CDOMNum	0	NA	100	100	NA	90	NA	NA	NA	NA	NA	90	0	NA	NA	NA	NA	NA	NA	NA	0	76	0
1	cslc: Interconn	70	90	98	98	98	98	95	95	10	NA	90	NA	NA	NA	NA	NA	0	10	0	NA	0	65.17	0
2	cslc: Enum	70	90	100	100	100	100	80	100	0	NA	100	NA	NA	NA	NA	NA	100	0	0	0	0	66.92	0
3	cslc: Field	70	90	100	100	100	100	80	90	0	NA	80	NA	NA	NA	NA	NA	100	0	0	0	0	64.62	0
4	cslc: Memmap	70	90	100	100	100	80	80	90	0	NA	70	NA	NA	NA	NA	NA	0	0	0	NA	0	59.17	0
5	cslc: ISA	0	90	100	100	100	80	80	90	0	NA	10	NA	NA	NA	NA	NA	0	0	0	0	0	50	0
6	cslc: Decoder	70	90	100	100	100	70	90	70	0	NA	100	NA	NA	NA	NA	NA	0	0	0	NA	0	60	0
7	cslc: VC	0	80	70	70	70	80	80	80	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	44.17	0
8	cslc: Tb	0	80	70	70	70	80	80	80	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	44.17	0
21	cslc: Tb PWLW	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb clock gen	0	100	100	100	100	100	80	80	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	55	0
9	cslc: RF	70	90	100	100	100	100	70	100	0	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	62.5	0
10	cslc: Fifo	70	90	100	100	100	100	100	100	0	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	65	0
11	cslc: Reg	0	90	100	100	100	80	70	80	0	NA	30	NA	NA	NA	NA	NA	0	0	0	NA	0	54.17	0
12	cslc: Pipeline	0	70	100	100	100	0	0	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	28.46	0
13	cslc: CSLomNum	100	NA	100	100	100	100	NA	100	0	0	100	NA	NA	NA	NA	NA	0	0	0	NA	0	54.55	0
	Cslc: CSL stmt/expr	0	30	80	50	NA	50	NA	80	0	0	50	NA	NA	NA	NA	NA	0	0	0	NA	0	30.91	0
	Cslc: CSL language	0	80	50	50	50	50	NA	50	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	27.5	0
	Cslc: CSL docgen	0	80	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	NA	0	13.33	0
17	cslc: autoroute	0	0	100	100	0	100	NA	50	0	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
18	cslc: automapper	0	0	100	100	0	50	NA	30	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	35	0
16	cslc: inst tree	0	NA	NA	NA	NA	NA	NA	65	0	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	30	0
	Cslc: CLI	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
	Cslc: verilog PP	0	NA	80	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	80	0
	Cslc: CSL PP	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
15	Cslc: CSL PP/regex	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
	Cslc: Top Level	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
	Cslc: cmd line args	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
24	cslc: Memory	0	80	0	0	0	0	10	60	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	10.71	0
20	cslc: Buses	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
25	cslc: Procon	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
26	cslc: Sched	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
27	cslc: Arbiter	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
28	cslc: ASM	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	0	0	0	0
29	sw_lib: ASM	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
30	sw_lib: Csim	0	NA	20	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	20	0
31	cslc: GUI	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
32	clsc: cmd	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
33	CSL pp: Aikido	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: SOC bus ifc	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: Processor ring	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: RISC	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: ASP	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: MBIST	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	cslc: Reg v2	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
	cslc: CSLomNum v2	0	NA	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb PWLW	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb stall gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb bubble gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0

STATUS LEGEND put percentages in the boxes

not started

under construction

under test

completed

intersection between row

Not applicable

Divider

Priorities

Low priority

medium priority

high pri

File name = csl_class.ods

misc/project_management/csl_class.ods

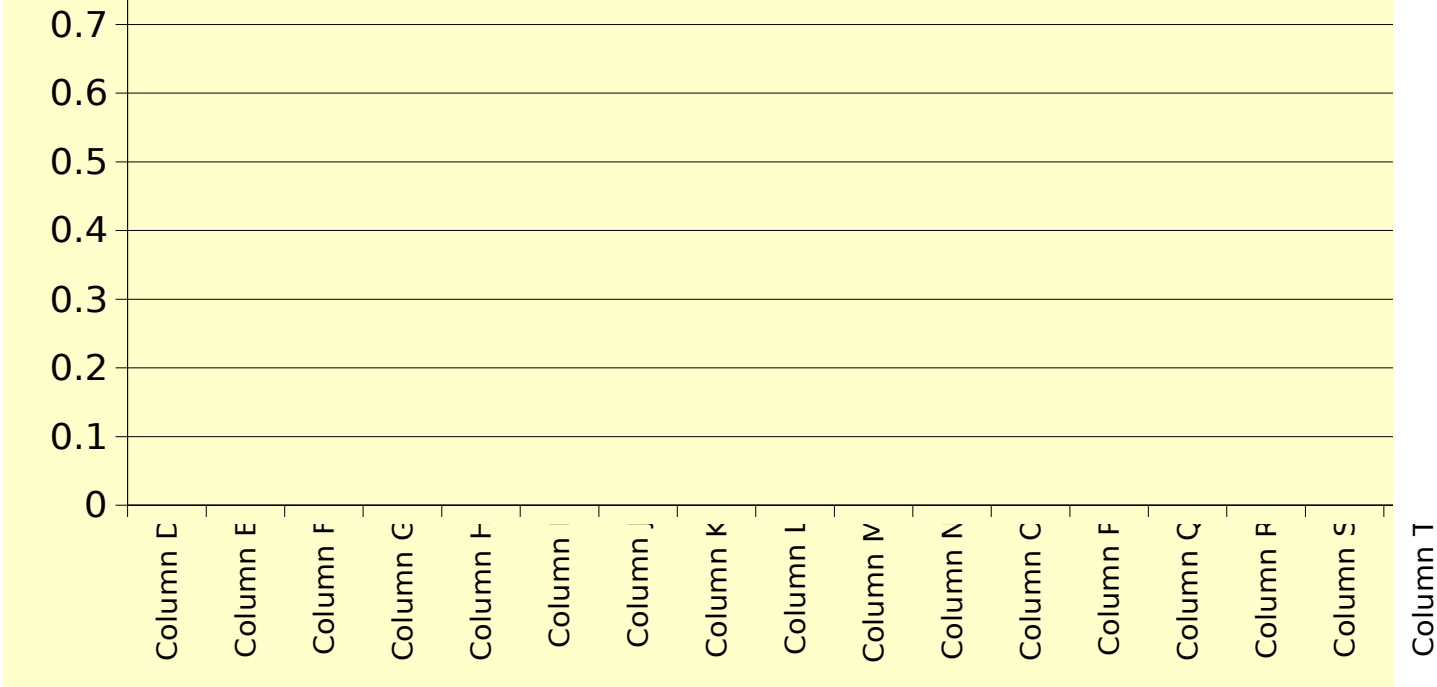
Overall project average

35.86



Development stage

1
0.9
0.8

Averages prev week	Averages crt week	Stages
	52.77	lexer
0	65.29	parser
0	59.19	tree walker
0	57.31	CSLOM
0	0.38	CSLOM checker
0	6.82	CSLOM elab
0	35.22	Adaptor
0	90	CDOM
0	2.5	CDOM checker
0	90	Verilog code gen
0	0	Verilog code gen
0	1.43	SystemC code gen
0	8.33	C++ code gen
0	0.42	document code gen
0	0	CSIM
0	0	IDE



S

	Row 66
	Row 67

verages prev week

	CSL CLASS	Tests passing %	Language syntax	lexer/misc	parser	Parser checks	tree walker	CSLom cmd	CSLom	CSLom checker	CSLom elab	Adaptor	CDOM	CDOM checker	Verilog code gen	VHDL code gen	SystemC code gen	C++ code gen	document gen	CSIM codegen	CSLC ASM	IDE	Averages crt week	Averages prev week
	cslc: Verilog Parser	70	NA	90	90	0	90	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	67.5	0
	cslc: CDOM	60	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	90	5	90	0	10	NA	NA	NA	NA	0	39	0
14	cslc: CDOMNum	0	NA	100	100	NA	90	NA	NA	NA	NA	NA	90	0	NA	NA	NA	NA	NA	NA	NA	0	76	0
1	cslc: Interconn	70	90	98	98	98	98	95	95	10	NA	90	NA	NA	NA	NA	NA	0	10	0	NA	0	65.17	0
2	cslc: Enum	70	90	100	100	100	100	80	100	0	NA	100	NA	NA	NA	NA	NA	100	0	0	0	0	66.92	0
3	cslc: Field	70	90	100	100	100	100	80	90	0	NA	80	NA	NA	NA	NA	NA	100	0	0	0	0	64.62	0
4	cslc: Memmap	70	90	100	100	100	80	80	90	0	NA	70	NA	NA	NA	NA	NA	0	0	0	NA	0	59.17	0
5	cslc: ISA	0	90	100	100	100	80	80	90	0	NA	10	NA	NA	NA	NA	NA	0	0	0	0	0	50	0
6	cslc: Decoder	70	90	100	100	100	70	90	70	0	NA	100	NA	NA	NA	NA	NA	0	0	0	NA	0	60	0
7	cslc: VC	0	80	70	70	70	0	80	80	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	37.5	0
8	cslc: Tb	0	80	70	70	70	30	30	25	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	31.25	0
21	cslc: Tb PWLW	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb clock gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb stall gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb bubble gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
9	cslc: RF	70	90	100	100	100	100	70	100	0	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	62.5	0
10	cslc: Fifo	70	90	100	100	100	100	100	100	0	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	65	0
11	cslc: Reg	0	60	100	100	100	50	70	50	0	NA	30	NA	NA	NA	NA	NA	0	0	0	NA	0	46.67	0
12	cslc: Pipeline	0	70	100	100	100	0	0	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	28.46	0
13	cslc: CSLomNum	70	NA	100	100	100	100	NA	50	0	0	100	NA	NA	NA	NA	NA	0	0	0	NA	0	50	0
	Cslc: CSL stmt/expr	0	30	80	50	NA	50	NA	80	0	0	50	NA	NA	NA	NA	NA	0	0	0	NA	0	30.91	0
	Cslc: CSL language	0	80	0	0	0	0	NA	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	6.67	0
	Cslc: CSL docgen	0	80	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	NA	0	13.33	0
17	cslc: autoroute	0	0	100	100	0	100	NA	50	0	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
18	cslc: automapper	0	0	100	100	0	50	NA	30	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	35	0
16	cslc: inst tree	0	NA	NA	NA	NA	NA	NA	65	0	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	30	0
	Cslc: CLI	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
	Cslc: verilog PP	0	NA	80	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	80	0
	Cslc: CSL PP	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
15	Cslc: CSL PP/regex	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
	Cslc: Top Level	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
	Cslc: cmd line args	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
24	cslc: Memory	0	80	0	0	0	0	10	60	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	10.71	0
20	cslc: Buses	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
25	cslc: Procon	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
26	cslc: Sched	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
27	cslc: Arbiter	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
28	cslc: ASM	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	0	0	0	0
29	sw_lib: ASM	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
30	sw_lib: Csim	0	NA	20	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	20	0
31	cslc: GUI	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
32	clsc: cmd	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
33	CSL pp: Aikido	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: SOC bus ifc	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: Processor ring	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: RISC	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: ASP	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0
	HW: MBIST	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0

STATUS LEGEND put percentages in the boxes

not started
under construction
under test
completed
intersection between row
Not applicable
Divider

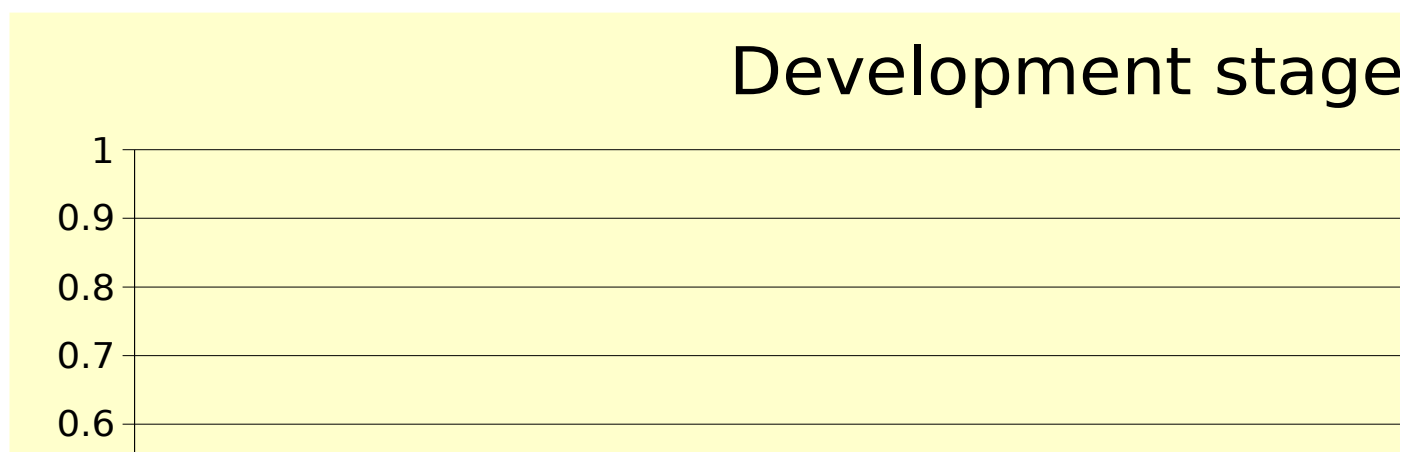
Priorities
Low priority
medium priority
high pri

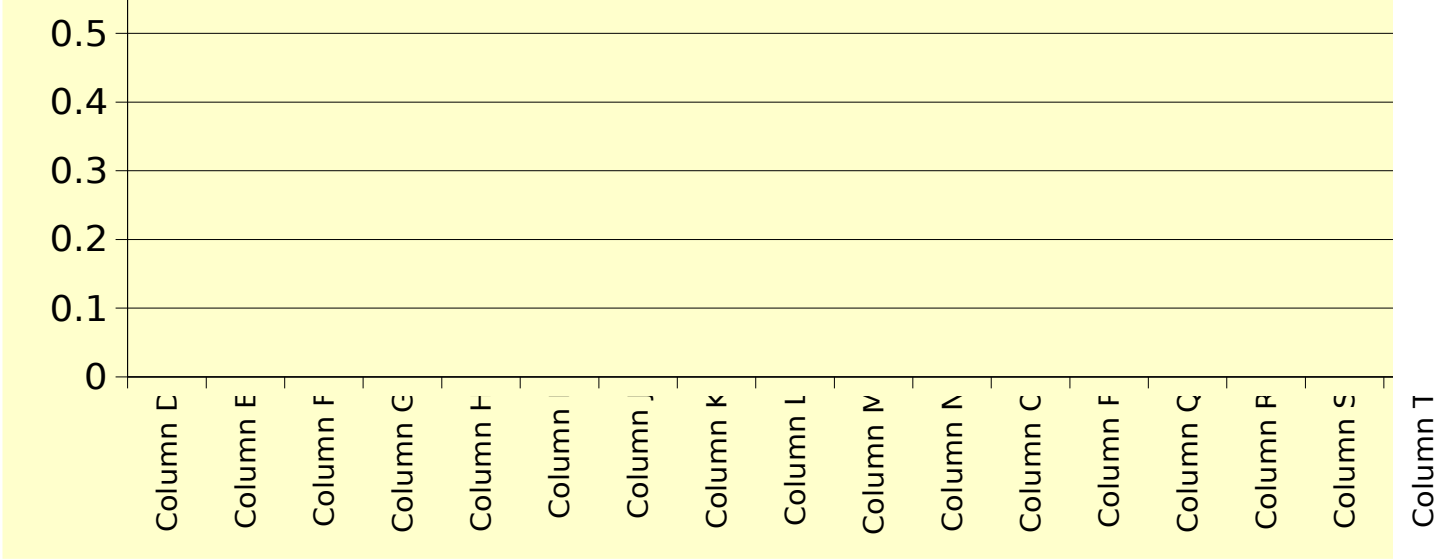
File name = csl_class.ods
misc/project_management/csl_class.ods

Overall project average

29.95

Averages prev week	Averages crt week	Stages
	misc/project_management/csl_class.ods	lexer
0		parser
0		tree walker
0		CSL0M
0		CSL0M checker
0		CSL0M elab
0		Adaptor
0		CD0M
0		CD0M checker
0		Verilog code gen
0		Verilog code gen
0		SystemC code gen
0		C++ code gen
0		document code gen
0		CSIM
0		IDE





S

<div></div> Row 66
<div></div> Row 67

Column T	Column L	Column V	Column W
----------	----------	----------	----------

verages prev week

	CSL CLASS	Tests passing %	Language syntax	lexer/misc	parser	Parser checks	tree walker	CSLom cmd	CSLom	CSLom checker	CSLom elab	Adaptor	CDOM	CDOM checker	Verilog code gen	VHDL code gen	SystemC code gen	C++ code gen	document gen	CSIM codegen	CSLC ASM	IDE	Averages crt week	Averages prev week
	cslc: Verilog Parser	70	NA	90	90	0	90	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	67.5	NA
	cslc: CDOM	60	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	90	5	90	0	10	NA	NA	NA	NA	0	39	NA
14	cslc: CDOMNum	0	NA	100	100	NA	90	NA	NA	NA	NA	NA	90	0	NA	NA	NA	NA	NA	NA	NA	0	76	NA
1	cslc: Interconn	70	90	98	98	98	98	95	95	10	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	64.33	0
2	cslc: Enum	70	90	100	100	100	100	80	100	0	NA	100	NA	NA	NA	NA	NA	100	0	0	0	0	66.92	0
3	cslc: Field	70	90	100	100	100	100	80	90	0	NA	80	NA	NA	NA	NA	NA	100	0	0	0	0	64.62	0
4	cslc: Memmap	70	90	100	100	100	80	80	90	0	NA	70	NA	NA	NA	NA	NA	0	0	0	NA	0	59.17	0
5	cslc: ISA	0	90	100	100	100	80	80	90	0	NA	10	NA	NA	NA	NA	NA	0	0	0	0	0	50	0
6	cslc: Decoder	70	90	100	100	100	70	90	70	0	NA	100	NA	NA	NA	NA	NA	0	0	0	NA	0	60	0
7	cslc: VC	0	80	70	70	70	0	0	5	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	24.58	0
8	cslc: Tb	0	80	70	70	70	30	30	25	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	31.25	0
21	cslc: Tb PWLW	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb clock gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb stall gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
21	cslc: Tb bubble gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
9	cslc: RF	70	90	100	100	100	100	70	100	0	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	62.5	0
10	cslc: Fifo	70	90	100	100	100	100	100	100	0	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	65	0
11	cslc: Reg	0	60	100	100	100	50	70	50	0	NA	30	NA	NA	NA	NA	NA	0	0	0	NA	0	46.67	0
12	cslc: Pipeline	0	70	100	100	100	0	0	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	28.46	0
13	cslc: CSLomNum	70	NA	100	100	100	100	NA	50	0	0	100	NA	NA	NA	NA	NA	0	0	0	NA	0	50	NA
	Cslc: CSL stmt/expr	0	30	80	50	NA	50	NA	80	0	0	50	NA	NA	NA	NA	NA	0	0	0	NA	0	30.91	0
	Cslc: CSL language	0	20	0	0	0	0	NA	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	1.67	0
	Cslc: CSL docgen	0	10	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	NA	0	1.67	0
17	cslc: autoroute	0	0	100	100	0	100	NA	50	0	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
18	cslc: automapper	0	0	100	100	0	50	NA	30	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	35	NA
16	cslc: inst tree	0	NA	NA	NA	NA	NA	NA	65	0	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	30	NA
	Cslc: CLI	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	NA
	Cslc: verilog PP	0	NA	80	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	80	NA
	Cslc: CSL PP	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	NA
15	Cslc: CSL PP/regex	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	NA
	Cslc: Top Level	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	NA
	Cslc: cmd line args	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	NA
24	cslc: Memory	0	0	0	0	0	0	10	60	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	5	NA
20	cslc: Buses	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
25	cslc: Procon	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
26	cslc: Sched	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	NA
27	cslc: Arbiter	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
28	cslc: ASM	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	0	0	0	0
29	sw_lib: ASM	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
30	sw_lib: Csim	0	NA	20	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	20	0
31	cslc: GUI	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	NA
32	clsc: cmd	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	NA
33	CSL pp: Aikido	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA
	HW: SOC bus ifc	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA
	HW: Processor ring	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA
	HW: RISC	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA
	HW: ASP	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA
	HW: MBIST	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA

STATUS LEGEND put percentages in the boxes

not started
under construction
under test
completed
intersection between row
Not applicable
Divider

Priorities
Low priority
medium priority
high pri

File name = csl_class.ods
misc/project_management/csl_class.ods

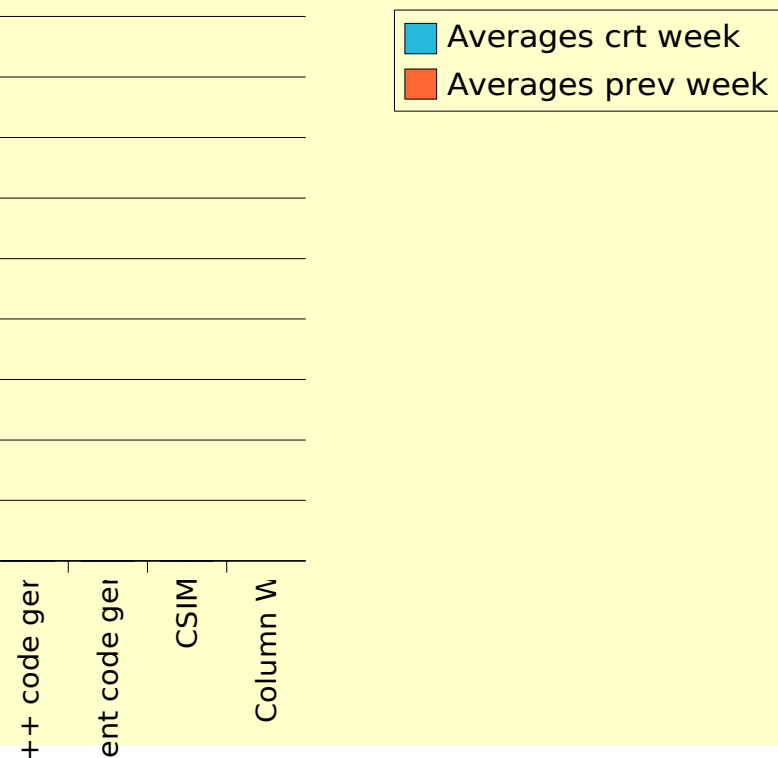
Overall project average

28.92

Class development

Subject	Average
English	0.675
Math	0.39
Science	0.475
Social Studies	0.6433
Art	0.5885
Music	0.5615
Physical Education	0.55
Health	0.4462
Computer	0.5833
Foreign Languages	0.2667
Other	0.325

S



verages prev week

	CSL CLASS	Tests passing %	Language syntax	lexer/misc	parser	Parser checks	tree walker	CSLom cmd	CSLom	CSLom checker	CSLom elab	Adaptor	CDOM	CDOM checker	Verilog code gen	VHDL code gen	SystemC code gen	C++ code gen	document gen	CSIM codegen	CSLC ASM	IDE	Averages crt week	Averages prev week
	cslc: Verilog Parser	70	NA	90	90	0	90	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	67.5	NA
	cslc: CDOM	60	NA	NA	NA		NA	NA	NA	NA	NA	NA	90	5	90	0	10	NA	NA	NA	NA	0	39	NA
14	cslc: CDOMNum	0	NA	100	100	NA	90	NA	NA	NA	NA	NA	90	0	0	0	0	NA	NA	NA	NA	0	47.5	NA
1	cslc: Interconn	70	90	98	98	98	98	95	95	10	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	64.33	0
2	cslc: Enum	70	90	100	100	100	100	80	95	0	NA	100	NA	NA	NA	NA	NA	0	0	0	0	0	58.85	0
3	cslc: Field	70	90	100	100	100	100	70	90	0	NA	80	NA	NA	NA	NA	NA	0	0	0	0	0	56.15	0
4	cslc: Memmap	70	90	100	100	100	80	50	80	0	NA	60	NA	NA	NA	NA	NA	0	0	0	NA	0	55	0
5	cslc: ISA	0	90	100	100	100	80	20	80	0	NA	10	NA	NA	NA	NA	NA	0	0	0	0	0	44.62	0
6	cslc: Decoder	70	90	100	100	100	70	70	70	0	NA	100	NA	NA	NA	NA	NA	0	0	0	NA	0	58.33	0
7	cslc: VC	0	80	70	70	70	0	30	0	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	26.67	0
8	cslc: Tb	0	80	70	70	70	0	0	100	0	NA	0	NA	NA	NA	NA	NA	0	0	0	NA	0	32.5	0
9	cslc: RF	70	90	100	100	100	100	70	100	0	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	62.5	0
10	cslc: Fifo	70	90	100	100	100	100	100	100	0	NA	90	NA	NA	NA	NA	NA	0	0	0	NA	0	65	0
11	cslc: Reg	0	60	100	100	100	50	0	80	0	NA	20	NA	NA	NA	NA	NA	0	0	0	NA	0	42.5	0
12	cslc: Pipeline	0	70	100	100	100	0	0	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	28.46	0
13	cslc: CSLomNum	70	NA	100	100	100	100	0	50	0	0	100	NA	NA	NA	NA	NA	0	0	0	NA	0	45.83	NA
	Cslc: CSL stmt/expr	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
	Cslc: CSL docgen	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
	Cslc: CSL language	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA	0	0	0	NA	0	0	0
17	cslc: autoroute	0	0	100	100	0	100	NA	50	0	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	0
18	cslc:automapper	0	0	100	100	0	50	NA	30	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	35	NA
16	cslc: inst tree	0	NA	NA	NA	NA	NA	NA	65	0	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	30	NA
	Cslc: CLI	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	NA
	Cslc: verilog PP	0	NA	80	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	80	NA
	Cslc: CSL PP/regex	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	50	NA
15	CSL pp: regex	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	###	NA
19	cslc: Bus ifc	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	0	0	NA
20	cslc: Buses	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
21	cslc: Clock gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
22	cslc: Compare	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	NA
23	cslc: Counter	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	NA
24	cslc: Memory	0	0	0	0	0	0	10	60	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	5	NA
25	cslc: Procon	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
26	cslc: Sched	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	NA
27	cslc: Arbiter	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
28	cslc: ASM	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	0	0	0	0
29	sw_lib: ASM	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
30	sw_lib: Csim	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
31	cslc: GUI	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	NA
32	clsc: cmd	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	NA
33	CSL pp: Aikido	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA
	HW: Processor ring	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA
	HW: RISC	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA
	HW: ASP	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA

STATUS LEGEND put percentages in the boxes

not started
under construction
under test
completed
intersection between row
Not applicable
Divider

Priorities
Low priority
medium priority
high pri

File name = csl_class.ods
misc/project_management/csl_class.ods

Overall project average

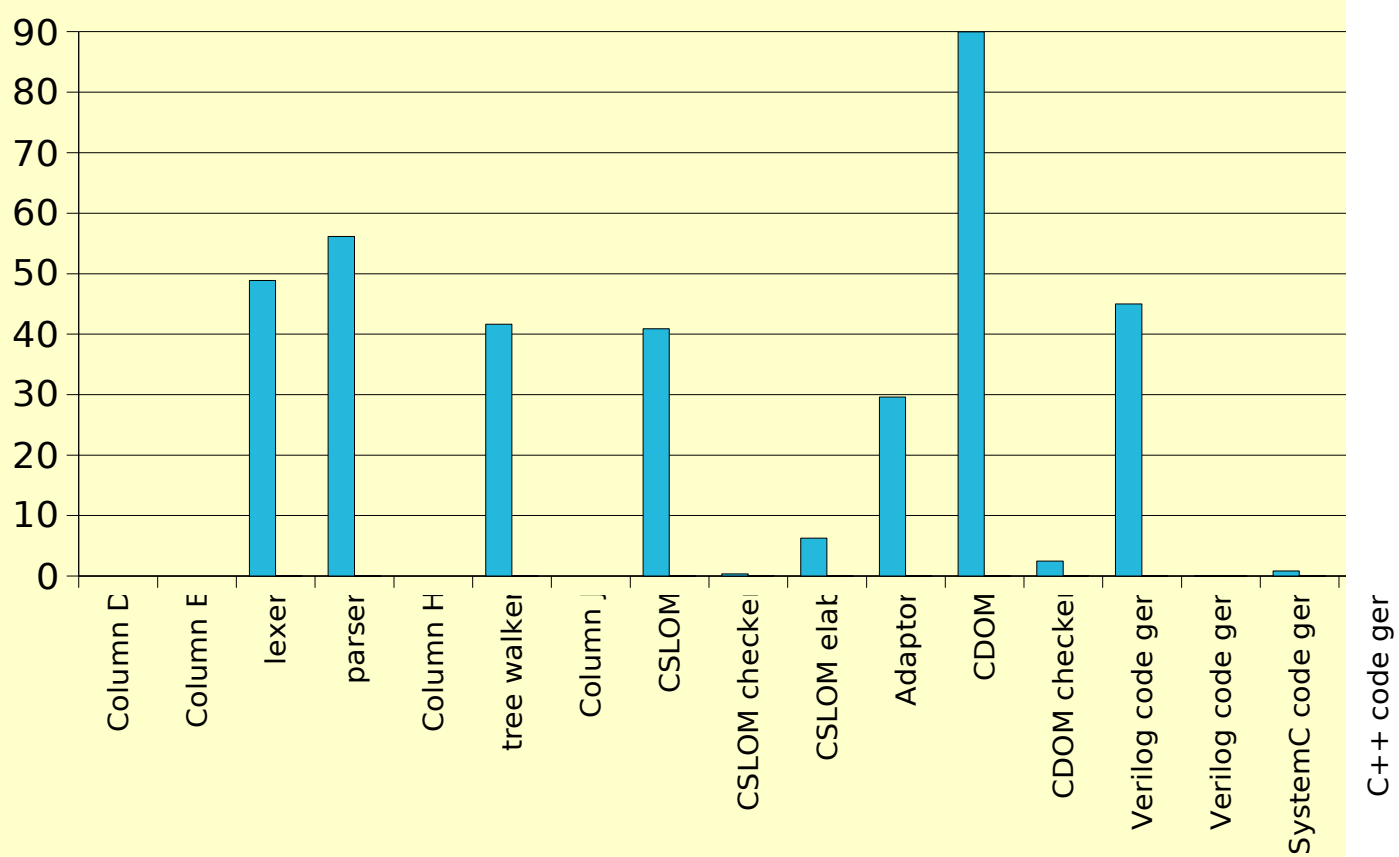
26.4

Stages

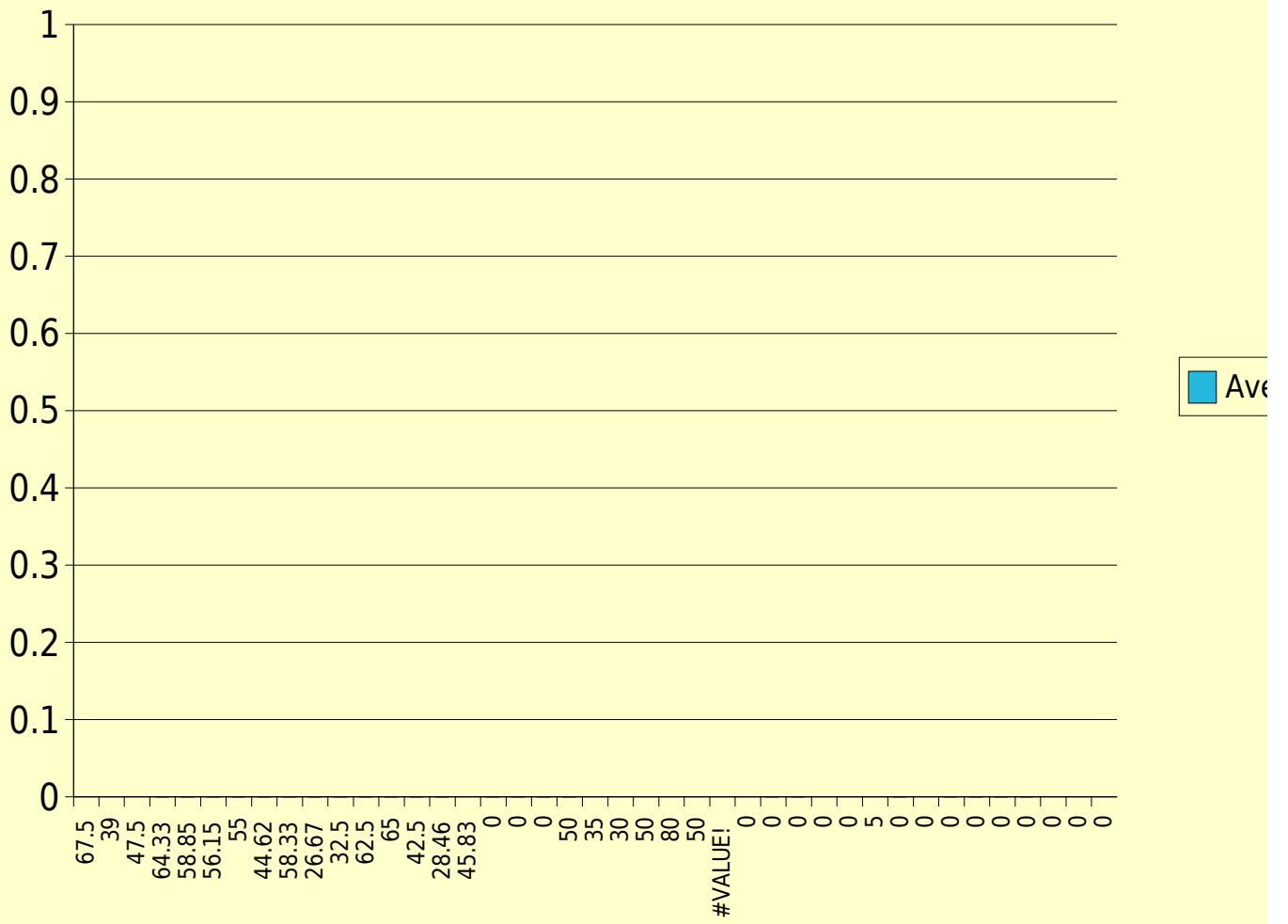
Averages crt week
Averages prev week

	lexer	
0	48.86	
0	56.14	
	parser	
	tree walker	
0	41.66	
	CSLOM	
0	40.89	
0	0.36	
	CSLOM checker	
0	6.25	
	CSLOM elab	
0	29.6	
	Adaptor	
0	90	
	CDOM	
0	2.5	
	CDOM checker	
0	45	
	Verilog code gen	
0	0	
	Verilog code gen	
0	0.83	
	SystemC code gen	
0	0	
	C++ code gen	
0	0	
	document code gen	
0	0	
	CSIM	
0	0	
	IDE	
0	0	

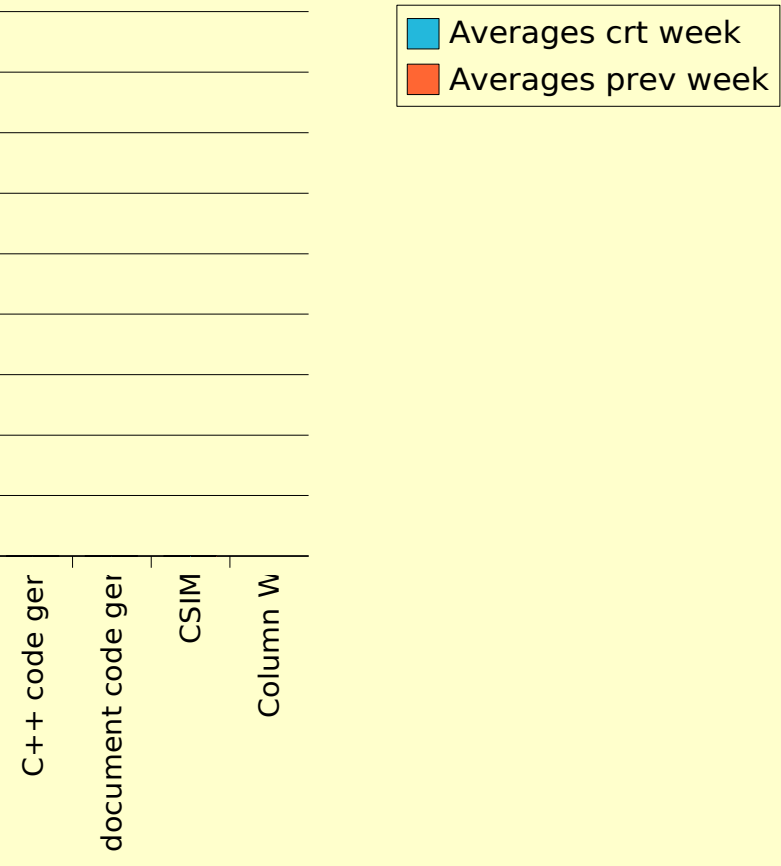
Development stage



Class development



es



verages prev week

	CSL CLASS	Tests passing %	Language syntax	lexer/misc	parser	Parser checks	tree walker	CSLom cmd	CSLom	CSLom checker	CSLom elab	Adaptor	CDOM	CDOM checker	Verilog code gen	VHDL code gen	C++ code gen	SystemC code gen	document gen	CSIM codegen	CSLC ASM	IDE	Averages crt week	Averages prev week
	cscl: Verilog Parser	0	NA	90	90	0	90	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	67.5	42
	cscl: CDOM	0	NA	NA	NA		NA	NA	NA	NA	NA	NA	90	5	90	0	NA	NA	NA	NA	NA	NA	46.25	45
1	cscl: Interconn	0	90	98	98	98	98	95	95	10	NA	90	NA	NA	NA	NA	0	0	0	0	NA	0	59.38	46.33
2	cscl: Enum	0	90	100	100	100	100	80	95	0	NA	100	NA	NA	NA	NA	0	0	0	0	0	0	54.64	44.06
3	cscl: Field	0	90	100	100	100	100	70	90	0	NA	80	NA	NA	NA	NA	0	0	0	0	0	0	52.14	42.19
4	cscl: Memmap	0	90	100	100	100	80	50	80	0	NA	60	NA	NA	NA	NA	0	0	0	0	NA	0	50.77	44.33
5	cscl: ISA	0	90	100	100	100	80	20	80	0	0	10	NA	NA	NA	NA	0	0	0	0	0	0	38.67	24.41
6	cscl: Decoder	0	90	100	100	100	70	70	70	0	NA	100	NA	NA	NA	NA	0	0	0	0	NA	0	53.85	44.17
7	cscl: VC	0	60	70	70	70	0	30	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	23.08	25.33
8	cscl: Tb	0	60	70	70	70	0	0	100	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	28.46	27.33
9	cscl: RF	0	90	100	100	100	100	70	100	0	NA	90	NA	NA	NA	NA	0	0	0	0	NA	0	57.69	41.33
10	cscl: Fifo	0	90	100	100	100	100	100	100	0	NA	90	NA	NA	NA	NA	0	0	0	0	NA	0	60	47.33
11	cscl: Reg	0	60	100	100	100	50	0	80	0	NA	20	NA	NA	NA	NA	0	0	0	0	NA	0	39.23	24
12	cscl: Pipeline	0	70	100	100	100	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	26.43	3.13
13	cscl: CSLomNum	0	NA	100	100	0	0	0	50	0	0	100	NA	NA	NA	NA	0	0	0	0	NA	NA	26.92	10
	Cscl: CLI	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	50	10
	Cscl: verilog PP	0	NA	80	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	80	10
	Cscl: CSL PP	0	NA	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	50	10
	Cscl: CSL stmt/expr	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	3.13
14	cscl: CDOMNum	0	NA	100	100	NA	90	NA	NA	NA	NA	NA	90	0	NA	NA	NA	NA	NA	NA	NA	NA	76	54.29
15	CSL pp: regex	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	###
16	cscl: inst tree	0	NA	NA	NA	NA	NA	NA	65	0	25	NA	NA	NA	NA	NA	0	0	0	0	NA	0	15	10.56
17	cscl: autoroute	0	NA	100	100	NA	100	NA	50	0	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	66.67	39.44
18	cscl:automapper	0	NA	100	100	NA	50	NA	30	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	46.67	10
19	cscl: Bus ifc	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	0	NA	NA	0	0
20	cscl: Buses	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	NA	0	0
21	cscl: Clock gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
22	cscl: Compare	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	NA	0	0
23	cscl: Counter	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
24	cscl: Memory	0	0	0	0	0	0	10	60	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	5	0.33
25	cscl: Procon	0	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
26	cscl: Sched	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	0	0	0	0	NA	0	0	0
27	cscl: Arbiter	0	0	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	0	0	0	0	NA	NA	0	0
28	cscl: ASM	0	0	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	0	0	0	0	0	NA	0	0
29	sw_lib: ASM	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	###
30	sw_lib: Csim	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	###
31	cscl: GUI	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	22
32	clsc: cmd	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
33	CSL pp: Aikido	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	###
	HW: Processor ring	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	10
	HW: RISC	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	10
	HW: ASP	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	10

STATUS LEGEND put percentages in the boxes

not started
under construction
under test
completed
intersection between row
Not applicable
Divider

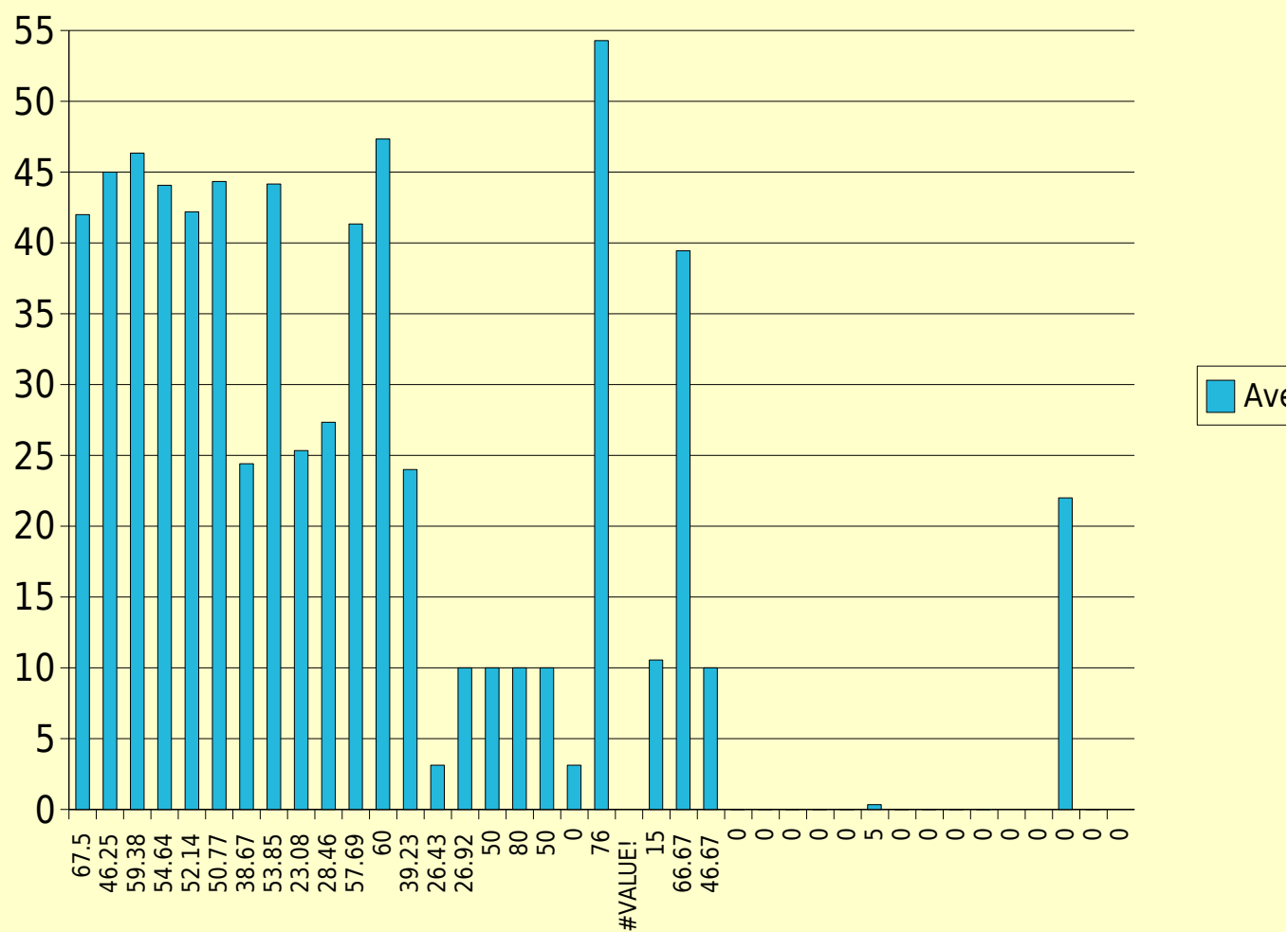
Priorities
Low priority
medium priority
high pri

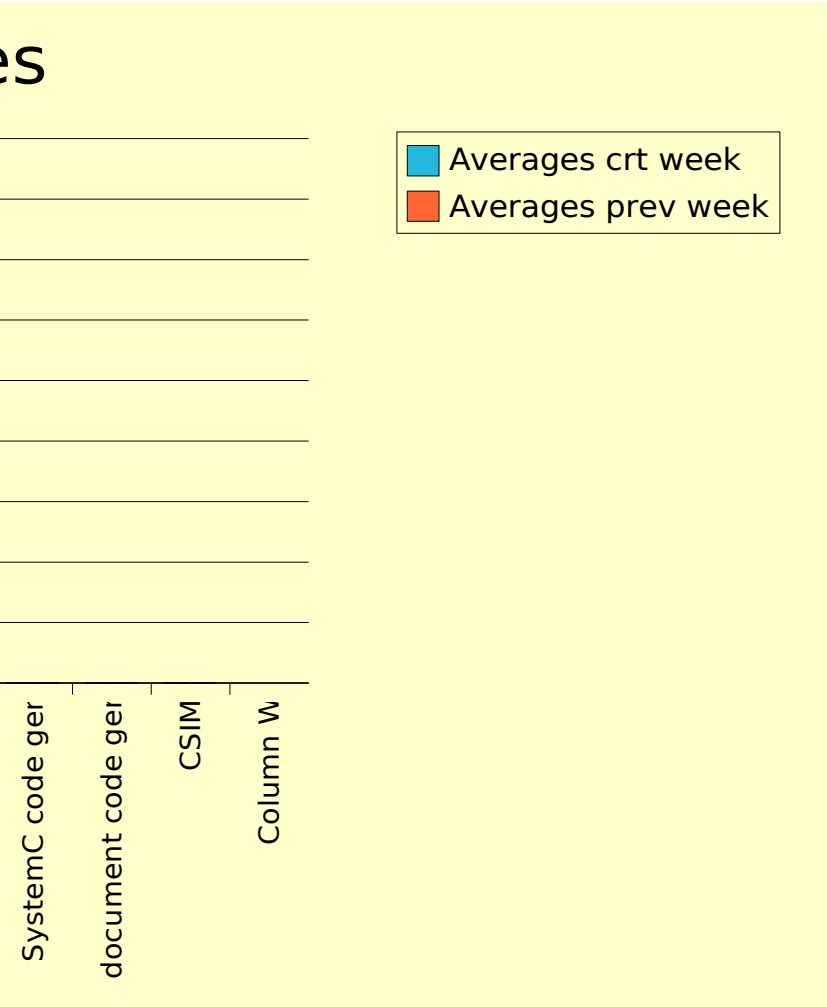
File name = csl_class.ods
misc/project_management/csl_class.ods

Overall project average

26.74

Class development





verages prev week

STATUS LEGEND put percentages in the boxes

25

21.76

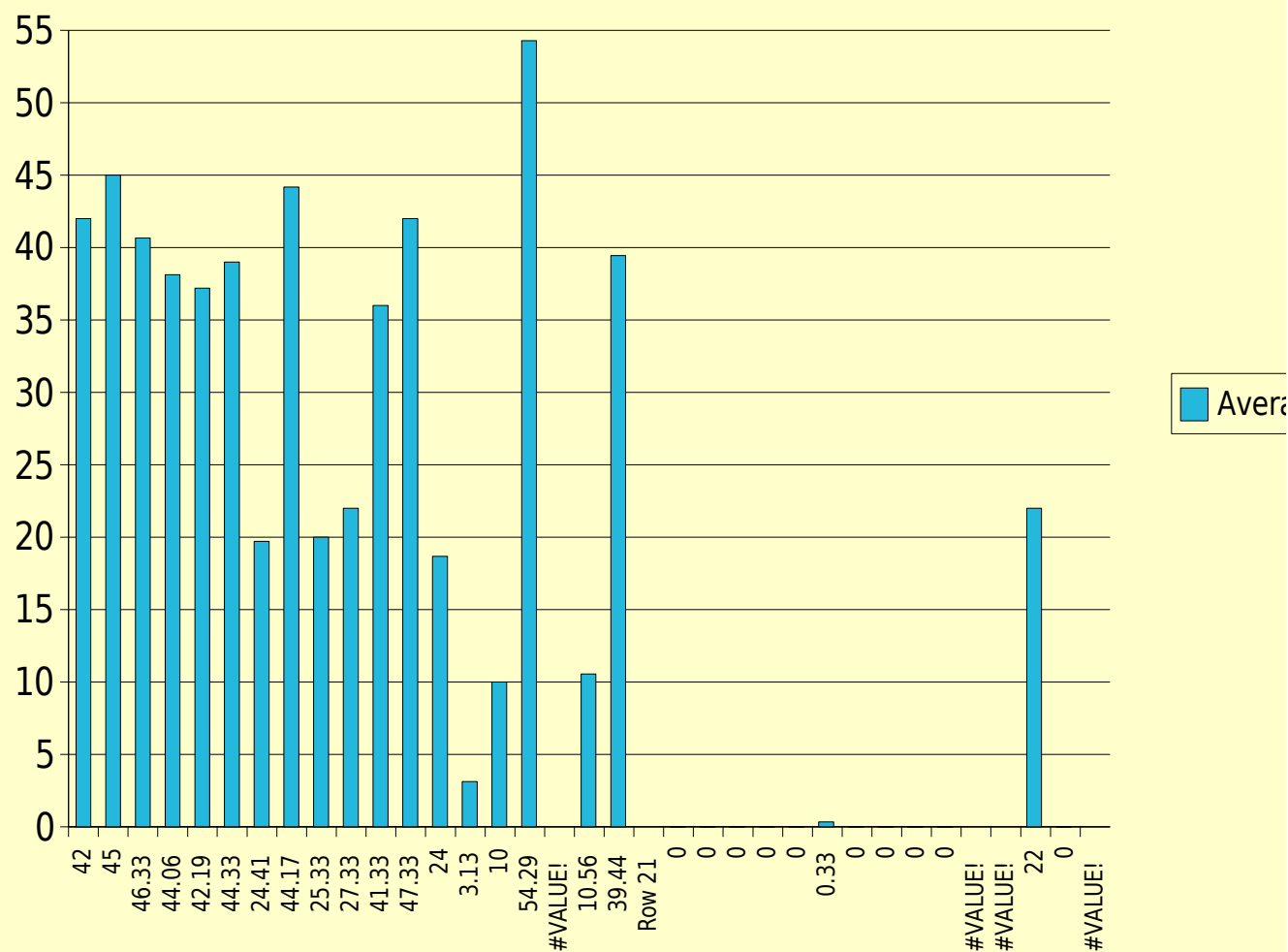
```
File name = csl_class.ods
misc/project_management/csl_class.ods
```

Stages	IDE
	lexer
	parser
	tree walker
	CSL0M
	CSL0M checker
	CSL0M elab
	Adaptor
	CDOM
	CDOM checker
	Verilog code gen
	C++ code gen
	SystemC code gen
	CSIM
	document code gen

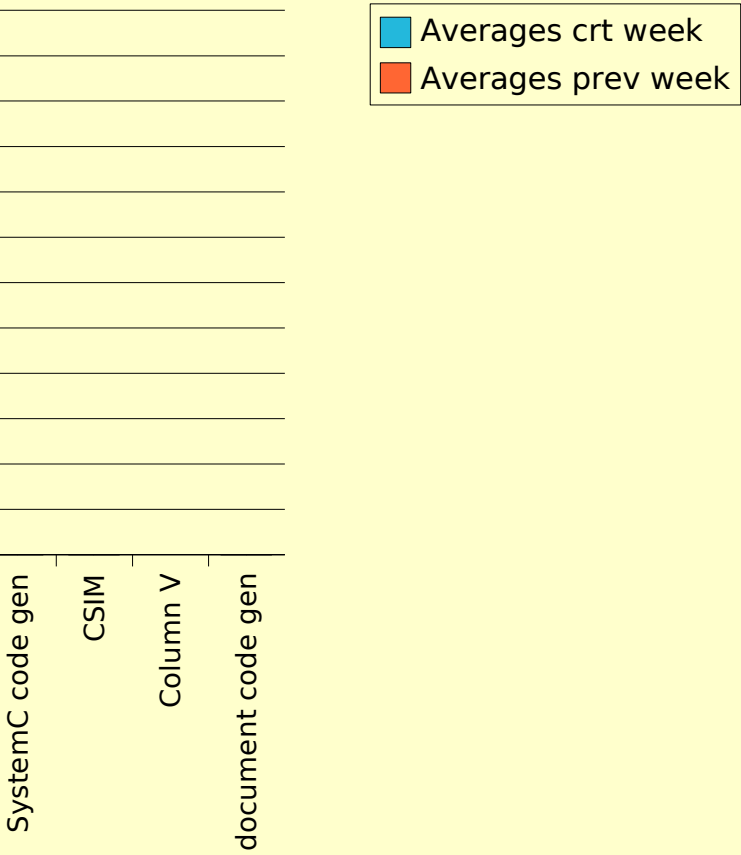
Development stage

Tool	Blue Bar Value	Orange Bar Value
IDE	2	2
Column E	0	0
lexer	52	52
parser	52	51
Column H	0	0
Column I	0	0
tree walker	34	34
Column K	0	0
CSLOM	44	44
CSLOM checker	1	1
CSLOM elab	8	8
Adaptor	27	27
CDOM	58	58
CDOM checker	1	1
Verilog code gen	0	0
C++ code gen	0	0

Class development



S



ages prev week

STATUS LEGEND put percentages in the boxes

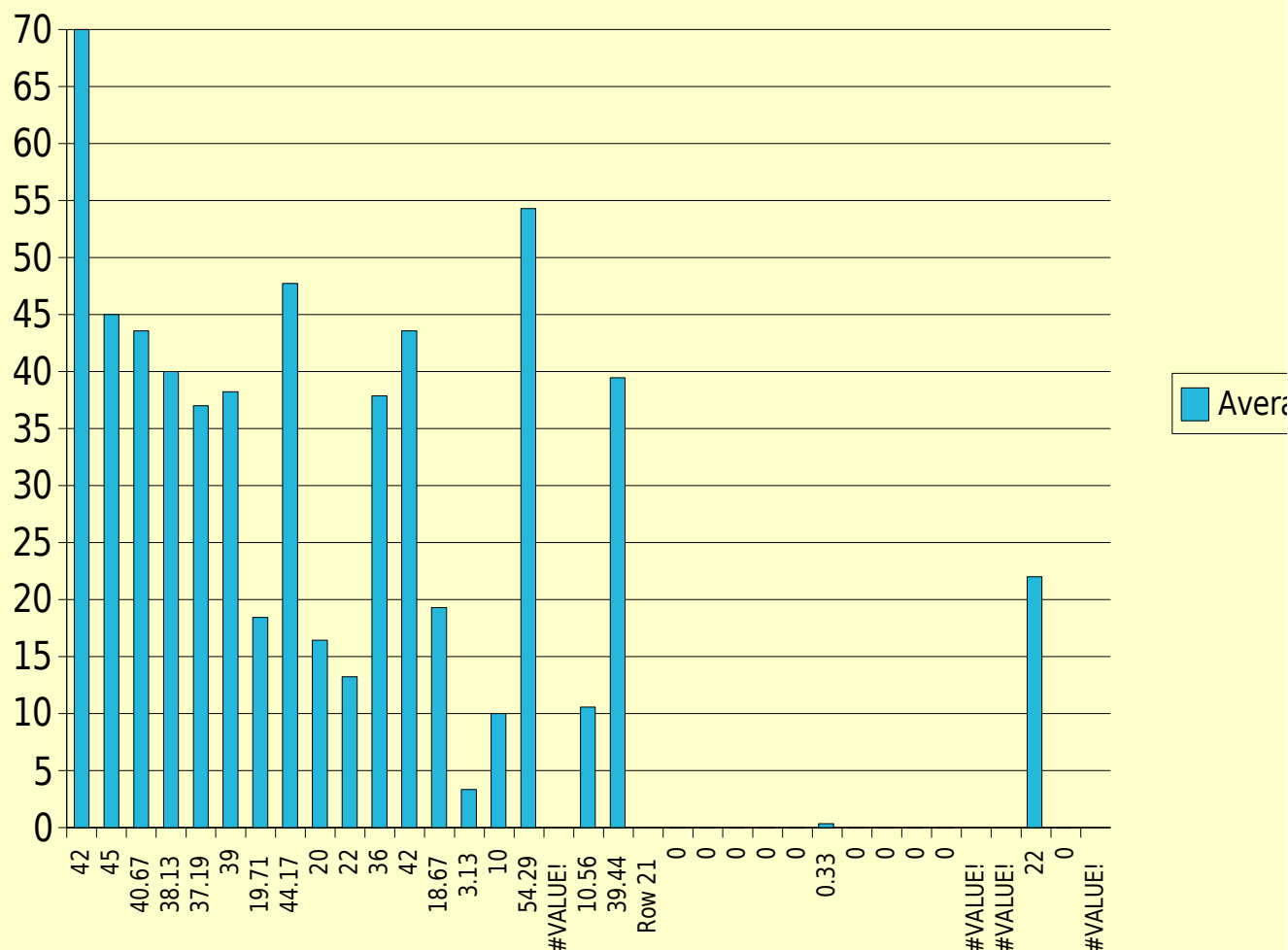
25

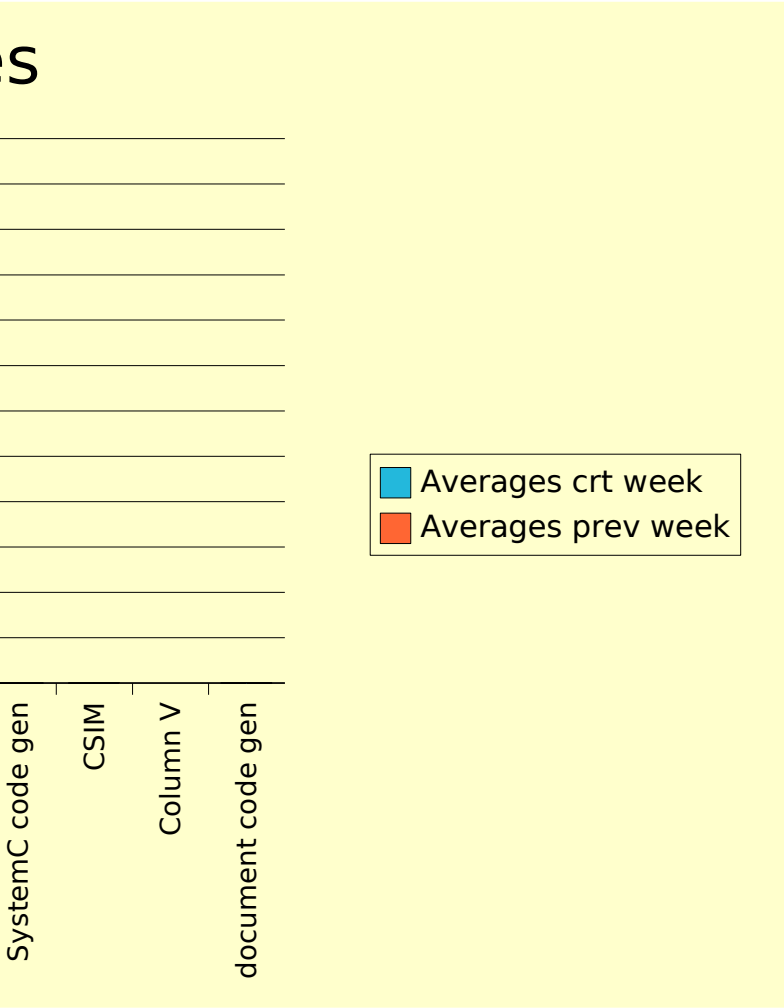
19.4

```
File name = csl_class.odt
misc/project_management/csl_class.odt
```

Stages	
	IDE
	lexer
	parser
	tree walker
	CSLDM
	CSLDM checker
	CSLDM elab
	Adaptor
	CDOM
	CDOM checker
	Verilog code gen
	C++ code gen
	SystemC code gen
	CSIM
	document code gen

Class development





ages prev week

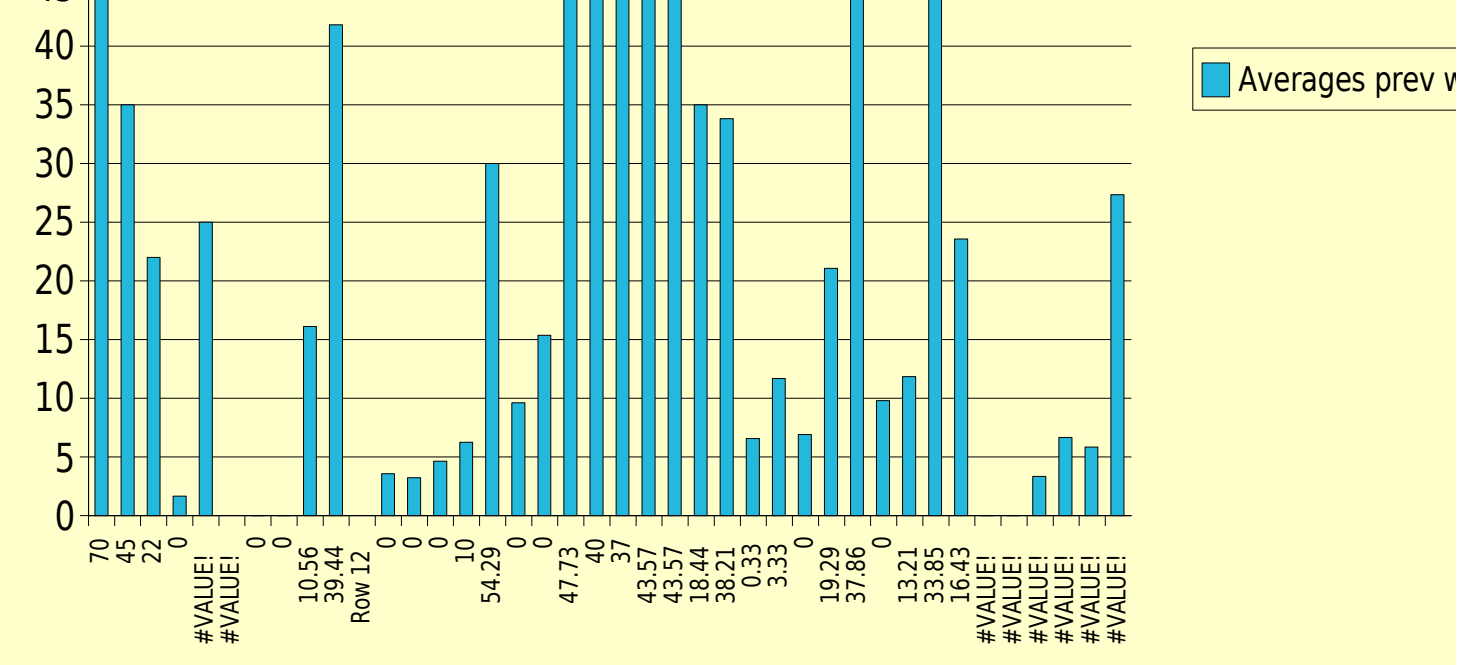
CSL CLASS	IDE	cmd syntax	lexer	parser	Paraphrase	tree walker	CSLom cmd	CSLom	CSLom checker	CSLom elab	Adaptor	CDOM	CDOM checker	Verilog code gen	C++ code gen	SystemC code gen	CSIM	CSLC ASM	document gen	Averages crt week	Averages prev week
cslc: Verilog Parser	NA	NA	70	70		70		NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	70	62
cslc: CDOM	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	85	5	NA	NA	NA	NA	NA	NA	45	35
cslc: GUI	22	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	22	22
clsc: Command shell	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	1.67
CSL pp: regex	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	25
CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	###
cslc: Arbiter	NA	NA	0	0	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	0	0
cslc: ASM	NA	NA	0	0	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	0	NA	0	0
cslc: inst tree	5	NA	NA	NA	NA	NA	NA	65	0	25	NA	0	0	NA	NA	0	0	NA	0	10.56	16.11
cslc: autoroute	5	NA	70	70	0	70	NA	90	0	50	NA	NA	0	NA	NA	NA	NA	NA	NA	39.44	41.82
cslc: automapper	NA	NA	NA	NA	NA	NA	NA	80	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA		
cslc: Bus ifc	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0	NA	0	0	3.57
cslc: Buses	NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	0	0	0	NA	0	0	3.21
cslc: Clock gen	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	0	0	0	NA	0	0	4.64
cslc: CSLomNum	NA	NA	60	40	0	0	0	0	0	0	0	NA	NA	NA	0	NA	NA	NA	NA	10	6.25
cslc: CDOMNum	NA	NA	100	100	0	90	0	NA	NA	NA	NA	90	0	NA	NA	NA	NA	NA	NA	54.29	30
cslc: Compare	NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	0	NA	NA	NA	NA	0	9.62
cslc: Counter	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	0	NA	NA	NA	NA	0	15.36
cslc: Decoder	0	90	70	70	0	70	70	60	0	NA	95	NA	NA	NA	0	NA	NA	NA	NA	47.73	69.29
cslc: Enum	0	90	80	80	0	80	80	100	0	NA	90	NA	NA	NA	0	0	0	0	0	40	46
cslc: Field	0	60	90	90	0	75	80	90	0	NA	70	NA	NA	NA	0	0	0	0	0	37	44.64
cslc: Fifo	0	90	90	90	0	80	80	100	0	NA	80	NA	NA	NA	0	0	0	NA	0	43.57	48.07
cslc: Interconn	0	90	90	90	0	90	60	90	10	NA	90	NA	NA	NA	0	0	0	NA	0	43.57	61
cslc: ISA	0	75	90	90	0	0	0	40	0	0	0	NA	NA	NA	0	0	0	0	0	18.44	35
cslc: Memmap	0	80	80	90	0	75	95	85	0	NA	30	NA	NA	NA	0	0	0	NA	0	38.21	33.82
cslc: Memory	0	0	0	0	0	0	0	5	0	0	0	NA	NA	NA	0	0	0	NA	0	0.33	6.56
cslc: Pipeline	0	50	0	0	0	0	0	0	0	0	0	NA	NA	NA	0	0	0	NA	0	3.33	11.67
cslc: Procon	0	NA	0	0	0	0	0	0	0	0	0	NA	NA	NA	0	0	0	NA	0	0	6.92
cslc: Reg	0	30	90	90	0	0	0	60	0	NA	0	NA	NA	NA	0	0	0	NA	0	19.29	21.07
cslc: RF	0	80	90	90	0	80	0	100	0	NA	90	NA	NA	NA	0	0	0	NA	0	37.86	46.14
cslc: Sched	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	0	0	0	NA	0	0	9.79
cslc: Tb	0	60	60	60	0	0	0	5	0	NA	0	NA	NA	NA	0	0	0	NA	0	13.21	11.85
cslc: Unit	0	NA	90	90	0	90	0	80	0	NA	90	NA	NA	NA	0	0	0	NA	0	33.85	58.62
cslc: VC	0	60	60	60	0	0	0	50	0	NA	0	NA	NA	NA	0	0	0	NA	0	16.43	23.57
sw_lib: ASM	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	0
sw_lib: Csim	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	0
hw_lib: Memcntl	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	3.33
hw_lib: micro eng	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	6.67
hw_lib: Proc. Ring	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	5.83
hw_lib: PSCQN	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	###	27.33

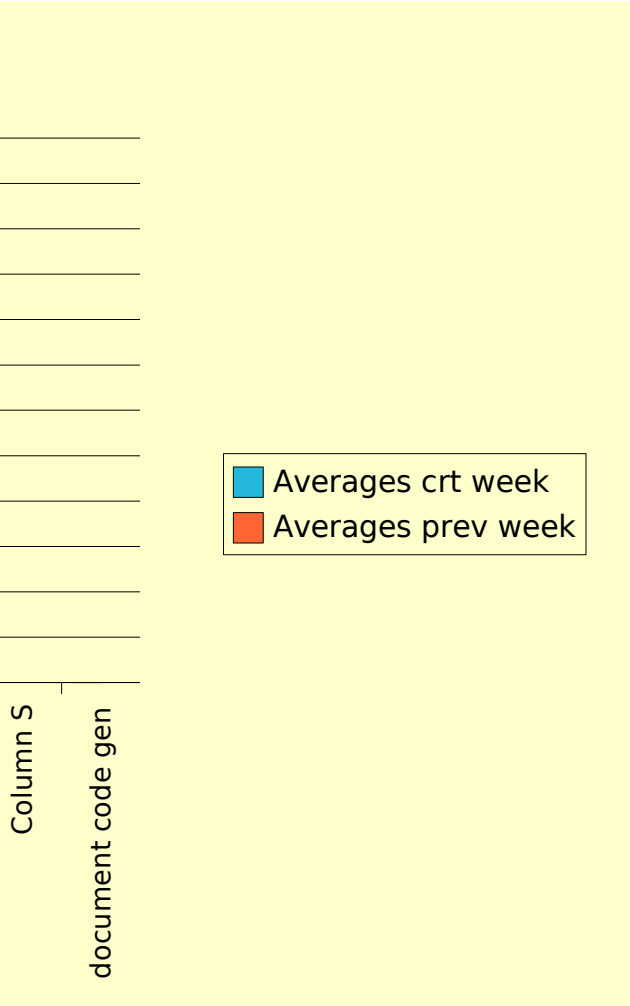
STATUS LEGEND put percentages in the boxes

not started
under construction
under test
completed
intersection between r
Not applicable
Divider

Priorities	Overall project average	19.57
Low priority		
medium priority		
high priority		

File name = csl_class.ods
misc/project_management/csl_class.ods





cscl owner	cscl owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	L-P-Tw Owner	complete: cmd summary syntax	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM cmd	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen
NA		cscl: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA	0		70	70	70		NA	NA	NA	NA	NA	NA	NA	NA	NA	
APA		cscl: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	85	5	NA	NA	NA	
CP		cscl: GUI	NA	NA	NA	NA	NA	NA	NA	NA	22			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
OS		cscl: Command shell	5	NA	NA	NA	NA	NA	NA	0	0			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
APA		cscl:Adaptor	55	55	55	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	55	NA	NA	NA	NA	NA	
APA		cscl:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	90	NA	NA	NA	NA	NA	
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
BZ		cscl: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA		NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	
BZ		cscl: inst tree	NA	25	25	NA	NA	NA	NA	NA	5		NA	NA	NA	NA		65	0	25	0	0	0	NA	NA	NA	
BZ		cscl: autoroute	70	25	25	NA	0	NA	NA	NA	5		NA	70	70	70		75	0	50	NA	NA	NA	NA	NA	NA	
		cscl:automapper																									
BZ		cscl: Bus ifc	25	0	0	25	0	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA	
BZ		cscl: Buses	20	0	0	25	0	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA	
BZ	2	cscl: Clock gen	40	0	0	25	0	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA	
APO		cscl: CSLOmNum	0	0	0	NA	0	0	NA	NA	0		0	60	40	0		0	0	0	0	0	0	NA	NA	NA	
APO		cscl: CDOMNum	0	0	0	NA	0	0	NA	NA	0		100	100	100	90		0	0	0	0	90	0	NA	NA	NA	
OS	2	cscl: Compare	50	0	0	25	50	NA	NA	NA	NA		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA	
OS	1	cscl: Counter	90	50	0	25	50	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA	
APA	1	cscl: Decoder	90	90	100	25	0	NA	NA	NA	0	OS	90	100	100	100		80	100	NA	95	NA	0	NA	NA	NA	
BZ		cscl: Enum	90	0	0	50	40	NA	NA	NA	0	AB	90	80	80	80	80	100	0	NA	0	NA	0	NA	NA	NA	
SP		cscl: Field	10	90	75	50	80	NA	NA	NA	0	GD	x	50	50	50	80	90	0	NA	0	NA	0	NA	NA	NA	
OS	3	cscl: Fifo	75	0	0	55	1	NA	NA	NA	0	OS	90	80	80	80	80	100	0	NA	80	NA	0	NA	NA	NA	
BZ	1	cscl: Interconn	80	70	70	50	5	NA	NA	NA	0	GD	90	90	90	90		90	90	0	90	NA	10	NA	NA	NA	
SP	1	cscl: ISA	90	85	85	60	90	NA	NA	NA	0	AB	75	0	0	0		40	0	0	0	NA	0	NA	NA	NA	
AB	1	cscl: Memmap	70	0	0	50	90	NA	NA	NA	0	GD	80	80	30	20	95	60	0	0	0	NA	0	NA	NA	0	
BZ	2	cscl: Memory	50	0	0	50	0	NA	NA	NA	0		0	0	0	0		5	0	0	0	NA	0	NA	NA	0	
BZ	2	cscl: Pipeline	70	0	0	50	5	NA	NA	NA	0	OS	50	0	0	0		0	0	0	0	NA	0	NA	NA	NA	
OS	?	cscl: Procon	83	0	0	NA	0	NA	NA	NA	0		NA	0	0	0		0	0	NA	0	NA	0	NA	NA	NA	
OS		cscl: Reg	85	0	0	50	70	NA	NA	NA	0	GD	30	0	0	0		60	0	NA	0	NA	0	NA	NA	NA	
OS		cscl: RF	86	0	0	50	0	NA	NA	NA	0	AB	80	80	80	80		100	0	NA	90	NA	0	NA	NA	NA	
BZ		cscl: Sched	87	0	0	50	0	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA	
OS		cscl: Tb	89	0	0	NA	0	NA	NA	NA	0	AB	60	0	0	0		5	0	NA	0	NA	0	NA	NA	NA	
BZ		cscl: Unit	90	90	90	50	0	NA	NA	NA	0		NA	90	90	90		80	0	NA	90	NA	2	NA	NA	NA	
OS		cscl: VC	90	0	0	50	80	NA	NA	NA	0	OS	60	0	0	0		50	0	NA	0	NA	0	NA	NA	NA	
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	
CL		hw_lib: micro eng	0	0	0	40	0	0	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	

STATUS LEGEND put percentages in the boxes

not started	light red
under construction	yellow
under test	light magenta
completed	green
intersection between r	light blue
Not applicable	dark violet
Divider	black

Priorities

Low priority	orange 4
medium priority	violet
high priority	red

File name = cscl_class.ods

misc/project_management/cscl_class.ods

Stages

Averages crt week

Averages prev week

51.26	51.4	documented: Syntax
18.18	18.33	documented: data structures
16.52	16.67	documented: algorithms
39.58	39.58	documented: hw circuits
16.65	19.39	coded: CSL proto C++ lib
0	0	coded: Verilog library
#DIV/0!	#DIV/0!	coded: CSIM
0	0	coded: Command shell
1.23	1.23	coded: IDE
32.31	36.54	coded: lexer
29.62	33.85	coded: parser
27.31	31.54	coded: tree walker
38.65	38.46	coded: CSLOM
7.31	7.31	coded: CSLOM checker
7.5	7.5	coded: CSLOM elab
21.48	21.85	coded: Adaptor
43.75	43.75	coded: CDOM
0.65	0.65	coded: CDOM checker
#DIV/0!	#DIV/0!	coded: Verilog code gen
#DIV/0!	#DIV/0!	coded: VHDL code gen
0	0	coded: C++ code gen
#DIV/0!	#DIV/0!	coded: SystemC code gen

codeid: document code gen	uses CSLOM: CSL Info class																							uses csic Compiler				uses libcsic.o		uses Verilog Library		CSL C++ prototype lib owner			
	uses CSLOM: CSL Unit	uses CSLOM: Arbiter	uses CSLOM: Assembler	uses CSLOM: Bus ifc	uses CSLOM: Buses	uses CSLOM: Clock	uses CSLOM: Compare	uses CSLOM: Counter	uses CSLOM: Csim	uses CSLOM: Decoder	uses CSLOM: Event	uses CSLOM: FF	uses CSLOM: Isa	uses CSLOM: Mem location	uses CSLOM: Mem map	uses CSLOM: Memory	uses CSLOM: pattern_gen	uses CSLOM: Pipeline	uses CSLOM: Scheduler	uses CSLOM: State	uses CSLOM: Unit	uses CSLOM: VC					priority								
NA																										NA	NA								
NA																										NA	NA								
NA		I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I			NA	NA								
NA		I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I						X							
NA	I																									NA	NA	X							
NA																												X							
NA																												X							
NA																										NA	NA	X							
NA	I		I											I							I				I	SP		X							
NA																										NA	NA	X							
NA																										NA	NA	X							
NA																																			
NA		I			I	I				I	I	I										I			I	SP		X							
NA					I					I															I	SP		X							
NA						I																			I	SP	4	X							
NA																																			
NA							I																	I		SP	3	X							
NA	I	I						I																I		SP	2	X							
NA										I												I				SP		X							
NA										I															I	SP		X							
NA										I															I	SP		X							
NA		I						I	I	I		I		I		I					I				I	BZ		X							
NA										I															I	SP	1	X							
NA					I					I															I	SP	1	X							
NA	I														I										I	BZ		X							
NA		I												I											I	SP	5	X							
NA																									I	SP		X							
NA	I							I			I			I		I					I				I	UN									
NA	I	I						I				I									I				I	SP	6	X							
NA	I	I								I		I		I		I	I				I				I	SP	7	X							
NA																			I		I				UN			X							
NA	I	I				I	I	I		I	I					I				I	I	I		I	NA	NA	X								
NA		I																			I			I	UN			X							
NA																						I			OB										
NA	I			I																				I		NA	NA								
NA	I																									NA	NA								
NA	I		I					I	I			I				I				I					I	NA	NA								
NA	I			I				I									I	I			I				I	NA	NA								
NA	I																I	I			I				NA	NA									
NA	I																								NA	NA									

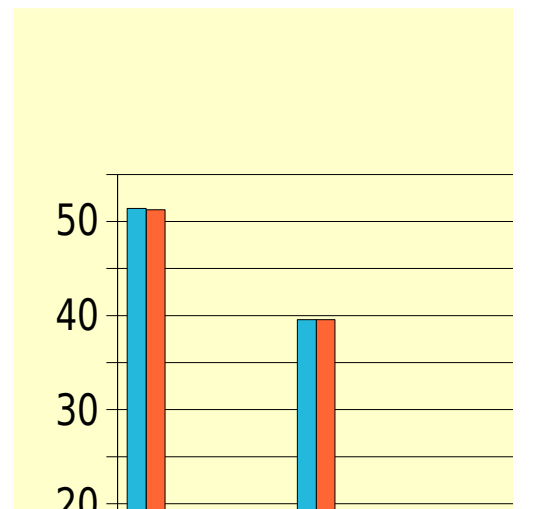
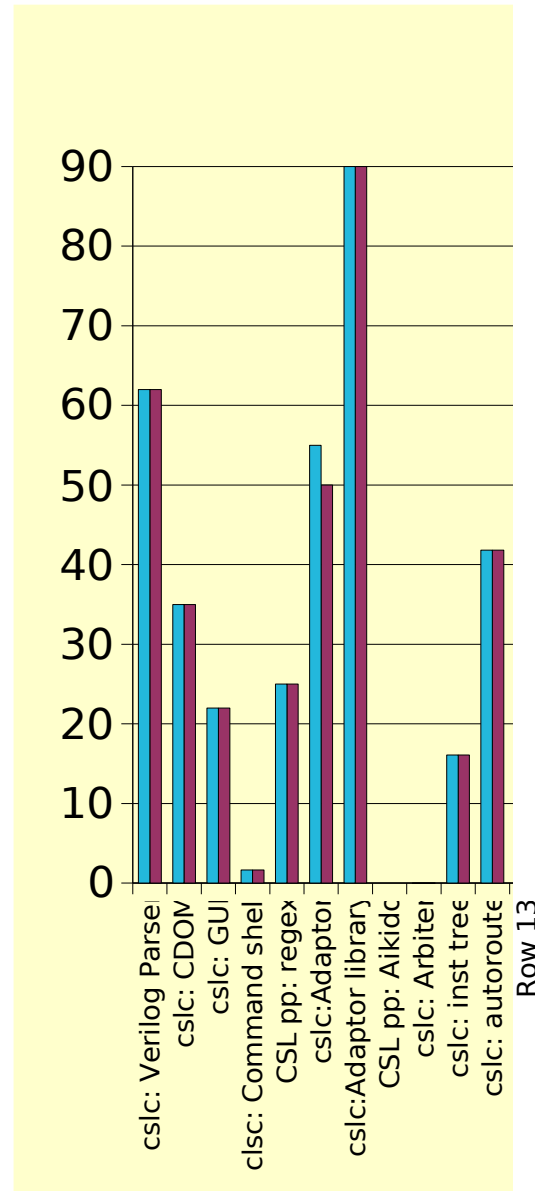
CSL CLASS	Averages crt v	Averages prev week
cslc: Verilog Parser	62	62
cslc: CDOM	35	35
cslc: GUI	22	22
clsc: Command shell	1.67	1.67
CSL pp: regex	25	25
cslc:Adaptor	55	50
cslc:Adaptor library	90	90
CSL pp: Aikido	#DIV/0!	#DIV/0!
cslc: Arbiter	0	0
cslc: inst tree	16.11	16.11
cslc: autoroute	41.82	41.82
cslc: Bus ifc	3.57	3.57
cslc: Buses	3.21	3.21
cslc: Clock gen	4.64	4.64
cslc: CSLOmNum	6.25	6.25
cslc: CDOMNum	30	30
cslc: Compare	9.62	6.15
cslc: Counter	15.36	12.5
cslc: Decoder	69.29	67.5
cslc: Enum	46	46
cslc: Field	44.64	35
cslc: Fifo	48.07	41.73
cslc: Interconn	61	61
cslc: ISA	35	34.67
cslc: Memmap	33.82	32.94
cslc: Memory	6.56	6.56
cslc: Pipeline	11.67	11.67
cslc: Procon	6.92	6.92
cslc: Reg	21.07	21.07
cslc: RF	46.14	39
cslc: Sched	9.79	9.79
cslc: Tb	11.85	11.85
cslc: Unit	58.62	58.62
cslc: VC	23.57	25.71

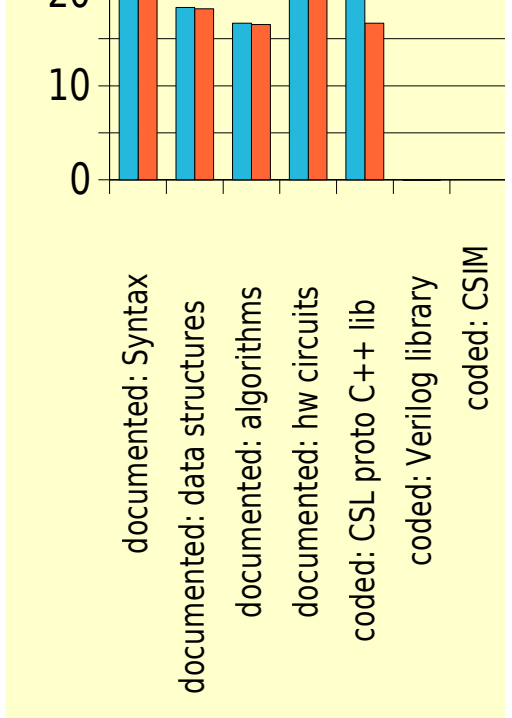
sw_lib: ASM	0	0
sw_lib: Csim	0	0
hw_lib:Memcntl	3.33	3.33
hw_lib: micro eng	6.67	6.67
hw_lib: Proc. Ring	5.83	5.83
hw_lib: PSCQN	27.33	27.33

STATUS LEGEND	put percentages in the boxes
not started	
under construction	Overall project average
under test	25.28
completed	
intersection between r	
Not applicable	
Divider	

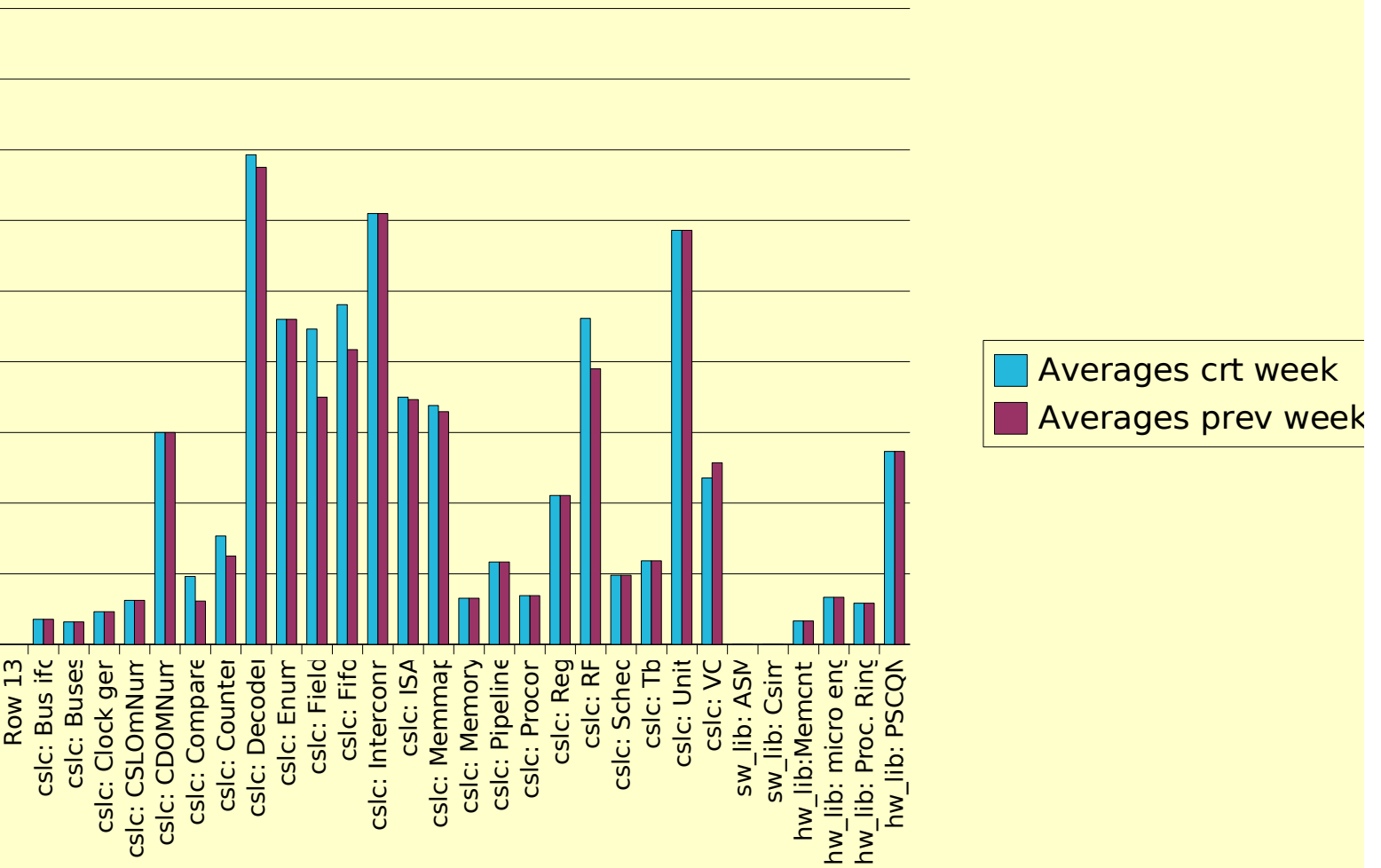
Priorities
Low priority
medium priority
high priority

File name = csl_class.ods
misc/project_management/csl_class.ods

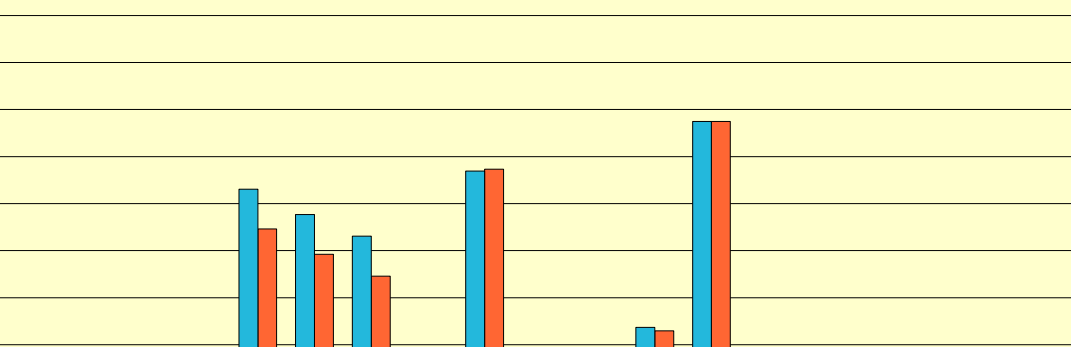


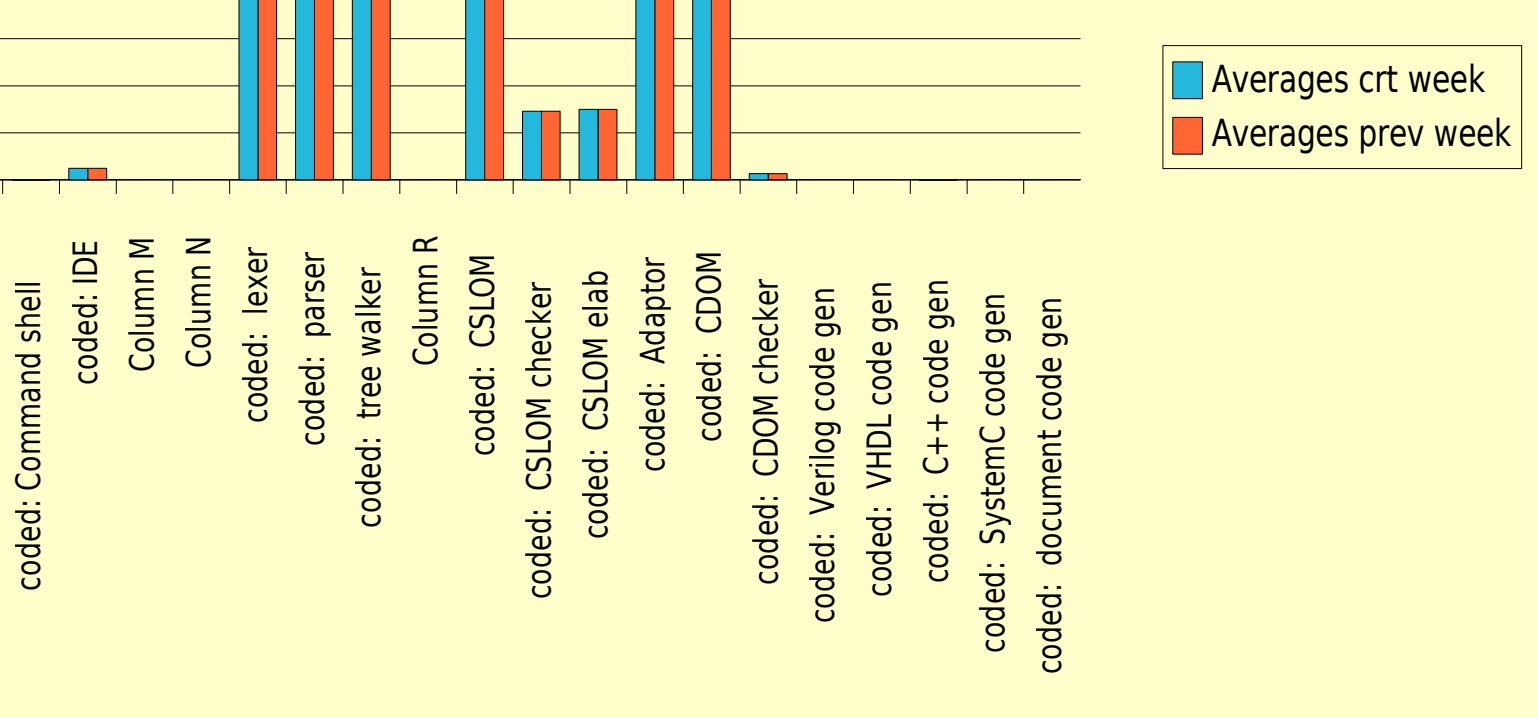


Class development



Development stages





cs/c owner	cs/c owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	L-P-Tw Owner	complete: cmd summary syntax	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM cmd	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	
NA		cs/c: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA	0		70	70	70		NA	NA	NA	NA	NA	NA	NA	NA	NA		
APA		cs/c: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	85	5	NA	NA	NA		
CP		cs/c: GUI	NA	NA	NA	NA	NA	NA	NA	NA	22			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		
OS		cs/c: Command shell	5	NA	NA		NA	NA	NA	0	0			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		
APA		cs/c:Adaptor	50	50	50	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	50	NA	NA	NA	NA	NA		
APA		cs/c:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	90	NA	NA	NA	NA	NA		
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		
BZ		cs/c: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA		NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA		
BZ		cs/c: inst tree	NA	25	25	NA	NA	NA	NA	NA	5		NA	NA	NA	NA		65	0	25	0	0	0	NA	NA	NA		
BZ		cs/c: autoroute	70	25	25	NA	0	NA	NA	NA	5		NA	70	70	70		75	0	50	NA	NA	NA	NA	NA	NA		
BZ		cs/c: Bus ifc	25	0	0	25	0	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA		
BZ		cs/c: Buses	20	0	0	25	0	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA		
BZ	2	cs/c: Clock gen	40	0	0	25	0	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA		
APO		cs/c: CSLOmNum	0	0	0	NA	0	0	NA	NA	0		0	60	40	0		0	0	0	0	0	0	NA	NA	NA		
APO		cs/c: CDOMNum	0	0	0	NA	0	0	NA	NA	0		100	100	100	90		0	0	0	0	90	0	NA	NA	NA		
OS	2	cs/c: Compare	50	0	0	25	5	NA	NA	NA	NA		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA		
OS	1	cs/c: Counter	90	50	0	25	10	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA		
APA	1	cs/c: Decoder	90	90	100	25	0	NA	NA	NA	0	OS	90	100	100	100		60	100	NA	90	NA	0	NA	NA	NA		
BZ		cs/c: Enum	90	0	0	50	40	NA	NA	NA	0	AB	90	80	80	80	80	100	0	NA	0	NA	0	NA	NA	NA		
SP		cs/c: Field	10	90	75	50	80	NA	NA	NA	0	GD	50	0	0	0	80	90	0	NA	0	NA	0	NA	NA	NA		
OS	3	cs/c: Fifo	75	0	0	55	1	NA	NA	NA	0	OS	90	50	50	50	80	95	0	NA	80	NA	0	NA	NA	NA		
BZ	1	cs/c: Interconn	80	70	70	50	5	NA	NA	NA	0	GD	90	90	90	90		90	90	0	90	NA	10	NA	NA	NA		
SP	1	cs/c: ISA	90	85	85	60	90	NA	NA	NA	0	AB	70	0	0	0		40	0	0	0	NA	0	NA	NA	NA		
AB	1	cs/c: Memmap	70	0	0	50	90	NA	NA	NA	0	GD	80	80	30	20	70	70	0	0	0	NA	0	NA	NA	0		
BZ	2	cs/c: Memory	50	0	0	50	0	NA	NA	NA	0		0	0	0	0		5	0	0	0	NA	0	NA	NA	0		
BZ	2	cs/c: Pipeline	70	0	0	50	5	NA	NA	NA	0	OS	50	0	0	0		0	0	0	0	NA	0	NA	NA	NA		
OS	?	cs/c: Procon	83	0	0	NA	0	NA	NA	NA	0		NA	0	0	0		0	0	NA	0	NA	0	NA	NA	NA		
OS		cs/c: Reg	85	0	0	50	70	NA	NA	NA	0	GD	30	0	0	0		60	0	NA	0	NA	0	NA	NA	NA		
OS		cs/c: RF	86	0	0	50	0	NA	NA	NA	0	AB	80	50	50	50		90	0	NA	90	NA	0	NA	NA	NA		
BZ		cs/c: Sched	87	0	0	50	0	NA	NA	NA	0		0	0	0	0		0	0	NA	0	NA	0	NA	NA	NA		
OS		cs/c: Tb	89	0	0	NA	0	NA	NA	NA	0	AB	60	0	0	0		5	0	NA	0	NA	0	NA	NA	NA		
BZ		cs/c: Unit	90	90	90	50	0	NA	NA	NA	0		NA	90	90	90		80	0	NA	90	NA	2	NA	NA	NA		
OS		cs/c: VC	90	0	0	50	80	NA	NA	NA	0	OS	60	0	0	0		80	0	NA	0	NA	0	NA	NA	NA		
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA		
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA		
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA		
CL		hw_lib: micro eng	0	0	0	40	0	0	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA		
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA		
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA			NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA		
		STATUS LEGEND put percentages in the boxes																										
		not started	light red																									
		under construction	yellow																									
		under test	light magenta																									
		completed	green																									
		intersection between r	light blue																									
		Not applicable	dark violet																									
		Divider	black																									
		Priorities																										
		Low priority	orange 4																									
		medium priority	violet																									
		high priority	red																									

Stages

Averages crt week

Averages prev week

50.97	51.26	documented: Syntax
18.18	18.18	documented: data structures
16.52	16.52	documented: algorithms
39.58	39.58	documented: hw circuits
16.65	16.65	coded: CSL proto C++ lib
0	0	coded: Verilog library
#DIV/0!	#DIV/0!	coded: CSIM
0	0	coded: Command shell
1.23	1.23	coded: IDE
26.54	32.31	coded: lexer
25.77	29.62	coded: parser
23.46	27.31	coded: tree walker
37.88	38.65	coded: CSLOM
7.31	7.31	coded: CSLOM checker
7.5	7.5	coded: CSLOM elab
20.93	21.48	coded: Adaptor
43.75	43.75	coded: CDOM
0.65	0.65	coded: CDOM checker
#DIV/0!	#DIV/0!	coded: Verilog code gen
#DIV/0!	#DIV/0!	coded: VHDL code gen
0	0	coded: C++ code gen
#DIV/0!	#DIV/0!	coded: SystemC code gen

[illegible]

CSL CLASS	Averages crt v	Averages prev week
cslc: Verilog Parser	62	62
cslc: CDOM	35	35
cslc: GUI	22	22
clsc: Command shell	1.67	1.67
CSL pp: regex	25	25
cslc:Adaptor	50	48.75
cslc:Adaptor library	90	90
CSL pp: Aikido	#DIV/0!	#DIV/0!
cslc: Arbiter	0	0

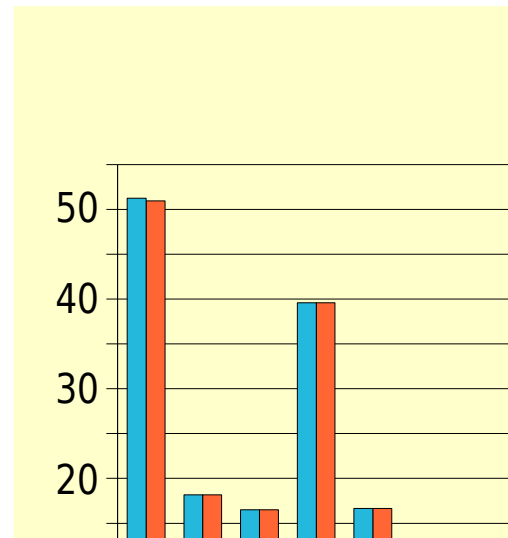
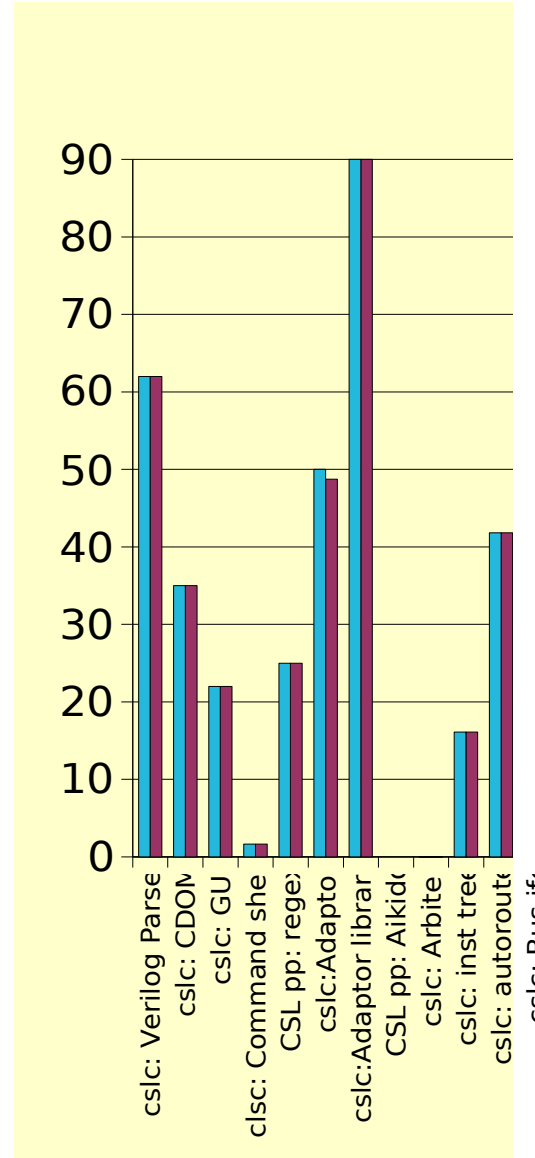
cslc: inst tree	16.11	16.11
cslc: autoroute	41.82	41.82
cslc: Bus ifc	3.57	3.57
cslc: Buses	3.21	3.21
cslc: Clock gen	4.64	4.64
cslc: CSLOmNum	6.25	6.25
cslc: CDOMNum	30	30
cslc: Compare	6.15	6.15
cslc: Counter	12.5	12.5
cslc: Decoder	67.5	67.5
cslc: Enum	46	25.71
cslc: Field	35	31.07
cslc: Fifo	41.73	38.29
cslc: Interconn	61	61
cslc: ISA	34.67	34
cslc: Memmap	32.94	21.88
cslc: Memory	6.56	6.56
cslc: Pipeline	11.67	11.67
cslc: Procon	6.92	6.92
cslc: Reg	21.07	21.07
cslc: RF	39	39
cslc: Sched	9.79	9.79
cslc: Tb	11.85	11.85
cslc: Unit	58.62	58.62
cslc: VC	25.71	25.71
sw_lib: ASM	0	0
sw_lib: Csim	0	0
hw_lib:Memcntl	3.33	3.33
hw_lib: micro eng	6.67	6.67
hw_lib: Proc. Ring	5.83	5.83
hw_lib: PSCQN	27.33	27.33

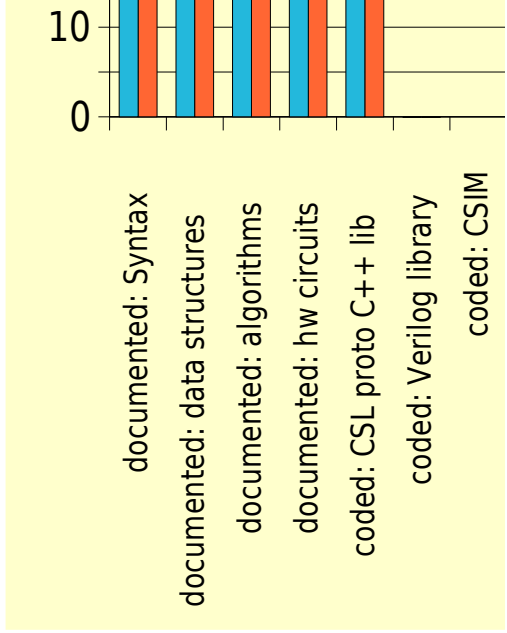
STATUS LEGEND put percentages in the boxes

not started	
under construction	Overall project average
under test	24.21
completed	
intersection between r	
Not applicable	
Divider	

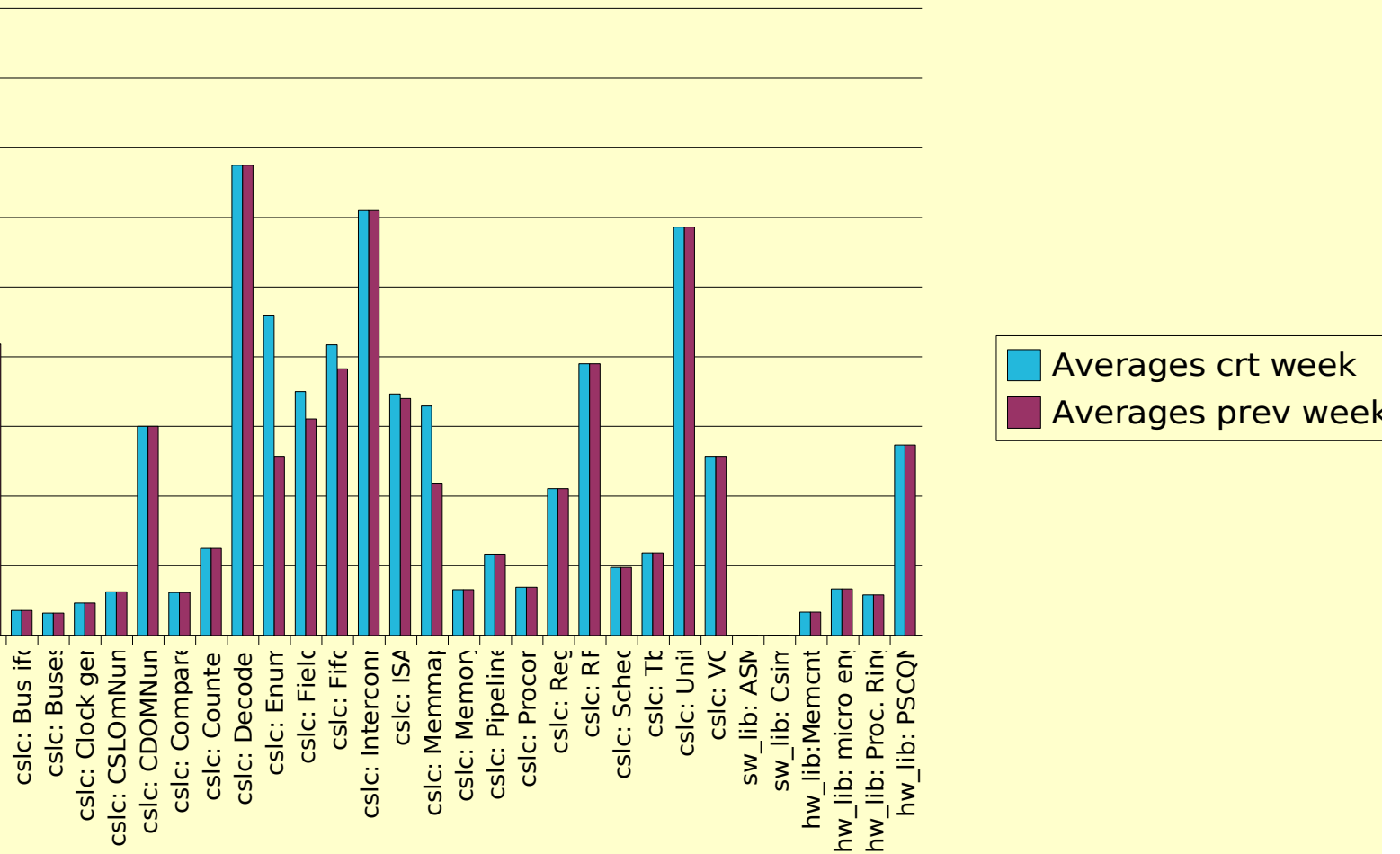
Priorities
Low priority
medium priority
high priority

File name = csl_class.ods
misc/project_management/csl_class.ods

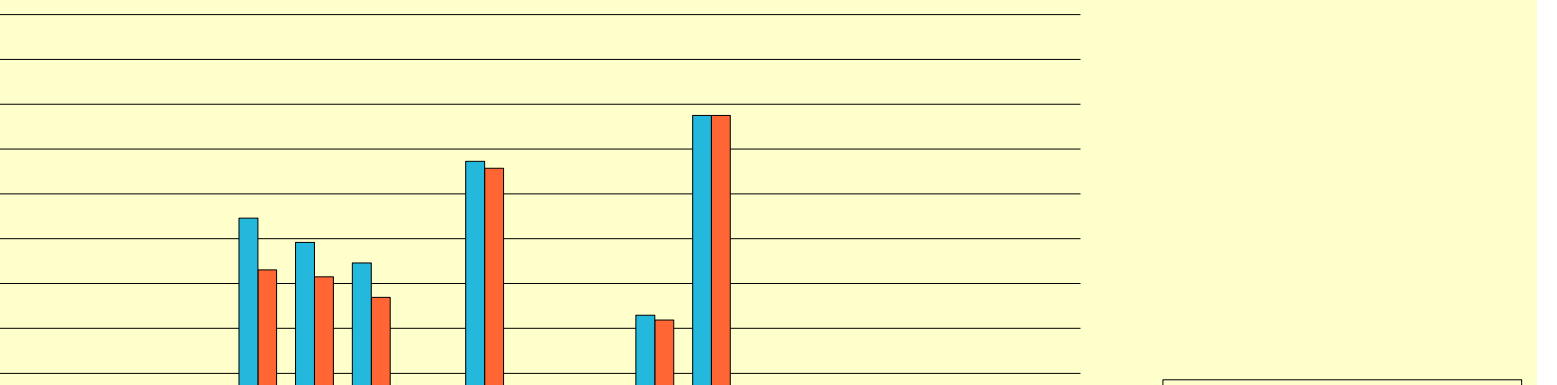


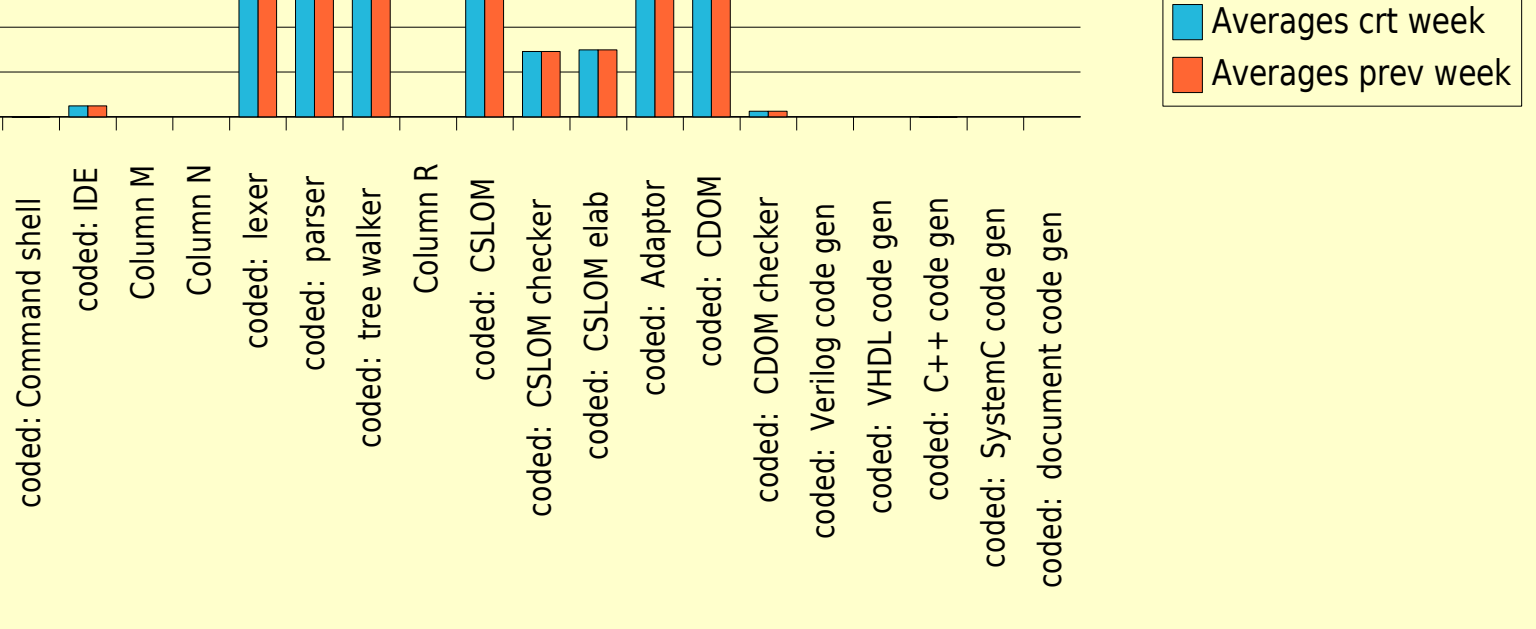


Class development



Development stages





cs/c owner	cs/c owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	L-P-Tw Owner	complete: cmd summary syntax	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	coded: document code gen
NA		cs/c: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA	0		70	70	70	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
APA		cs/c: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	85	5	NA	NA	NA	NA	NA	
CP		cs/c: GUI	NA	NA	NA	NA	NA	NA	NA	NA	22			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
OS		cs/c: Command shell	5	NA	NA	NA	NA	NA	NA	0	0			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
APA		cs/c:Adaptor	50	50	50	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	45	NA	NA	NA	NA	NA	NA	
APA		cs/c:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	90	NA	NA	NA	NA	NA	NA	
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
BZ		cs/c: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA		NA	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: inst tree	NA	25	25	NA	NA	NA	NA	NA	5		NA	NA	NA	NA	65	0	25	0	0	0	NA	NA	NA	NA	
BZ		cs/c: autoroute	70	25	25	NA	0	NA	NA	NA	5		NA	70	70	70	75	0	50	NA	NA	NA	NA	NA	NA	NA	
BZ		cs/c: Bus ifc	25	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: Buses	20	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
BZ	2	cs/c: Clock gen	40	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
APO		cs/c: CSLOmNum	0	0	0	NA	0	0	NA	NA	0		0	60	40	0	0	0	0	0	0	0	NA	NA	NA	NA	
APO		cs/c: CDOMNum	0	0	0	NA	0	0	NA	NA	0		100	100	100	90	0	0	0	0	90	0	NA	NA	NA	NA	
OS	2	cs/c: Compare	50	0	0	25	5	NA	NA	NA	NA		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS	1	cs/c: Counter	90	50	0	25	10	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
APA	1	cs/c: Decoder	90	90	100	25	0	NA	NA	NA	0	OS	90	100	100	100	60	100	NA	90	NA	0	NA	NA	NA	NA	
BZ		cs/c: Enum	90	0	0	50	40	NA	NA	NA	0	AB	90	0	0	0	90	0	NA	0	NA	0	NA	NA	NA	NA	
SP		cs/c: Field	10	90	75	50	80	NA	NA	NA	0	GD	50	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	
OS	3	cs/c: Fifo	75	0	0	55	1	NA	NA	NA	0	OS	90	50	50	50	95	0	NA	70	NA	0	NA	NA	NA	NA	
BZ	1	cs/c: Interconn	80	70	70	50	5	NA	NA	NA	0	GD	90	90	90	90	90	90	0	90	NA	10	NA	NA	NA	NA	
SP	1	cs/c: ISA	80	85	85	60	90	NA	NA	NA	0	AB	70	0	0	0	40	0	0	0	NA	0	NA	NA	NA	NA	
AB	1	cs/c: Memmap	70	0	0	50	90	NA	NA	NA	0	GD	50	10	10	0	70	0	0	0	NA	0	NA	NA	0	NA	
BZ	2	cs/c: Memory	50	0	0	50	0	NA	NA	NA	0		0	0	0	0	5	0	0	0	NA	0	NA	NA	0	NA	
BZ	2	cs/c: Pipeline	70	0	0	50	5	NA	NA	NA	0	OS	50	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	
OS	?	cs/c: Procon	83	0	0	NA	0	NA	NA	NA	0		NA	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: Reg	85	0	0	50	70	NA	NA	NA	0	GD	30	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: RF	86	0	0	50	0	NA	NA	NA	0	AB	80	50	50	50	90	0	NA	90	NA	0	NA	NA	NA	NA	
BZ		cs/c: Sched	87	0	0	50	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: Tb	89	0	0	NA	0	NA	NA	NA	0	AB	60	0	0	0	5	0	NA	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: Unit	90	90	90	50	0	NA	NA	NA	0		NA	90	90	90	80	0	NA	90	NA	2	NA	NA	NA	NA	
OS		cs/c: VC	90	0	0	50	80	NA	NA	NA	0	OS	60	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
CL		hw_lib: micro eng	0	0	0	40	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	

STATUS LEGEND put percentages in the boxes

not started	light red
under construction	yellow
under test	light magenta
completed	green
intersection between r	light blue
Not applicable	dark violet
Divider	black

Priorities

Low priority	orange 4
medium priority	violet
high priority	red

File name = cs/c_class.ods

misc/project_management/cs/c_class.ods

Stages

Averages crt week

Averages prev week

50.97	50.97	documented: Syntax
18.18	18.18	documented: data structures
16.52	16.52	documented: algorithms
39.58	39.58	documented: hw circuits
16.65	16.65	coded: CSL proto C++ lib
0	0	coded: Verilog library
#DIV/0!	#DIV/0!	coded: CSIM
0	0	coded: Command shell
1.15	1.23	coded: IDE
26.54	26.54	coded: lexer
25.77	25.77	coded: parser
23.46	23.46	coded: tree walker
34.04	37.88	coded: CSLOM
7.31	7.31	coded: CSLOM checker
7.5	7.5	coded: CSLOM elab
21.48	20.93	coded: Adaptor
43.75	43.75	coded: CDOM
0.65	0.65	coded: CDOM checker
#DIV/0!	#DIV/0!	coded: Verilog code gen
#DIV/0!	#DIV/0!	coded: VHDL code gen
0	0	coded: C++ code gen
#DIV/0!	#DIV/0!	coded: SystemC code gen
#DIV/0!	#DIV/0!	coded: document code gen

[illegible]

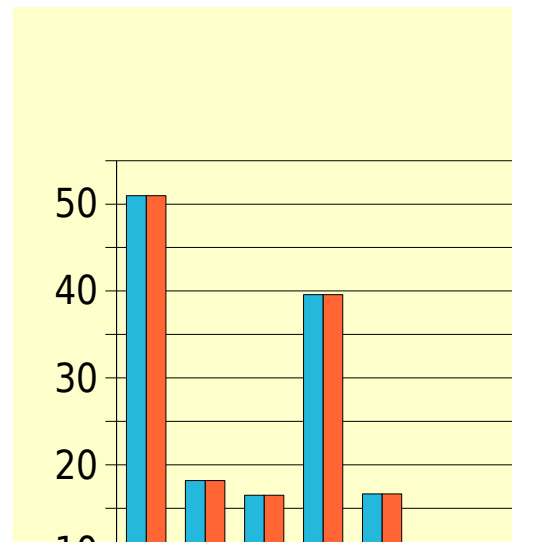
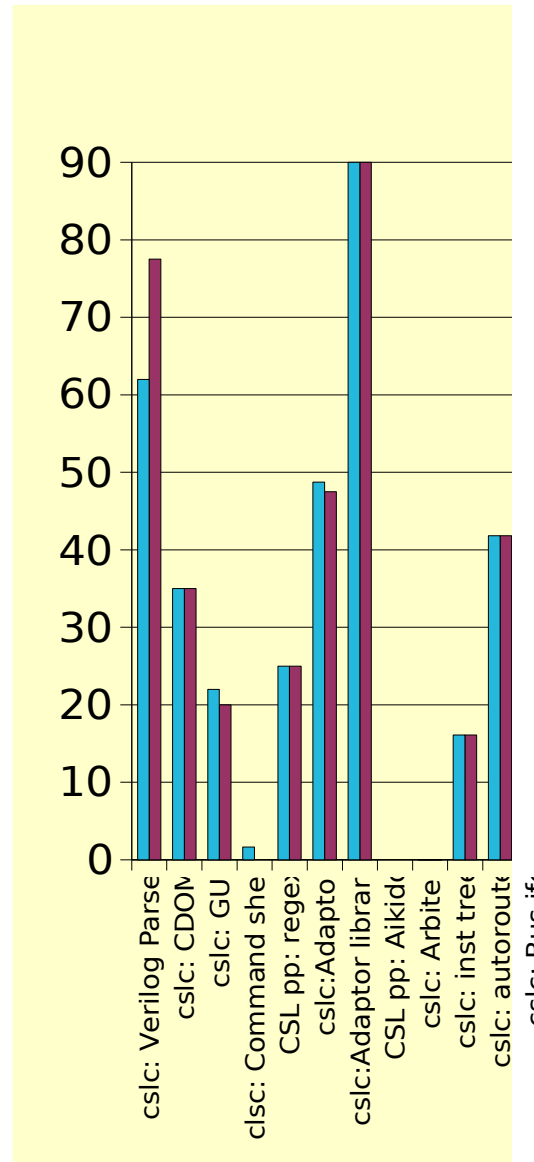
CSL CLASS	Averages crt v	Averages prev week
cslc: Verilog Parser	62	77.5
cslc: CDOM	35	35
cslc: GUI	22	20
clsc: Command shell	1.67	
CSL pp: regex	25	25
cslc:Adaptor	48.75	47.5
cslc:Adaptor library	90	90
CSL pp: Aikido	#DIV/0!	#DIV/0!
cslc: Arbiter	0	0

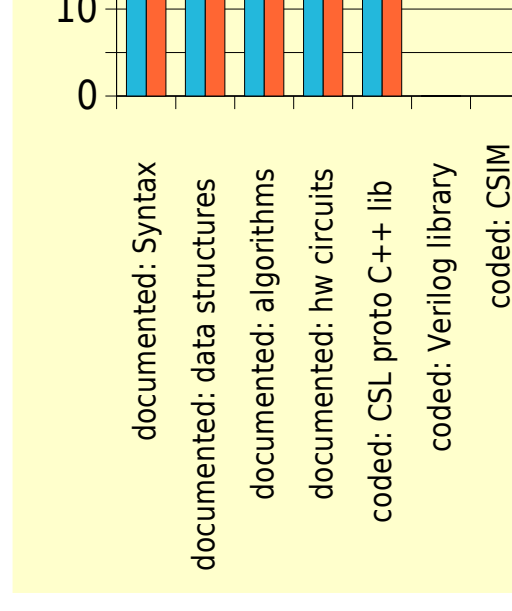
cslc: inst tree	16.11	16.11
cslc: autoroute	41.82	41.82
cslc: Bus ifc	3.57	3.57
cslc: Buses	3.21	3.21
cslc: Clock gen	4.64	4.64
cslc: CSLOmNum	6.25	6.25
cslc: CDOMNum	30	30
cslc: Compare	6.15	6.15
cslc: Counter	12.5	12.5
cslc: Decoder	67.5	70.36
cslc: Enum	25.71	23.57
cslc: Field	31.07	27.14
cslc: Fifo	38.29	39
cslc: Interconn	61	61
cslc: ISA	34	34
cslc: Memmap	21.88	19.38
cslc: Memory	6.56	6.56
cslc: Pipeline	11.67	11.67
cslc: Procon	6.92	6.92
cslc: Reg	21.07	21.07
cslc: RF	39	38.64
cslc: Sched	9.79	9.79
cslc: Tb	11.85	11.85
cslc: Unit	58.62	58.62
cslc: VC	25.71	25.71
sw_lib: ASM	0	0
sw_lib: Csim	0	0
hw_lib:Memcntl	3.33	3.33
hw_lib: micro eng	6.67	6.67
hw_lib: Proc. Ring	5.83	5.83
hw_lib: PSCQN	27.33	27.33

STATUS LEGEND	put percentages in the boxes
not started	
under construction	Overall project average
under test	22.72
completed	
intersection between r	
Not applicable	
Divider	

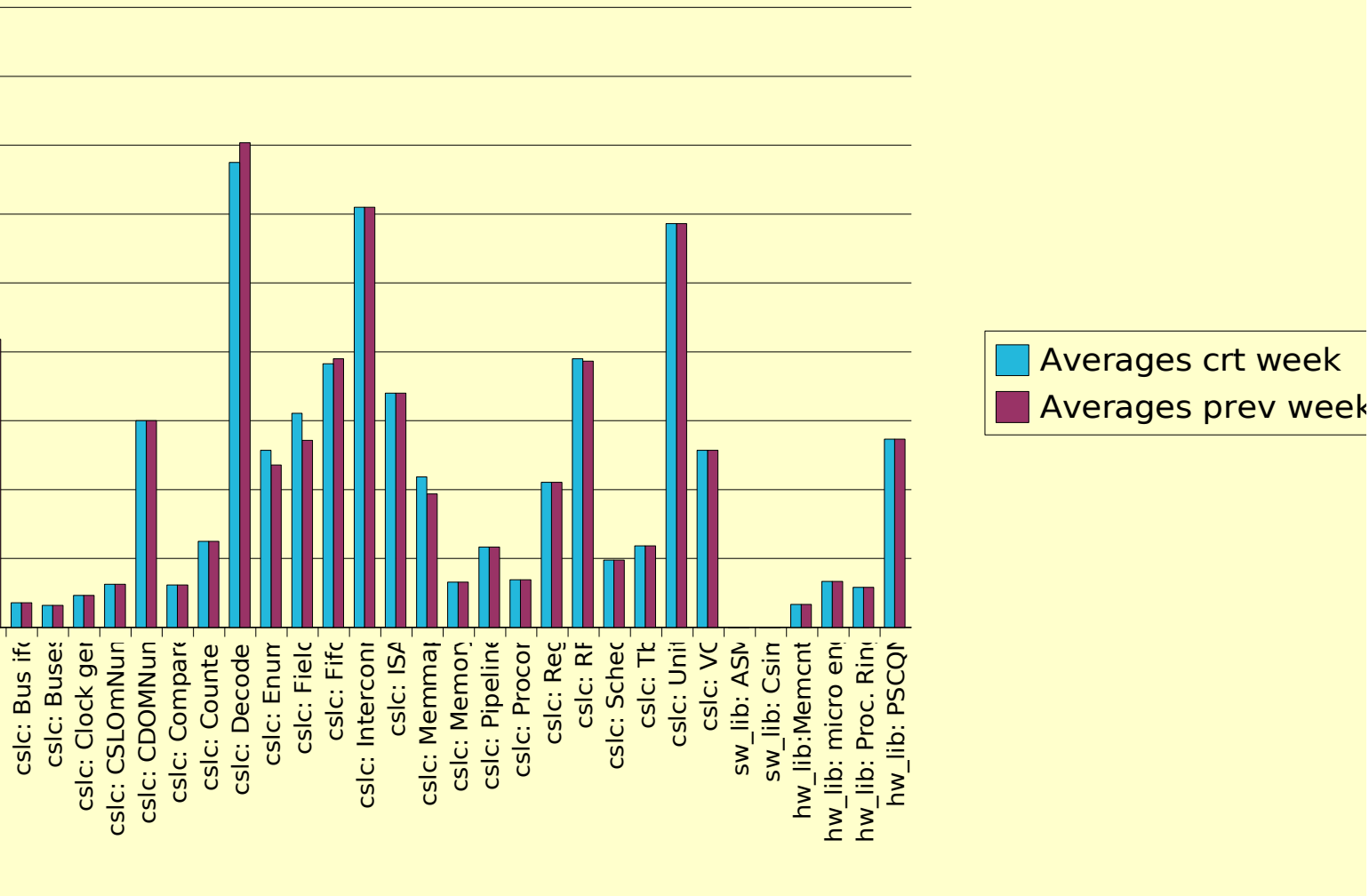
Priorities
Low priority
medium priority
high priority

File name = csl_class.ods
misc/project_management/csl_class.ods

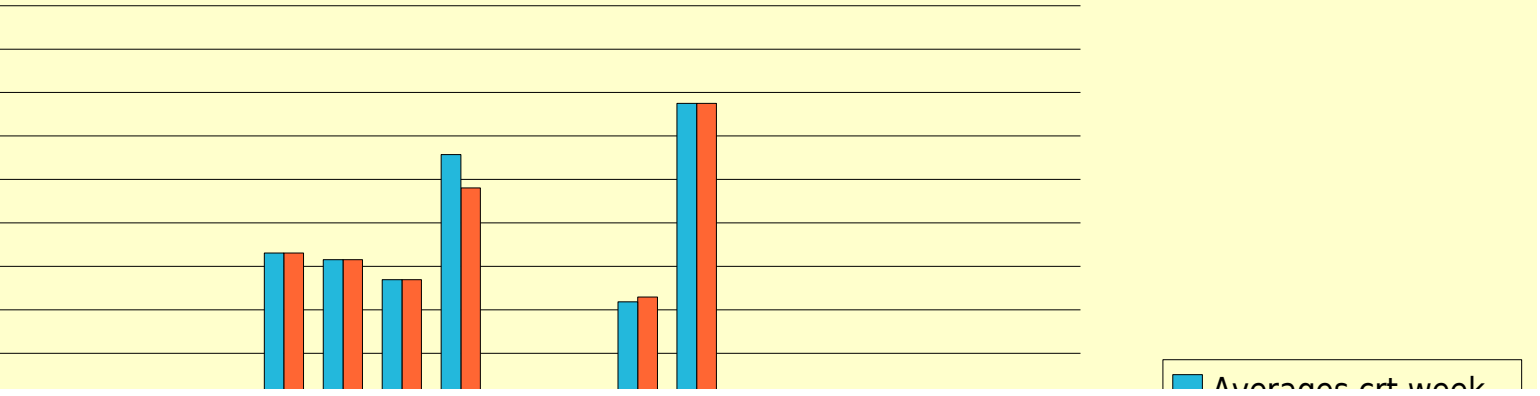


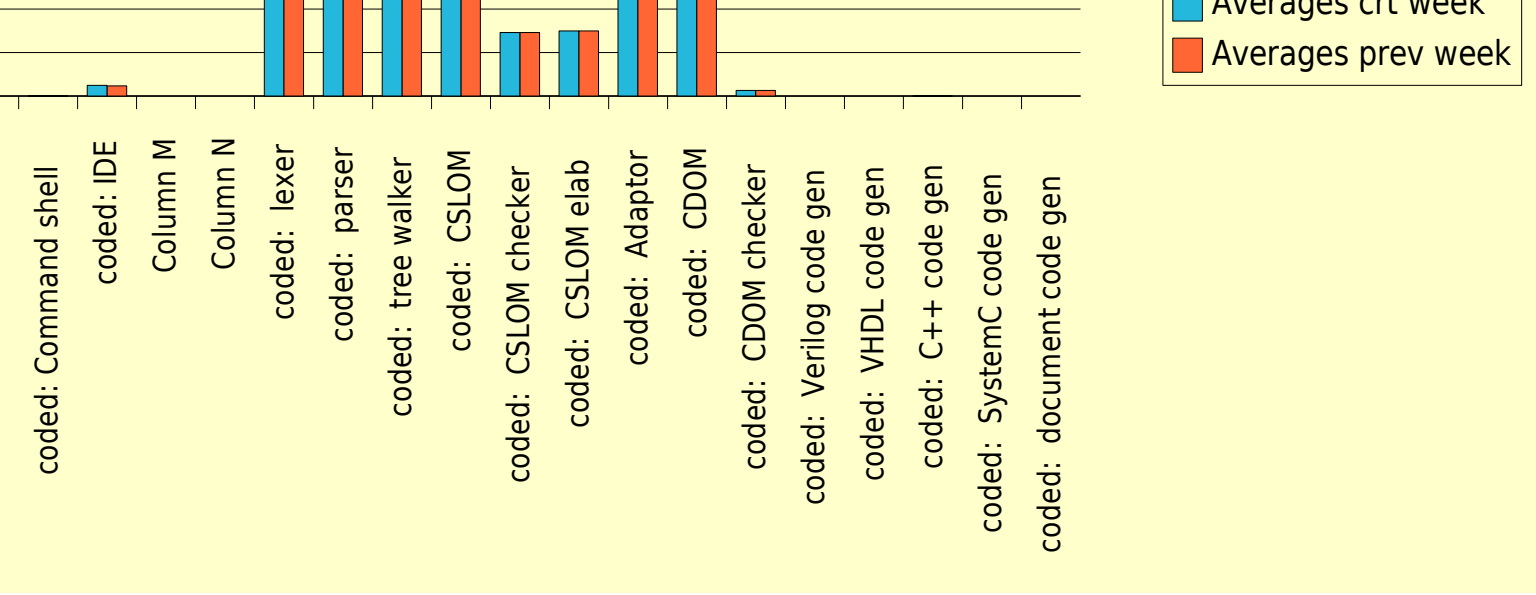


Class development



Development stages





cs/c owner	cs/c owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	L-P-Tw Owner	complete: cmd summary syntax	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	coded: document code gen
NA		cs/c: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA			70	70	70	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
APA		cs/c: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	85	5	NA	NA	NA	NA	NA	
CP		cs/c: GUI	NA	NA	NA	NA	NA	NA	NA	NA	20			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
OS		cs/c: Command shell	5	NA	NA	NA	NA	NA	NA	0	0			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
APA		cs/c:Adaptor	50	50	50	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	40	NA	NA	NA	NA	NA	NA	
APA		cs/c:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	90	NA	NA	NA	NA	NA	NA	
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
BZ		cs/c: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA		NA	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: inst tree	NA	25	25	NA	NA	NA	NA	NA	5		NA	NA	NA	NA	65	0	25	0	0	0	NA	NA	NA	NA	
BZ		cs/c: autoroute	70	25	25	NA	0	NA	NA	NA	5		NA	70	70	70	75	0	50	NA	NA	NA	NA	NA	NA	NA	
BZ		cs/c: Bus ifc	25	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: Buses	20	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
BZ	2	cs/c: Clock gen	40	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
APO		cs/c: CSLOmNum	0	0	0	NA	0	0	NA	NA	0		0	60	40	0	0	0	0	0	0	0	NA	NA	NA	NA	
APO		cs/c: CDOMNum	0	0	0	NA	0	0	NA	NA	0		100	100	100	90	0	0	0	0	90	0	NA	NA	NA	NA	
OS	2	cs/c: Compare	50	0	0	25	5	NA	NA	NA	NA		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS	1	cs/c: Counter	90	50	0	25	10	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
APA	1	cs/c: Decoder	90	90	100	25	0	NA	NA	NA	0	OS	90	100	100	100	100	100	NA	90	NA	0	NA	NA	NA	NA	
BZ		cs/c: Enum	90	0	0	50	40	NA	NA	NA	0	AB	90	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	
SP		cs/c: Field	10	90	75	50	80	NA	NA	NA	0	GD	50	0	0	0	25	0	NA	0	NA	0	NA	NA	NA	NA	
OS	3	cs/c: Fifo	75	0	0	55	1	NA	NA	NA	0	OS	90	50	50	50	85	0	NA	90	NA	0	NA	NA	NA	NA	
BZ	1	cs/c: Interconn	80	70	70	50	5	NA	NA	NA	0	GD	90	90	90	90	90	90	0	90	NA	10	NA	NA	NA	NA	
SP	1	cs/c: ISA	80	85	85	60	90	NA	NA	NA	0	AB	70	0	0	0	40	0	0	0	NA	0	NA	NA	NA	NA	
AB	1	cs/c: Memmap	70	0	0	50	90	NA	NA	NA	0	GD	50	10	10	0	30	0	0	0	NA	0	NA	NA	0	NA	
BZ	2	cs/c: Memory	50	0	0	50	0	NA	NA	NA	0		0	0	0	0	5	0	0	0	NA	0	NA	NA	0	NA	
BZ	2	cs/c: Pipeline	70	0	0	50	5	NA	NA	NA	0	OS	50	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	
OS	?	cs/c: Procon	83	0	0	NA	0	NA	NA	NA	0		NA	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: Reg	85	0	0	50	70	NA	NA	NA	0	GD	30	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: RF	86	0	0	50	0	NA	NA	NA	0	AB	80	50	50	50	85	0	NA	90	NA	0	NA	NA	NA	NA	
BZ		cs/c: Sched	87	0	0	50	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: Tb	89	0	0	NA	0	NA	NA	NA	0	AB	60	0	0	0	5	0	NA	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: Unit	90	90	90	50	0	NA	NA	NA	0		NA	90	90	90	80	0	NA	90	NA	2	NA	NA	NA	NA	
OS		cs/c: VC	90	0	0	50	80	NA	NA	NA	0	OS	60	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
CL		hw_lib: micro eng	0	0	0	40	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	

STATUS LEGEND put percentages in the boxes

not started	light red
under construction	yellow
under test	light magenta
completed	green
intersection between r	light blue
Not applicable	dark violet
Divider	black

Priorities

Low priority	orange 4
medium priority	violet
high priority	red

File name = cs/_class.ods

misc/project_management/_class.ods

Stages

Averages crt week

Averages prev week

50.97	50.97	documented: Syntax
18.18	18.18	documented: data structures
16.52	16.52	documented: algorithms
39.58	39.58	documented: hw circuits
16.65	16.65	coded: CSL proto C++ lib
0	0	coded: Verilog library
#DIV/0!	#DIV/0!	coded: CSIM
0	0	coded: Command shell
0.96	1.15	coded: IDE
26.54	26.54	coded: lexer
25.77	25.77	coded: parser
23.46	23.46	coded: tree walker
33.65	34.04	coded: CSLOM
7.31	7.31	coded: CSLOM checker
7.5	7.5	coded: CSLOM elab
21.3	21.48	coded: Adaptor
43.75	43.75	coded: CDOM
0.65	0.65	coded: CDOM checker
#DIV/0!	#DIV/0!	coded: Verilog code gen
#DIV/0!	#DIV/0!	coded: VHDL code gen
0	0	coded: C++ code gen
#DIV/0!	#DIV/0!	coded: SystemC code gen
#DIV/0!	#DIV/0!	coded: document code gen

[illegible]

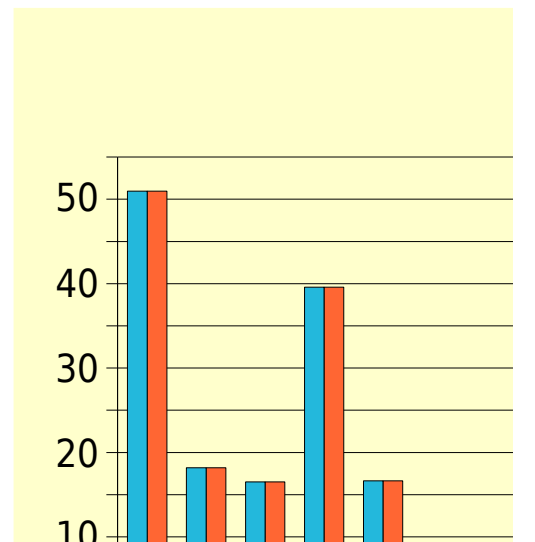
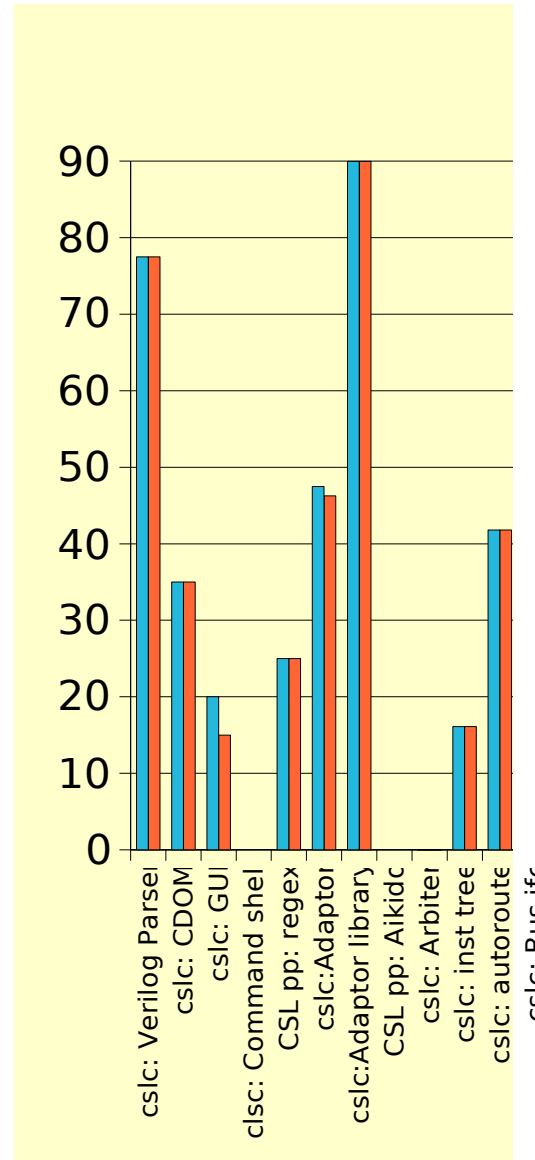
CSL CLASS	Averages crt v	Averages prev week
cslc: Verilog Parser	77.5	77.5
cslc: CDOM	35	35
cslc: GUI	20	15
clsc: Command shell		
CSL pp: regex	25	25
cslc:Adaptor	47.5	46.25
cslc:Adaptor library	90	90
CSL pp: Aikido	#DIV/0!	#DIV/0!
cslc: Arbiter	0	0

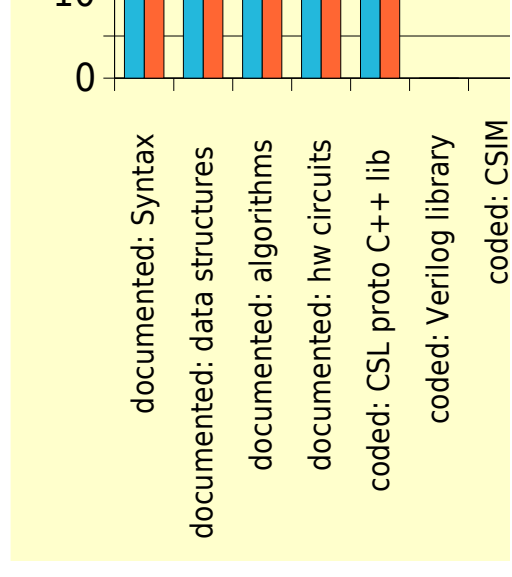
cslc: inst tree	16.11	16.11
cslc: autoroute	41.82	41.82
cslc: Bus ifc	3.57	3.57
cslc: Buses	3.21	3.21
cslc: Clock gen	4.64	4.64
cslc: CSLOmNum	6.25	6.25
cslc: CDOMNum	30	30
cslc: Compare	6.15	6.15
cslc: Counter	12.5	12.5
cslc: Decoder	70.36	70.36
cslc: Enum	23.57	23.57
cslc: Field	27.14	27.14
cslc: Fifo	39	39
cslc: Interconn	61	61
cslc: ISA	34	34
cslc: Memmap	19.38	19.38
cslc: Memory	6.56	6.56
cslc: Pipeline	11.67	11.67
cslc: Procon	6.92	6.92
cslc: Reg	21.07	21.07
cslc: RF	38.64	37.93
cslc: Sched	9.79	9.79
cslc: Tb	11.85	11.85
cslc: Unit	58.62	58.62
cslc: VC	25.71	25.71
sw_lib: ASM	0	0
sw_lib: Csim	0	0
hw_lib:Memcntl	3.33	3.33
hw_lib: micro eng	6.67	6.67
hw_lib: Proc. Ring	5.83	5.83
hw_lib: PSCQN	27.33	27.33

STATUS LEGEND	put percentages in the boxes
not started	
under construction	Overall project average
under test	22.56
completed	
intersection between r	
Not applicable	
Divider	

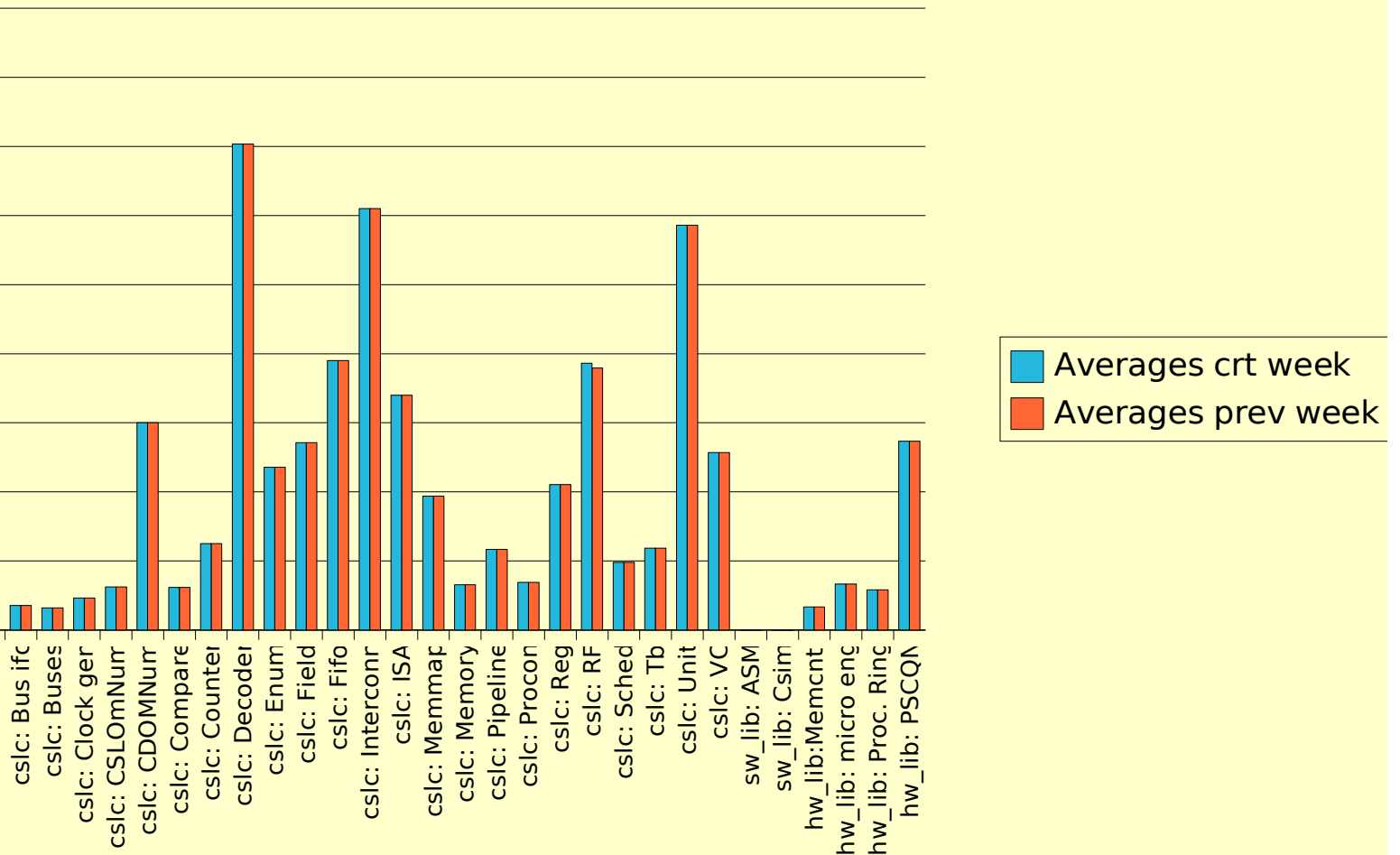
Priorities
Low priority
medium priority
high priority

File name = csl_class.ods
misc/project_management/csl_class.ods

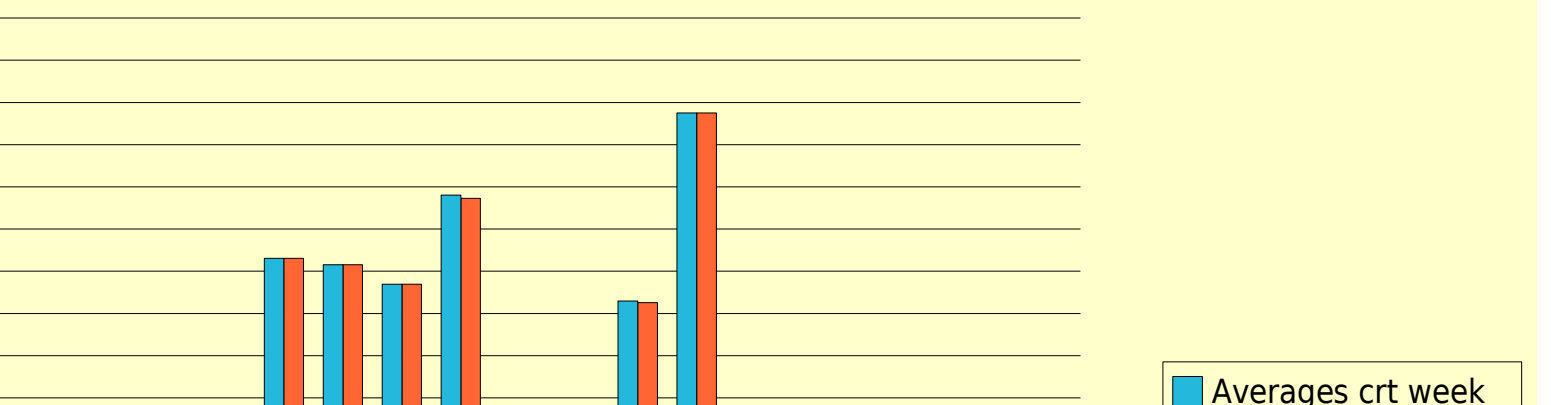


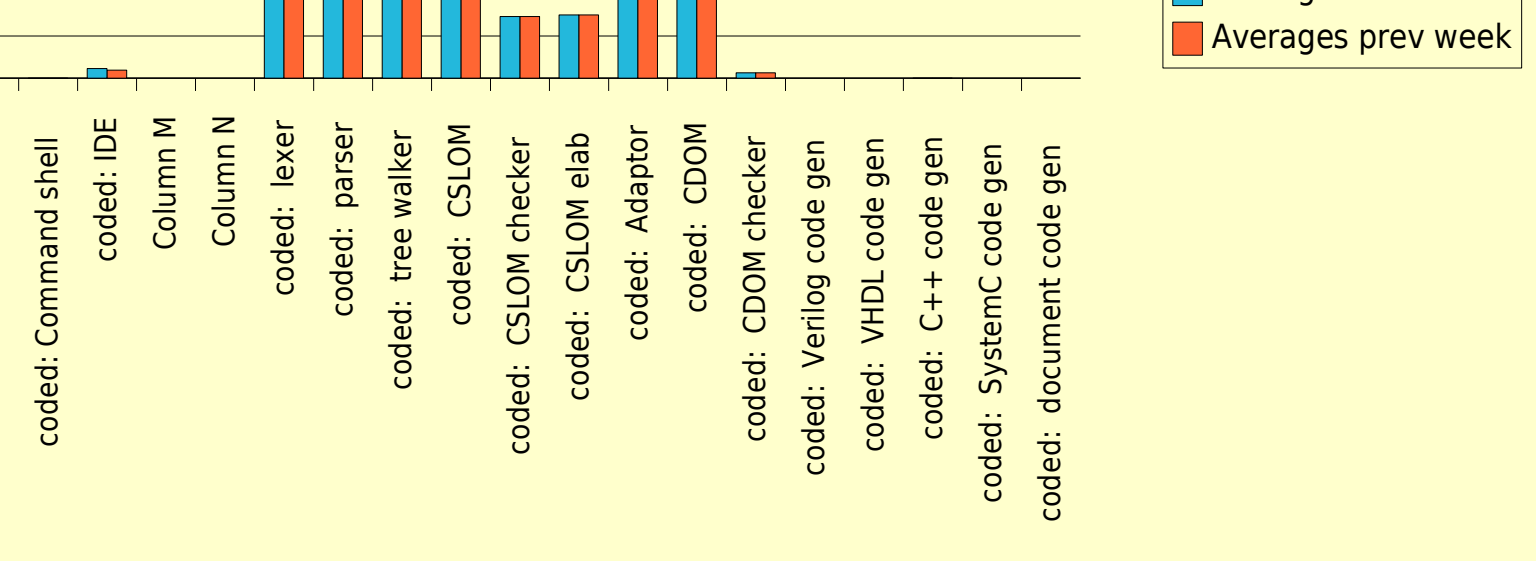


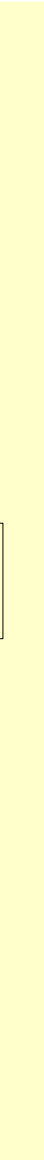
Class development



Development stages







cs/c owner	cs/c owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	L-P-Tw Owner	complete: cmd summary syntax	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	coded: document code gen
NA		cs/c: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA			70	70	70	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
APA		cs/c: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	85	5	NA	NA	NA	NA	NA	
CP		cs/c: GUI	NA	NA	NA	NA	NA	NA	NA	NA	15			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
OS		cs/c: Command shell	5	NA	NA	NA	NA	NA	NA	0	0			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
APA		cs/c:Adaptor	50	50	50	NA	NA	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	35	NA	NA	NA	NA	NA	NA	
APA		cs/c:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	90	NA	NA	NA	NA	NA	NA	
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA		NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
BZ		cs/c: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA		NA	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: inst tree	NA	25	25	NA	NA	NA	NA	NA	5		NA	NA	NA	NA	65	0	25	0	0	0	NA	NA	NA	NA	
BZ		cs/c: autoroute	70	25	25	NA	0	NA	NA	NA	5		NA	70	70	70	75	0	50	NA	NA	NA	NA	NA	NA	NA	
BZ		cs/c: Bus ifc	25	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: Buses	20	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
BZ	2	cs/c: Clock gen	40	0	0	25	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
APO		cs/c: CSLOmNum	0	0	0	NA	0	0	NA	NA	0		0	60	40	0	0	0	0	0	0	0	NA	NA	NA	NA	
APO		cs/c: CDOMNum	0	0	0	NA	0	0	NA	NA	0		100	100	100	90	0	0	0	0	90	0	NA	NA	NA	NA	
OS	2	cs/c: Compare	50	0	0	25	5	NA	NA	NA	NA		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS	1	cs/c: Counter	90	50	0	25	10	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
APA	1	cs/c: Decoder	90	90	100	25	0	NA	NA	NA	0	OS	90	100	100	100	100	100	NA	90	NA	0	NA	NA	NA	NA	
BZ		cs/c: Enum	90	0	0	50	40	NA	NA	NA	0	AB	90	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	
SP		cs/c: Field	10	90	75	50	80	NA	NA	NA	0	GD	50	0	0	0	25	0	NA	0	NA	0	NA	NA	NA	NA	
OS	3	cs/c: Fifo	75	0	0	55	1	NA	NA	NA	0	OS	90	50	50	50	85	0	NA	90	NA	0	NA	NA	NA	NA	
BZ	1	cs/c: Interconn	80	70	70	50	5	NA	NA	NA	0	GD	90	90	90	90	90	90	0	90	NA	10	NA	NA	NA	NA	
SP	1	cs/c: ISA	80	85	85	60	90	NA	NA	NA	0	AB	70	0	0	0	40	0	0	0	NA	0	NA	NA	NA	NA	
AB	1	cs/c: Memmap	70	0	0	50	90	NA	NA	NA	0	GD	50	10	10	0	30	0	0	0	NA	0	NA	NA	0	NA	
BZ	2	cs/c: Memory	50	0	0	50	0	NA	NA	NA	0		0	0	0	0	5	0	0	0	NA	0	NA	NA	0	NA	
BZ	2	cs/c: Pipeline	70	0	0	50	5	NA	NA	NA	0	OS	50	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	
OS	?	cs/c: Procon	83	0	0	NA	0	NA	NA	NA	0		NA	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: Reg	85	0	0	50	70	NA	NA	NA	0	GD	30	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: RF	86	0	0	50	0	NA	NA	NA	0	AB	80	50	50	50	75	0	NA	90	NA	0	NA	NA	NA	NA	
BZ		cs/c: Sched	87	0	0	50	0	NA	NA	NA	0		0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	
OS		cs/c: Tb	89	0	0	NA	0	NA	NA	NA	0	AB	60	0	0	0	5	0	NA	0	NA	0	NA	NA	NA	NA	
BZ		cs/c: Unit	90	90	90	50	0	NA	NA	NA	0		NA	90	90	90	80	0	NA	90	NA	2	NA	NA	NA	NA	
OS		cs/c: VC	90	0	0	50	80	NA	NA	NA	0	OS	60	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
CL		hw_lib: micro eng	0	0	0	40	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA			NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	

STATUS LEGEND put percentages in the boxes

not started	light red
under construction	yellow
under test	light magenta
completed	green
intersection between r	light blue
Not applicable	dark violet
Divider	black

Priorities

Low priority	orange 4
medium priority	violet
high priority	red

File name = cs_l_class.ods

misc/project_management/cs_l_class.ods

Stages

Averages crt week

Averages prev week

52	50.97	documented: Syntax
17.65	18.18	documented: data structures
16.03	16.52	documented: algorithms
40	39.58	documented: hw circuits
16.13	16.65	coded: CSL proto C++ lib
0	0	coded: Verilog library
#DIV/0!	#DIV/0!	coded: CSIM
0	0	coded: Command shell
0.93	0.96	coded: IDE
21.85	26.54	coded: lexer
21.11	25.77	coded: parser
18.89	23.46	coded: tree walker
35	33.65	coded: CSLOM
7.04	7.31	coded: CSLOM checker
7.5	7.5	coded: CSLOM elab
20.36	21.3	coded: Adaptor
43.75	43.75	coded: CDOM
0.63	0.65	coded: CDOM checker
#DIV/0!	#DIV/0!	coded: Verilog code gen
#DIV/0!	#DIV/0!	coded: VHDL code gen
0	0	coded: C++ code gen
#DIV/0!	#DIV/0!	coded: SystemC code gen
#DIV/0!	#DIV/0!	coded: document code gen

uses CSLOM: CSL Info class	uses CSLOM: CSL Unit	uses CSLOM: Arbiter	uses CSLOM: Assembler	uses CSLOM: Bus ifc	uses CSLOM: Buses	uses CSLOM: Clock	uses CSLOM: Compare	uses CSLOM: Counter	uses CSLOM: Csim	uses CSLOM: Decoder	uses CSLOM: Event	uses CSLOM: FF	uses CSLOM: Isa	uses CSLOM: Mem location	uses CSLOM: Mem map	uses CSLOM: Memory	uses CSLOM: pattern_gen	uses CSLOM: Pipeline	uses CSLOM: Scheduler	uses CSLOM: State	uses CSLOM: Unit	uses CSLOM: VC	uses cslic Compiler	uses libcslic.o	uses CSL Library	uses Verilog Library	CSL C++ prototype lib owner	priority	
																											NA	NA	
																											NA	NA	x
																											NA	NA	

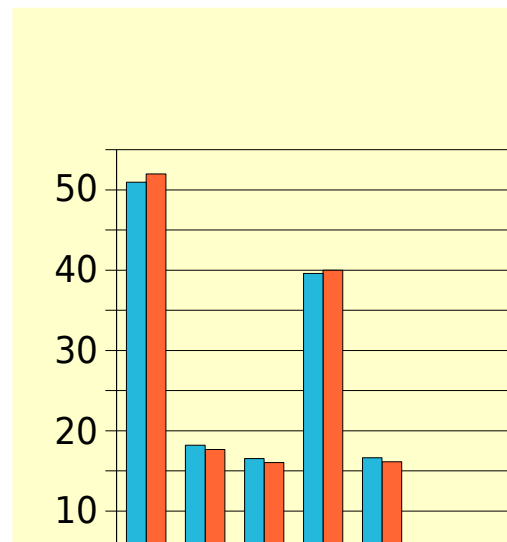
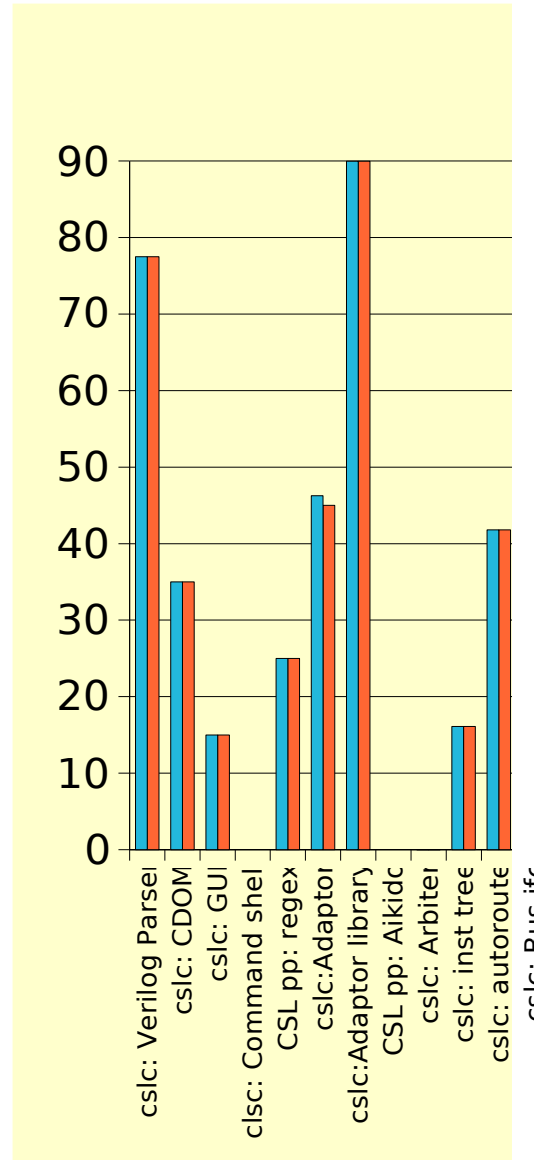
CSL CLASS	Averages crt v	Averages prev week
cslc: Verilog Parser	77.5	77.5
cslc: CDOM	35	35
cslc: GUI	15	15
clsc: Command shell		
CSL pp: regex	25	25
cslc:Adaptor	46.25	45
cslc:Adaptor library	90	90
CSL pp: Aikido	#DIV/0!	#DIV/0!
cslc: Arbiter	0	0

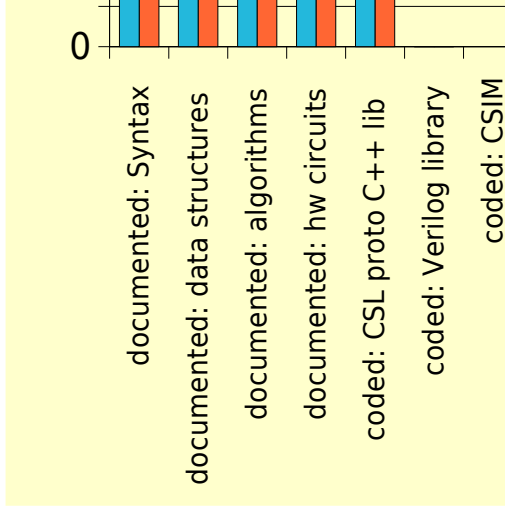
cslc: inst tree	16.11	16.11
cslc: autoroute	41.82	41.82
cslc: Bus ifc	3.57	3.85
cslc: Buses	3.21	3.46
cslc: Clock gen	4.64	5
cslc: CSLOmNum	6.25	6.67
cslc: CDOMNum	30	25.33
cslc: Compare	6.15	6.67
cslc: Counter	12.5	13.46
cslc: Decoder	70.36	68.85
cslc: Enum	23.57	19.23
cslc: Field	27.14	27.31
cslc: Fifo	39	24.31
cslc: Interconn	61	58.93
cslc: ISA	34	31.79
cslc: Memmap	19.38	17.33
cslc: Memory	6.56	7
cslc: Pipeline	11.67	8.93
cslc: Procon	6.92	6.92
cslc: Reg	21.07	20.38
cslc: RF	37.93	24.69
cslc: Sched	9.79	10.54
cslc: Tb	11.85	7.83
cslc: Unit	58.62	58.62
cslc: VC	25.71	23.08
sw_lib: ASM	0	0
sw_lib: Csim	0	0
hw_lib:Memcntl	3.33	3.33
hw_lib: micro eng	6.67	6.67
hw_lib: Proc. Ring	5.83	5.83
hw_lib: PSCQN	27.33	27.33

STATUS LEGEND	put percentages in the boxes
not started	
under construction	Overall project average
under test	22.51
completed	
intersection between r	
Not applicable	
Divider	

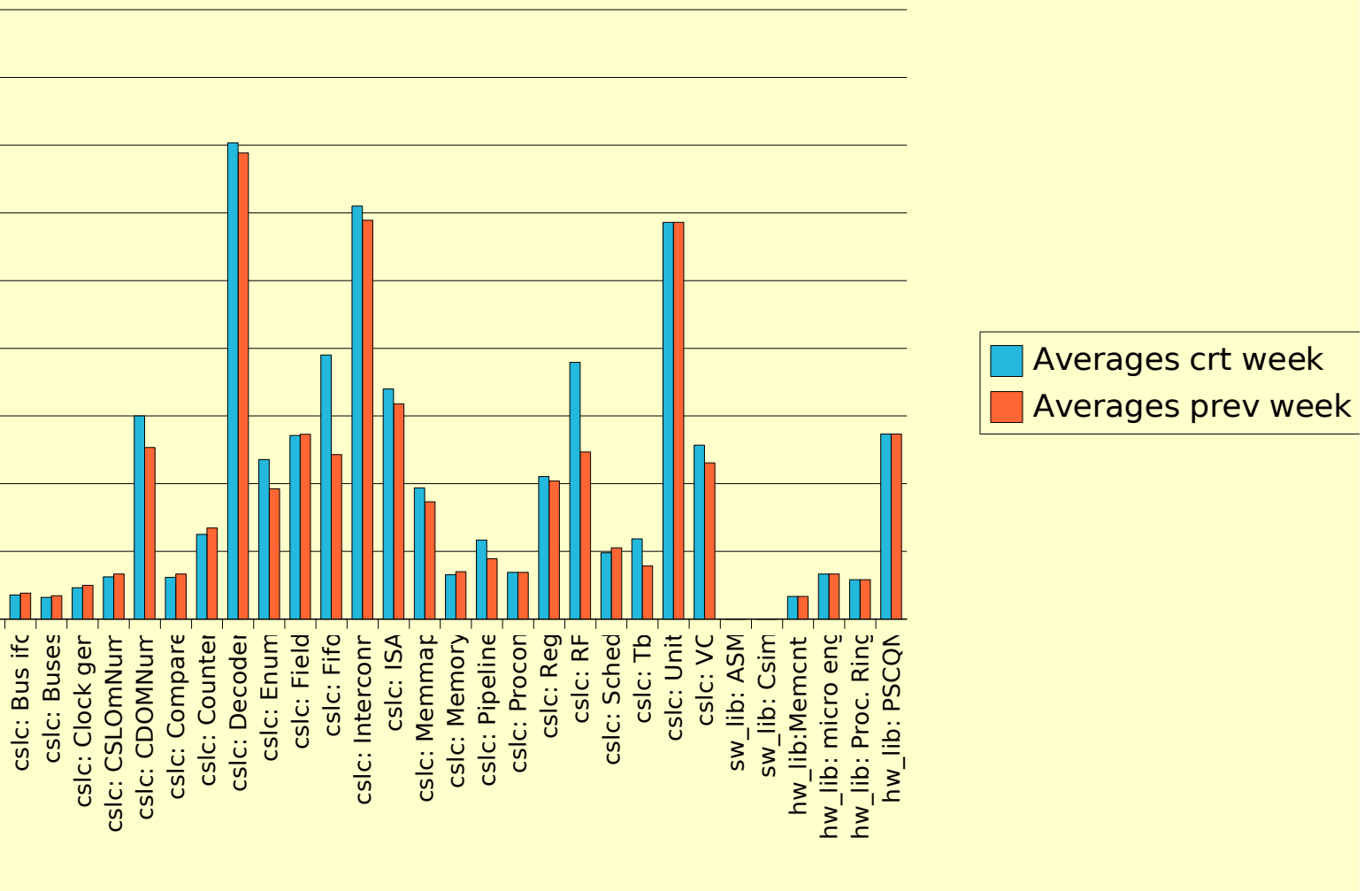
Priorities
Low priority
medium priority
high priority

File name = csl_class.ods
misc/project_management/csl_class.ods

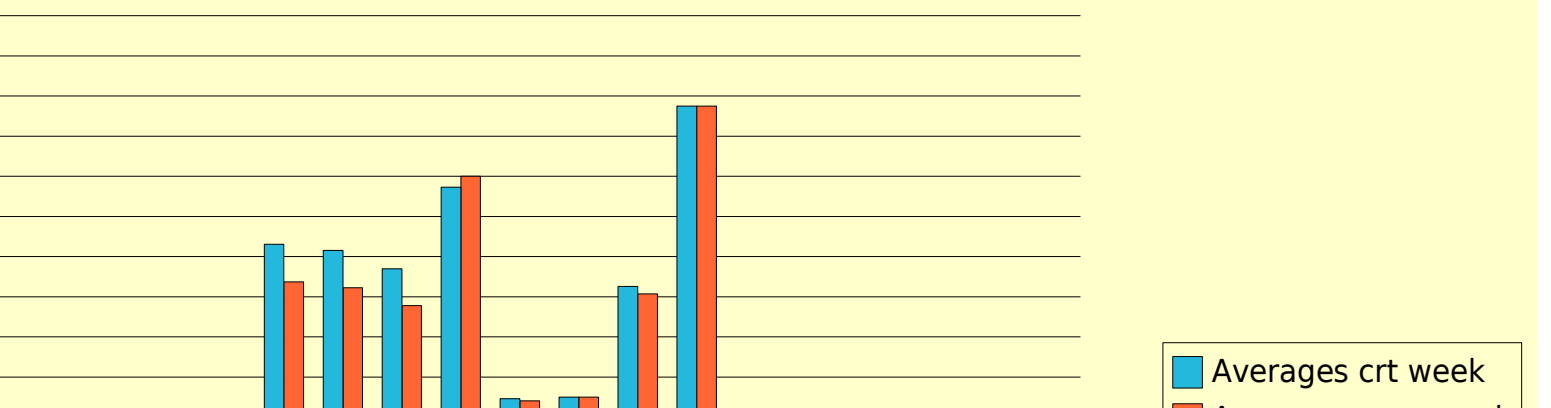


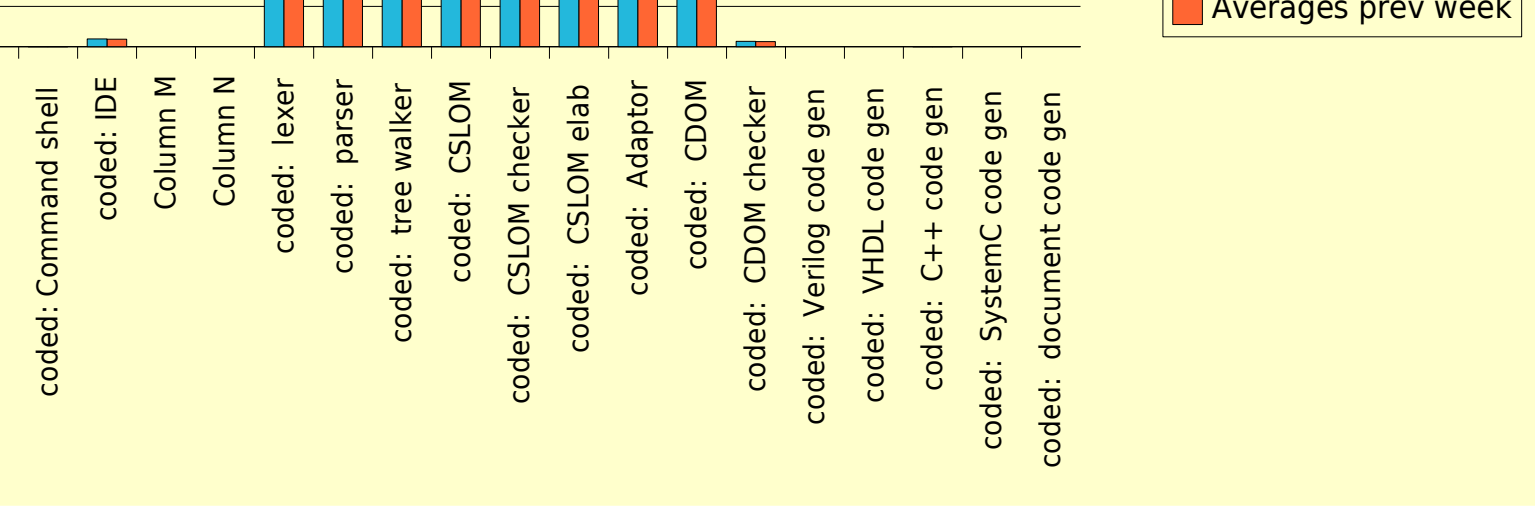


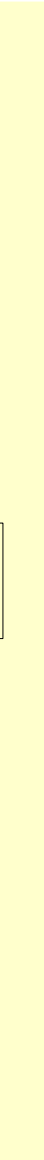
Class development



Development stages







cscl owner	cscl owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	coded: document code gen	uses CSLOM: CSL Info class	uses CSLOM: CSL Unit	uses CSLOM: Arbiter	
NA		cscl: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA	70	70	70	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				
APA		cscl: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	85	5	NA	NA	NA	NA	NA	NA				
CP		cscl: GUI	NA	NA	NA	NA	NA	NA	NA	NA	15	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		I	I	
OS		cscl: Command shell	5	NA	NA	NA	NA	NA	NA	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		I	I	
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
APA		cscl:Adaptor	50	50	50	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	30	NA	NA	NA	NA	NA	NA	NA				
APA		cscl:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	90	NA	NA	NA	NA	NA	NA	NA				
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				
BZ		cscl: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	I		I	
BZ		cscl: inst tree	NA	25	25	NA	NA	NA	NA	NA	5	NA	NA	NA	65	0	25	0	0	0	NA	NA	NA	NA	NA				
BZ		cscl: autoroute	70	25	25	NA	0	NA	NA	NA	5	70	70	70	75	0	50	NA	NA	NA	NA	NA	NA	NA	NA				
BZ		cscl: Bus ifc	25	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA		I		
BZ		cscl: Buses	20	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
BZ	2	cscl: Clock gen	40	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
APO		cscl: CSLOmNum	0	0	0	NA	0	0	NA	NA	0	60	40	0	0	0	0	0	0	0	NA	NA	NA	NA	NA				
APO		cscl: CDOMNum	0	0	0	NA	0	0	NA	NA	0	100	100	90	0	0	0	0	90	0	NA	NA	NA	NA	NA				
OS	2	cscl: Compare	50	0	0	25	5	NA	NA	NA	NA	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
OS	1	cscl: Counter	90	50	0	25	10	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I		
APA	1	cscl: Decoder	90	90	100	25	0	NA	NA	NA	0	100	100	100	100	100	NA	90	NA	0	NA	NA	NA	NA	NA				
BZ		cscl: Enum	90	0	0	50	40	NA	NA	NA	0	0	0	0	70	0	NA	0	NA	0	NA	NA	NA	NA	NA				
SP		cscl: Field	10	90	75	50	80	NA	NA	NA	0	0	0	0	50	0	NA	0	NA	0	NA	NA	NA	NA	NA				
OS	3	cscl: Fifo	75	0	0	55	1	NA	NA	NA	0	0	0	0	95	0	NA	90	NA	0	NA	NA	NA	NA	NA		I		
BZ	1	cscl: Interconn	80	70	70	50	5	NA	NA	NA	0	90	90	90	90	90	0	90	NA	10	NA	NA	NA	NA	NA				
SP	1	cscl: ISA	80	85	85	60	90	NA	NA	NA	0	0	0	0	45	0	0	0	NA	0	NA	NA	NA	NA	NA				
AB	1	cscl: Memmap	70	0	0	50	90	NA	NA	NA	0	10	10	0	30	0	0	0	NA	0	NA	NA	0	NA	NA	I			
BZ	2	cscl: Memory	50	0	0	50	0	NA	NA	NA	0	0	0	0	5	0	0	0	NA	0	NA	NA	0	NA	NA		I		
BZ	2	cscl: Pipeline	70	0	0	50	5	NA	NA	NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA				
OS	?	cscl: Procon	83	0	0	NA	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	I			
OS		cscl: Reg	85	0	0	50	70	NA	NA	NA	0	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I		
OS		cscl: RF	86	0	0	50	0	NA	NA	NA	0	0	0	0	95	0	NA	90	NA	0	NA	NA	NA	NA	NA	I	I		
BZ		cscl: Sched	87	0	0	50	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
OS		cscl: State	88	0	0	50	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
OS		cscl: Tb	89	0	0	NA	0	NA	NA	NA	0	0	0	0	5	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I		
BZ		cscl: Unit	90	90	90	50	0	NA	NA	NA	0	90	90	90	80	0	NA	90	NA	2	NA	NA	NA	NA	NA		I		
OS		cscl: VC	90	0	0	50	80	NA	NA	NA	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA				
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		I	
CL		hw_lib: micro eng	0	0	0	40	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
		STATUS LEGEND put percentages in the boxes																											
		not started	light red																										
		under construction	yellow																										
		under test	light magenta																										
		completed	green																										
		intersection between r	light blue																										
		Not applicable	dark violet																										
		Divider	black																										
		Priorities																											
		Low priority	orange 4																										
		medium priority	violet																										
		high priority	red																										

File name = csl class.ods

misc/project management/csl class.ods

Stages

Averages crt week

Averages prev week

52.06	52	documented: Syntax
13.94	17.65	documented: data structures
12.27	16.03	documented: algorithms
40	40	documented: hw circuits
16.13	16.13	coded: CSL proto C++ lib
0	0	coded: Verilog library
#DIV/0!	#DIV/0!	coded: CSIM
0	0	coded: Command shell
0.74	0.93	coded: IDE
10	21.85	coded: lexer
10	21.11	coded: parser
9.63	18.89	coded: tree walker
34.26	35	coded: CSLOM
7.04	7.04	coded: CSLOM checker
14	7.5	coded: CSLOM elab
12.07	20.36	coded: Adaptor
21.25	43.75	coded: CDOM
0.54	0.63	coded: CDOM checker
#DIV/0!	#DIV/0!	coded: Verilog code gen
#DIV/0!	#DIV/0!	coded: VHDL code gen
0	0	coded: C++ code gen
#DIV/0!	#DIV/0!	coded: SystemC code gen
#DIV/0!	#DIV/0!	coded: document code gen

uses CSLOM: Assembler	uses CSLOM: Bus ifc	uses CSLOM: Buses	uses CSLOM: Clock	uses CSLOM: Compare	uses CSLOM: Counter	uses CSLOM: Csim	uses CSLOM: Decoder	uses CSLOM: Event	uses CSLOM: FF	uses CSLOM: Isa	uses CSLOM: Mem location	uses CSLOM: Mem map	uses CSLOM: Memory	uses CSLOM: pattern_gen	uses CSLOM: Pipeline	uses CSLOM: Scheduler	uses CSLOM: State	uses CSLOM: Unit	uses CSLOM: VC	uses csic Compiler	uses libcsic.o	uses CSL Library	uses Verilog Library	CSL C++ prototype lib owner	priority		CSL CLASS													
																								NA	NA		cslc: Verilog Parser													
																								NA	NA	x	cslc: CDOM													
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I				NA	NA		cslc: GUI													
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I							cslc: Command shell													
																								NA	NA		CSL pp: regex													
																										x	cslc:Adaptor													
																										x	cslc:Adaptor library													
																								NA	NA		CSL pp: Aikido													
											I								I		I			SP		x	cslc: Arbiter													
																								NA	NA	x	cslc: inst tree													
																								NA	NA	x	cslc: autoroute													
		I	I				I	I	I										I				I	SP		x	cslc: Bus ifc													
			I				I														I			SP		x	cslc: Buses													
				I																	I			SP	4	x	cslc: Clock gen													
																										x	cslc: CSLOmNum													
																										x	cslc: CDOMNum													
				I																	I			SP	3		cslc: Compare													
					I																I		I	SP	2		cslc: Counter													
							I												I		I			SP		x	cslc: Decoder													
							I														I		I	SP		x	cslc: Enum													
							I														I		I	SP			cslc: Field													
				I	I		I						I						I		I		BZ				cslc: Fifo													
							I				I										I		I	SP	1	x	cslc: Interconn													
I							I														I		I	SP	1		cslc: ISA													
												I									I		I	BZ		x	cslc: Memmap													
											I										I		I	SP	5	x	cslc: Memory													
														I							I		I	SP		x	cslc: Pipeline													
																					I		I	UN			cslc: Procon													
																					I		I	SP	6		cslc: Reg													
																					I		I	SP	7		cslc: RF													
																					I			UN		x	cslc: Sched													
																					I			BZ			cslc: State													
				I	I	I		I	I				I								I			NA	NA		cslc: Tb													
																					I			UN		x	cslc: Unit													
																				I			I			OB														cslc: VC
I																					I				NA	NA		sw_lib: ASM												
							I																		NA	NA		sw_lib: Csim												
				I	I		I			I			I										I		NA	NA		hw_lib:Memcntl												
I					I		I							I	I								I		NA	NA		hw_lib: micro eng												
														I	I										NA	NA	x	hw_lib: Proc. Ring												
																										x	hw_lib: PSCQN													

STATUS LEGEND put p
not started
under construction
under test
completed
intersection between r
Not applicable
Divider

Priorities
Low priority
medium priority
high priority

File name = csl_class.c
misc/project_managen

Averages crt vAverages prev week

77.5	77.5
35	35
15	10
25	25
45	10
90	25
#DIV/0!	#DIV/0!
0	0
16.11	26.11
41.82	26.92
3.85	3.85
3.46	3.46
5	5
6.67	0
25.33	0
6.67	6.67
13.46	13.46
68.85	68.85
19.23	13.85
27.31	27.31
24.31	19.69
58.93	58.93
31.79	31.79
17.33	17.33
7	7
8.93	8.93
6.92	6.92
20.38	20.38
24.69	20.08
10.54	10.54
10.62	10.62
7.83	7.83
58.62	16.92
23.08	23.08
0	0
0	0
3.33	3.33
6.67	6.67
5.83	5.83
27.33	27.33

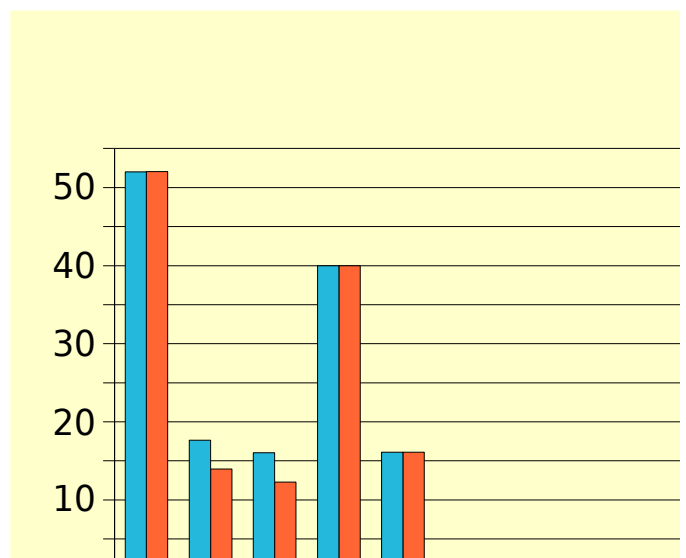
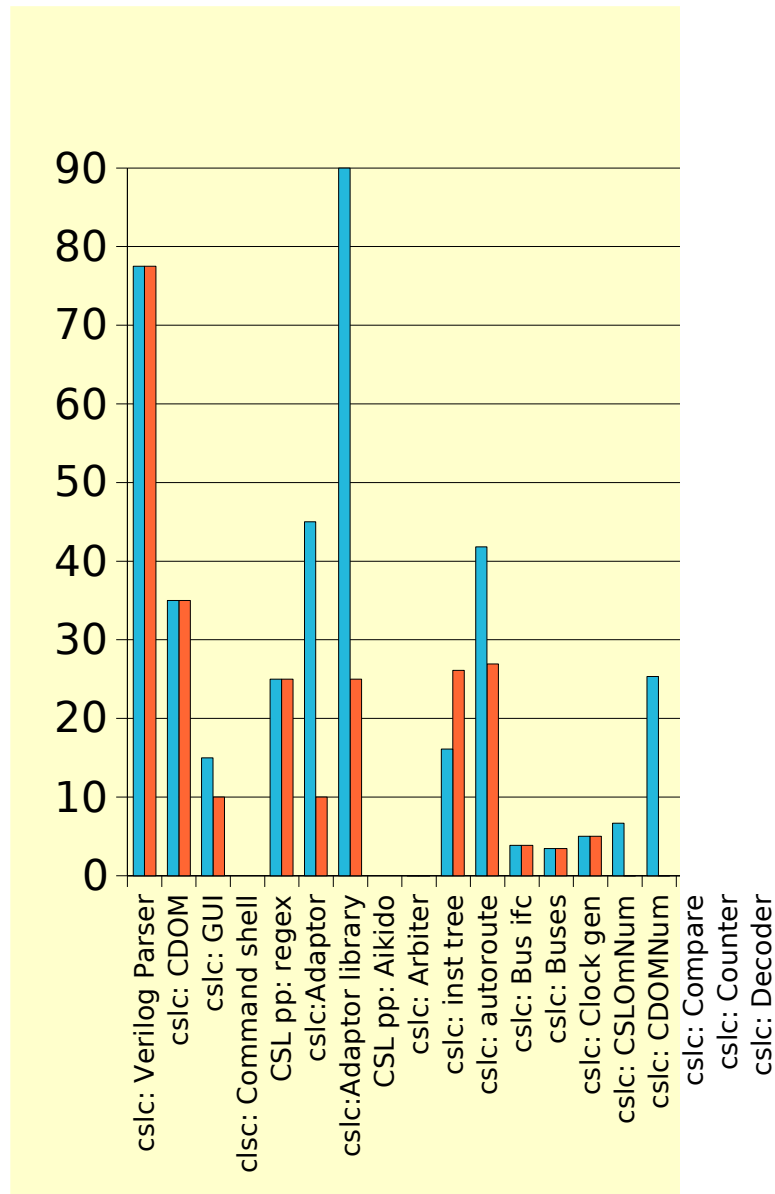
percentages in the boxes

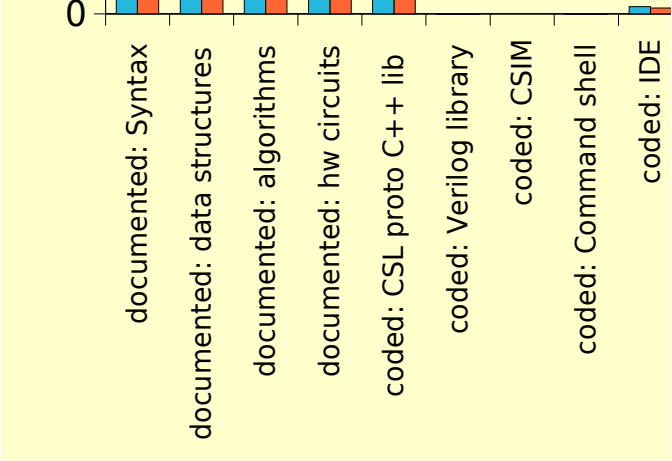
Overall project average

20.45

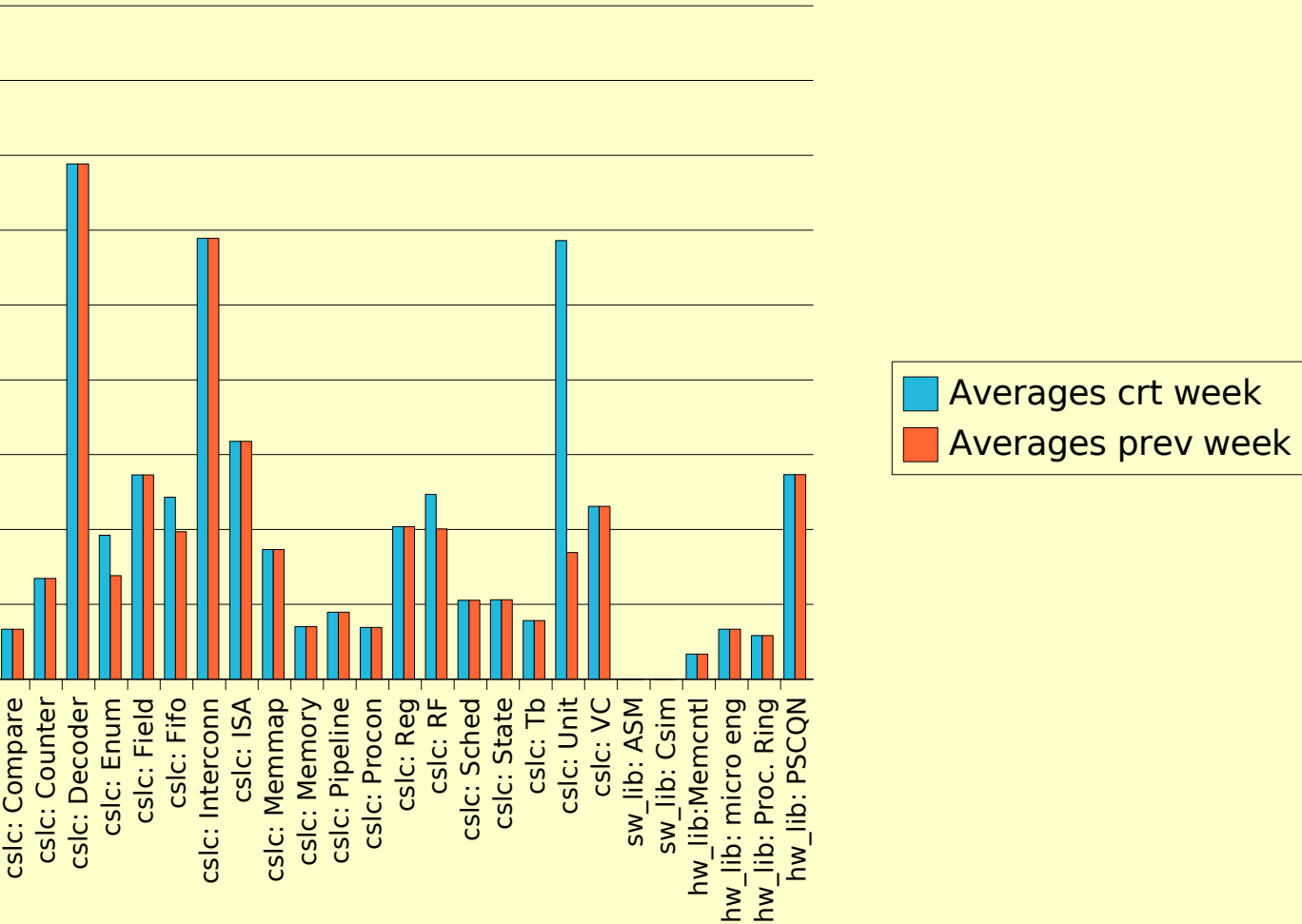
ods

ment/csl_class.ods

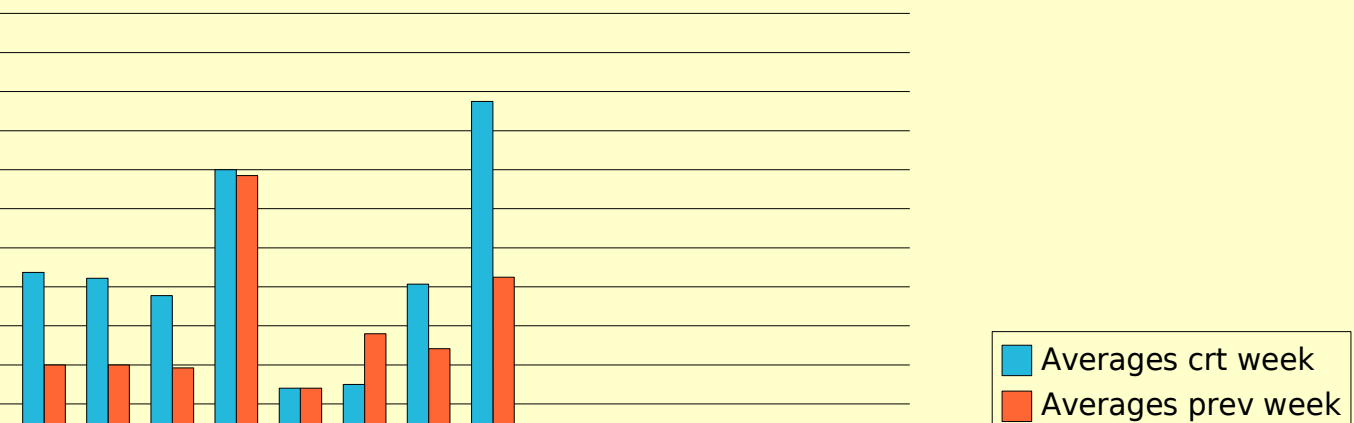




Class development



Development stages



coded: lexer

coded: parser

coded: tree walker

coded: CSLOM

coded: CSLOM checker

coded: CSLOM elab

coded: Adaptor

coded: CDOM

coded: CDOM checker

coded: Verilog code gen

coded: VHDL code gen

coded: C++ code gen

coded: SystemC code gen

coded: document code gen

cscl owner	cscl owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	coded: document code gen	uses CSLOM: CSL Info class	uses CSLOM: CSL Unit	uses CSLOM: Arbiter	
NA		cscl: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA	70	70	70	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				
APA		cscl: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	85	5	NA	NA	NA	NA	NA	NA				
CP		cscl: GUI	NA	NA	NA	NA	NA	NA	NA	NA	10	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		I	I	
OS		cscl: Command shell	5	NA	NA	NA	NA	NA	NA	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		I	I	
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
APA		cscl:Adaptor	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	10	NA	NA	NA	NA	NA	NA	NA				
APA		cscl:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	25	NA	NA	NA	NA	NA	NA	NA				
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				
BZ		cscl: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	I		I	
BZ		cscl: inst tree	NA	25	25	NA	NA	NA	NA	NA	5	NA	NA	NA	90	0	90	0	0	0	NA	NA	NA	NA	NA				
BZ		cscl: autoroute	70	25	25	NA	0	NA	NA	NA	5	0	0	0	100	0	50	75	NA	0	NA	NA	NA	NA	NA				
BZ		cscl: Bus ifc	25	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA		I		
BZ		cscl: Buses	20	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
BZ	2	cscl: Clock gen	40	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
APO		cscl: CSLOmNum	0	0	0	NA	0	0	NA	NA	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA				
APO		cscl: CDOMNum	0	0	0	NA	0	0	NA	NA	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA				
OS	2	cscl: Compare	50	0	0	25	5	NA	NA	NA	NA	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
OS	1	cscl: Counter	90	50	0	25	10	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I		
APA	1	cscl: Decoder	90	90	100	25	0	NA	NA	NA	0	100	100	100	100	100	NA	90	NA	0	NA	NA	NA	NA	NA				
BZ		cscl: Enum	90	0	0	50	40	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
SP		cscl: Field	10	90	75	50	80	NA	NA	NA	0	0	0	0	50	0	NA	0	NA	0	NA	NA	NA	NA	NA				
OS	3	cscl: Fifo	75	0	0	55	1	NA	NA	NA	0	0	0	0	95	0	NA	30	NA	0	NA	NA	NA	NA	NA		I		
BZ	1	cscl: Interconn	80	70	70	50	5	NA	NA	NA	0	90	90	90	90	90	0	90	NA	10	NA	NA	NA	NA	NA				
SP	1	cscl: ISA	80	85	85	60	90	NA	NA	NA	0	0	0	0	45	0	0	0	NA	0	NA	NA	NA	NA	NA				
AB	1	cscl: Memmap	70	0	0	50	90	NA	NA	NA	0	10	10	0	30	0	0	0	NA	0	NA	NA	0	NA	NA	I			
BZ	2	cscl: Memory	50	0	0	50	0	NA	NA	NA	0	0	0	0	5	0	0	0	NA	0	NA	NA	0	NA	NA		I		
BZ	2	cscl: Pipeline	70	0	0	50	5	NA	NA	NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA				
OS	?	cscl: Procon	83	0	0	NA	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	I			
OS		cscl: Reg	85	0	0	50	70	NA	NA	NA	0	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I		
OS		cscl: RF	86	0	0	50	0	NA	NA	NA	0	0	0	0	95	0	NA	30	NA	0	NA	NA	NA	NA	NA	I	I		
BZ		cscl: Sched	87	0	0	50	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
OS		cscl: State	88	0	0	50	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA				
OS		cscl: Tb	89	0	0	NA	0	NA	NA	NA	0	0	0	0	5	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I		
BZ		cscl: Unit	90	0	0	50	0	NA	NA	NA	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA		I		
OS		cscl: VC	90	0	0	50	80	NA	NA	NA	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA				
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		I	
CL		hw_lib: micro eng	0	0	0	40	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I			
		STATUS LEGEND put percentages in the boxes																											
		not started	light red																										
		under construction	yellow																										
		under test	light magenta																										
		completed	green																										
		intersection between r	light blue																										
		Not applicable	dark violet																										
		Divider	black																										
		Priorities																											
		Low priority	orange 4																										
		medium priority	violet																										
		high priority	red																										

File name = csl class.ods

misc/project management/csl class.ods

Stages

Averages crt week

Averages prev week

52.06	52.06	documented: Syntax
13.94	13.94	documented: data structures
12.27	12.27	documented: algorithms
40	40	documented: hw circuits
16.13	16.13	coded: CSL proto C++ lib
0	0	coded: Verilog library
#DIV/0!	#DIV/0!	coded: CSIM
0	0	coded: Command shell
0.74	0.74	coded: IDE
10	10	coded: lexer
10	10	coded: parser
9.63	9.63	coded: tree walker
32.41	34.26	coded: CSLOM
7.04	7.04	coded: CSLOM checker
7.5	14	coded: CSLOM elab
12.07	12.07	coded: Adaptor
21.25	21.25	coded: CDOM
0.37	0.54	coded: CDOM checker
#DIV/0!	#DIV/0!	coded: Verilog code gen
#DIV/0!	#DIV/0!	coded: VHDL code gen
0	0	coded: C++ code gen
#DIV/0!	#DIV/0!	coded: SystemC code gen
#DIV/0!	#DIV/0!	coded: document code gen

uses CSLOM: Assembler	uses CSLOM: Bus ifc	uses CSLOM: Buses	uses CSLOM: Clock	uses CSLOM: Compare	uses CSLOM: Counter	uses CSLOM: Csim	uses CSLOM: Decoder	uses CSLOM: Event	uses CSLOM: FF	uses CSLOM: Isa	uses CSLOM: Mem location	uses CSLOM: Mem map	uses CSLOM: Memory	uses CSLOM: pattern_gen	uses CSLOM: Pipeline	uses CSLOM: Scheduler	uses CSLOM: State	uses CSLOM: Unit	uses CSLOM: VC	uses csic Compiler	uses libcsic.o	uses CSL Library	uses Verilog Library	CSL C++ + prototype lib owner	priority		CSL CLASS	
																								NA	NA		cslc: Verilog Parser	
																								NA	NA		cslc: CDOM	
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I					NA	NA		cslc: GUI
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I								cslc: Command shell
																								NA	NA		CSL pp: regex	
																											cslc:Adaptor	
																											cslc:Adaptor library	
																								NA	NA		CSL pp: Aikido	
											I								I		I			SP			cslc: Arbiter	
																								NA	NA		cslc: inst tree	
																								NA	NA		cslc: autoroute	
		I	I				I	I	I									I					I	SP			cslc: Bus ifc	
			I				I														I			SP			cslc: Buses	
			I																		I			SP	4		cslc: Clock gen	
																											cslc: CSLOmNum	
																											cslc: CDOMNum	
				I																	I			SP	3		cslc: Compare	
					I																I		I	SP	2		cslc: Counter	
							I														I			SP			cslc: Decoder	
							I														I		I	SP			cslc: Enum	
				I	I		I		I		I		I					I			I		I	SP			cslc: Field	
				I	I		I				I							I			I		BZ				cslc: Fifo	
							I				I										I		SP	1			cslc: Interconn	
I							I														I		SP	1			cslc: ISA	
												I									I		BZ				cslc: Memmap	
											I	I									I		SP	5			cslc: Memory	
															I						I		SP				cslc: Pipeline	
														I							I		UN				cslc: Procon	
																					I		I	SP	6		cslc: Reg	
				I			I		I		I		I	I							I		I	SP	7		cslc: RF	
																I					I		UN				cslc: Sched	
																		I			I		BZ				cslc: State	
			I	I	I		I	I					I					I	I	I	I		NA	NA			cslc: Tb	
																		I			I		UN				cslc: Unit	
																			I		I		OB				cslc: VC	
I																					I				NA	NA		sw_lib: ASM
							I																		NA	NA		sw_lib: Csim
				I	I		I		I				I			I							I		NA	NA		hw_lib:Memcntl
I					I		I							I	I								I		NA	NA		hw_lib: micro eng
I					I									I	I										NA	NA		hw_lib: Proc. Ring
																										NA	NA	hw_lib: PSCQN

STATUS LEGEND put p
not started
under construction
under test
completed
intersection between r
Not applicable
Divider

Priorities
Low priority
medium priority
high priority

File name = csl_class.c
misc/project_managen

Averages crt vAverages prev week

77.5	77.5
35	45
10	10
25	25
10	10
25	25
#DIV/0!	#DIV/0!
0	0
26.11	16.11
26.92	25
3.85	3.85
3.46	3.46
5	5
0	0
0	0
6.67	6.67
13.46	13.46
68.85	68.85
13.85	13.85
27.31	27.31
19.69	19.69
58.93	58.93
31.79	31.79
17.33	17.33
7	7
8.93	8.93
6.92	6.92
20.38	20.38
20.08	20.08
10.54	10.54
10.62	10.62
7.83	7.83
16.92	16.92
23.08	23.08
0	0
0	0
3.33	3.33
6.67	6.67
5.83	5.83
27.33	27.33

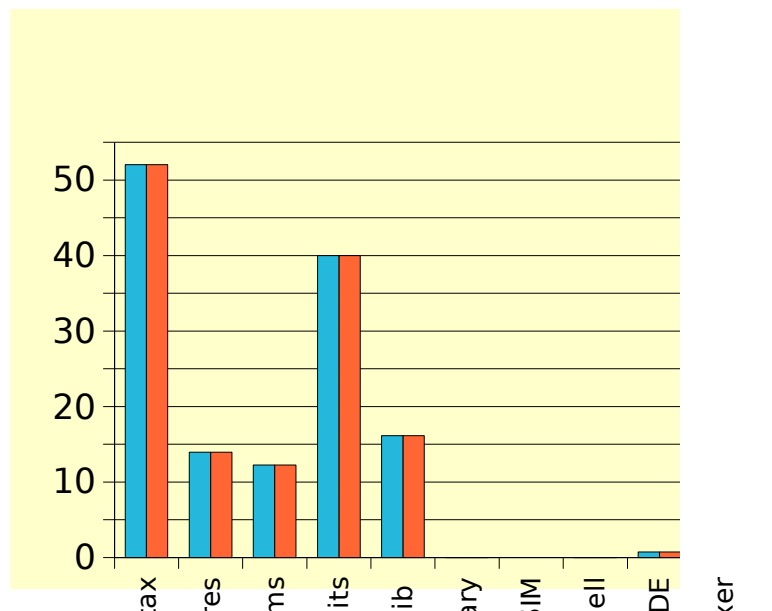
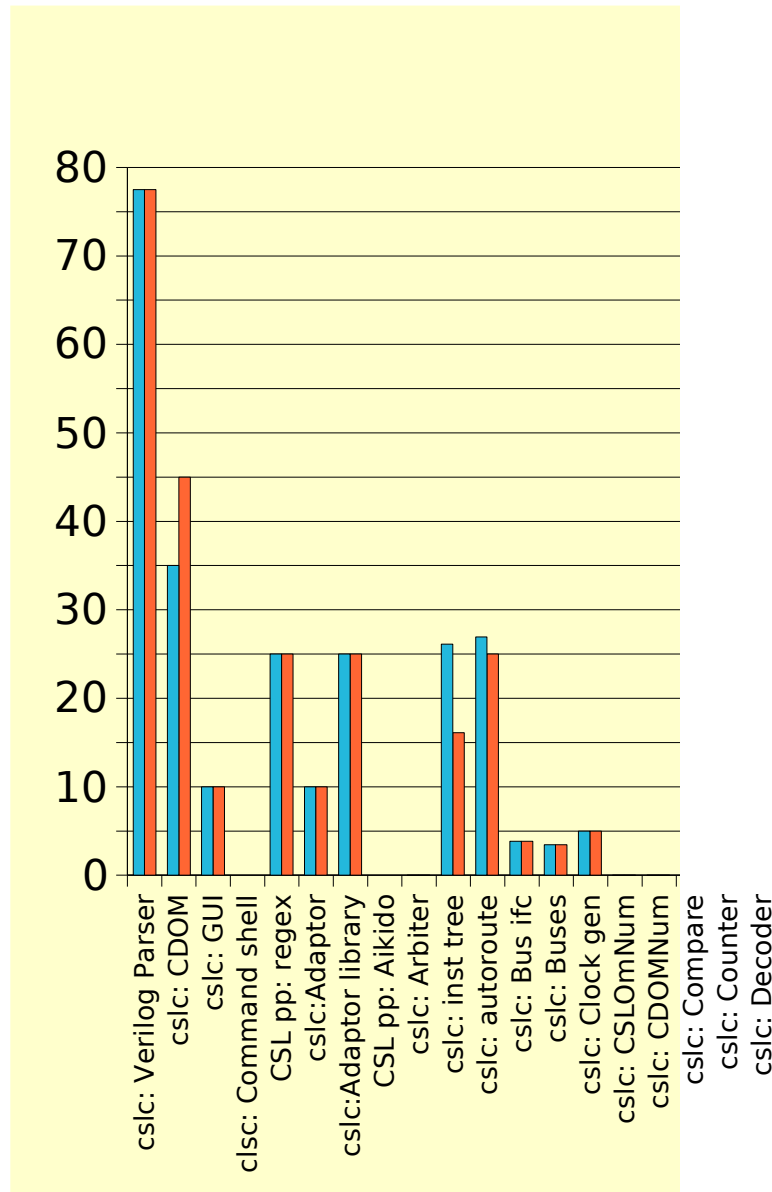
percentages in the boxes

Overall project average

16.82

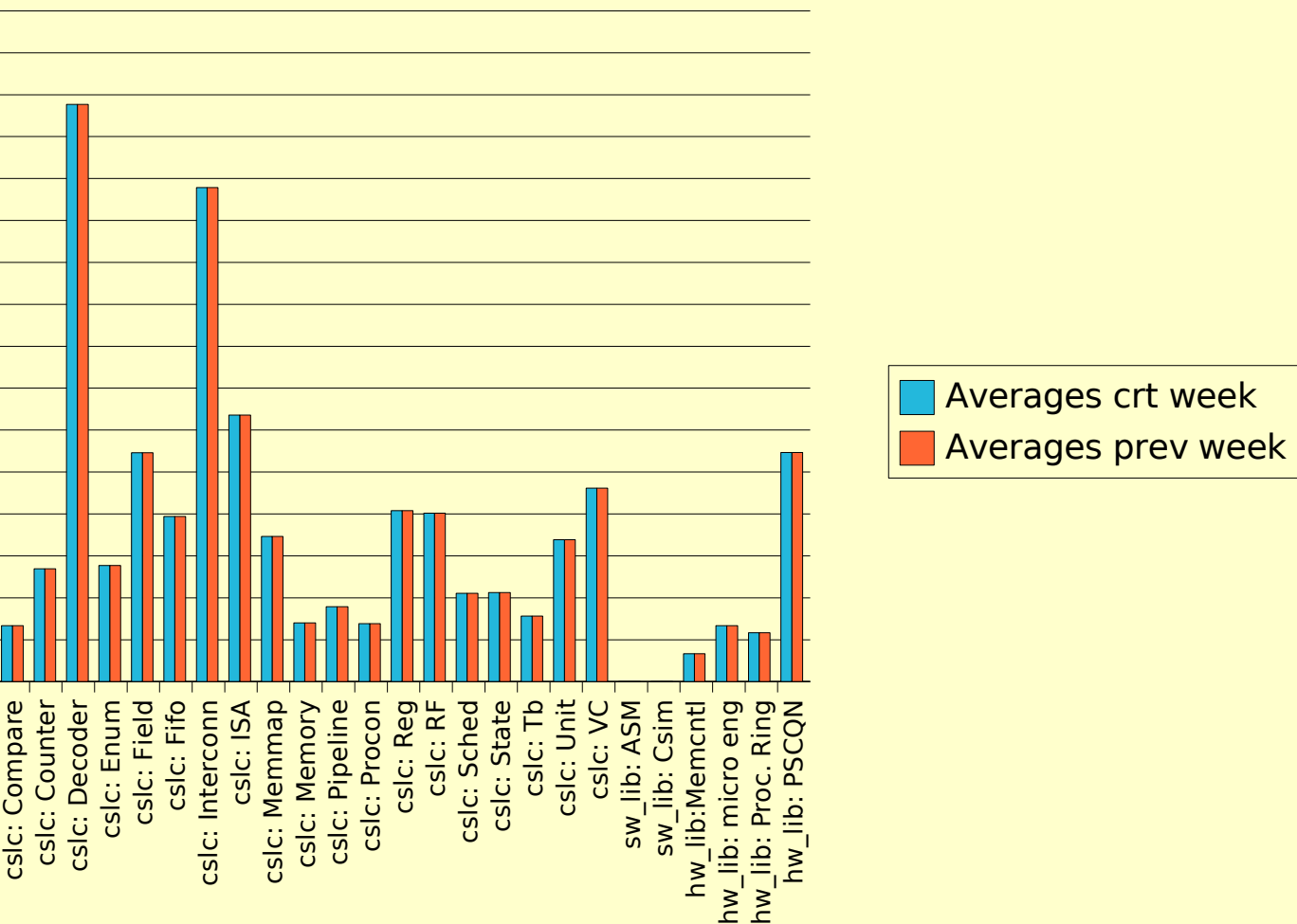
ods

ment/csl_class.ods

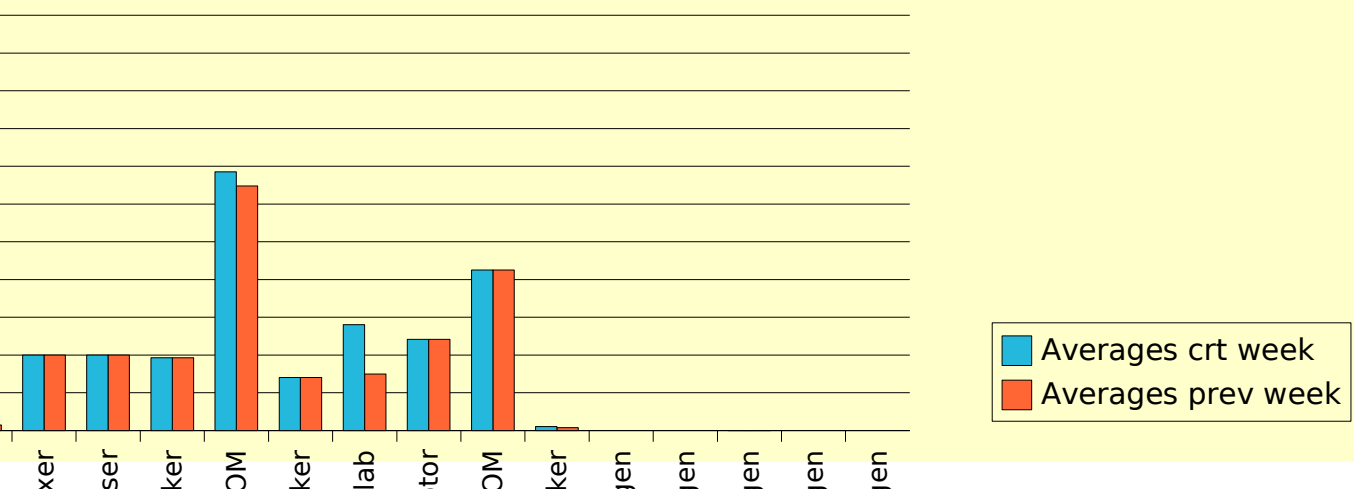


documented: Synta
documented: data structure
documented: algorithm
documented: hw circuit
coded: CSL proto C++ lib
coded: Verilog library
coded: CSIN
coded: Command she
coded: IDI
coded: lexe

Class development



Development stages



coded: lexer

coded: parser

coded: tree walker

coded: CSLOM

coded: CSLOM checker

coded: CSLOM elaborator

coded: Adaptor

coded: CDOM

coded: CDOM checker

coded: Verilog code generator

coded: VHDL code generator

coded: C++ code generator

coded: SystemC code generator

coded: document code generator

cslc owner	cslc owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	coded: document code gen	uses CSLOM: CSL Info class	uses CSLOM: CSL Unit	uses CSLOM: Arbiter
NA		cslc: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA	70	70	70	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA			
APA		cslc: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	85	NA	NA	NA	NA	NA	NA			
CP		cslc: GUI	NA	NA	NA	NA	NA	NA	NA	NA	10	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		I	I
OS		clsc: Command shell	5	NA	NA	NA	NA	NA	NA	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		I	I
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
APA		cslc:Adaptor	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	10	NA	NA	NA	NA	NA	NA	NA			
APA		cslc:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	25	NA	NA	NA	NA	NA	NA	NA			
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA			
BZ		cslc: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	I		I
BZ		cslc: inst tree	NA	25	25	NA	NA	NA	NA	NA	5	NA	NA	NA	65	0	25	0	0	0	NA	NA	NA	NA	NA			
BZ		cslc: autoroute	70	25	25	NA	0	NA	NA	NA	5	0	0	0	75	0	50	75	NA	0	NA	NA	NA	NA	NA			
BZ		cslc: Bus ifc	25	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA		I	
BZ		cslc: Buses	20	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
BZ	2	cslc: Clock gen	40	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
APO		cslc: CSLOmNum	0	0	0	NA	0	0	NA	NA	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA			
APO		cslc: CDOMNum	0	0	0	NA	0	0	NA	NA	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA			
OS	2	cslc: Compare	50	0	0	25	5	NA	NA	NA	NA	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
OS	1	cslc: Counter	90	50	0	25	10	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I	
APA	1	cslc: Decoder	90	90	100	25	0	NA	NA	NA	0	100	100	100	100	100	NA	90	NA	0	NA	NA	NA	NA	NA			
BZ		cslc: Enum	90	0	0	50	40	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
SP		cslc: Field	10	90	75	50	80	NA	NA	NA	0	0	0	0	50	0	NA	0	NA	0	NA	NA	NA	NA	NA			
OS	3	cslc: Fifo	75	0	0	55	1	NA	NA	NA	0	0	0	0	95	0	NA	30	NA	0	NA	NA	NA	NA	NA		I	
BZ	1	cslc: Interconn	80	70	70	50	5	NA	NA	NA	0	90	90	90	90	90	0	90	NA	10	NA	NA	NA	NA	NA			
SP	1	cslc: ISA	80	85	85	60	90	NA	NA	NA	0	0	0	0	45	0	0	0	NA	0	NA	NA	NA	NA	NA			
AB	1	cslc: Memmap	70	0	0	50	90	NA	NA	NA	0	10	10	0	30	0	0	0	NA	0	NA	NA	0	NA	NA	I		
BZ	2	cslc: Memory	50	0	0	50	0	NA	NA	NA	0	0	0	0	5	0	0	0	NA	0	NA	NA	0	NA	NA		I	
BZ	2	cslc: Pipeline	70	0	0	50	5	NA	NA	NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA			
OS	?	cslc: Procon	83	0	0	NA	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	I		
OS		cslc: Reg	85	0	0	50	70	NA	NA	NA	0	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I	
OS		cslc: RF	86	0	0	50	0	NA	NA	NA	0	0	0	0	95	0	NA	30	NA	0	NA	NA	NA	NA	NA	I	I	
BZ		cslc: Sched	87	0	0	50	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
OB		cslc: State	88	0	0	50	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
OB		cslc: Tb	89	0	0	NA	0	NA	NA	NA	0	0	0	0	5	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I	
BZ		cslc: Unit	90	0	0	50	0	NA	NA	NA	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA		I	
OB		cslc: VC	90	0	0	50	80	NA	NA	NA	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA			
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		I
CL		hw_lib: micro eng	0	0	0	40	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		

STATUS LEGEND put percentages in the boxes

not started	light red
under construction	yellow
under test	light magenta
completed	green
intersection between r	light blue
Not applicable	dark violet
Divider	black

25

Priorities

Low priority	orange 4
medium priority	violet
high priority	red

File name = csl_class.ods

misc/project_management/csl_class.ods

Stages

Averages crt week

Averages prev week

52.06	52.06	documented: Syntax
13.94	13.94	documented: data structures
12.27	12.27	documented: algorithms
39.6	40	documented: hw circuits
16.13	16.13	coded: CSL proto C++ lib
0	0	coded: Verilog library
#DIV/0!	#DIV/0!	coded: CSIM
0	0	coded: Command shell
0.74	0.74	coded: IDE
10	10	coded: lexer
10	10	coded: parser
9.63	9.63	coded: tree walker
32.41	32.41	coded: CSLOM
7.04	7.04	coded: CSLOM checker
7.5	7.5	coded: CSLOM elab
12.07	12.07	coded: Adaptor
21.25	21.25	coded: CDOM
0.37	0.37	coded: CDOM checker
#DIV/0!	#DIV/0!	coded: Verilog code gen
#DIV/0!	#DIV/0!	coded: VHDL code gen
0	0	coded: C++ code gen
#DIV/0!	#DIV/0!	coded: SystemC code gen
#DIV/0!	#DIV/0!	coded: document code gen

```
File name = csl_class.c
misc/project_managen
```


Averages crt wAverages prev week

77.5	77.5
45	45
10	10
25	25
10	10
25	25
#DIV/0!	#DIV/0!
0	0
16.11	16.11
25	25
3.85	3.85
3.46	3.46
5	5
0	0
0	0
6.67	6.67
13.46	13.46
68.85	68.85
13.85	13.85
27.31	27.31
19.69	19.69
58.93	58.93
31.79	31.79
17.33	17.33
7	7
8.93	8.93
6.92	6.92
20.38	20.38
20.08	20.08
10.54	10.54
10.62	10.62
7.83	7.83
16.92	16.92
23.08	23.08
0	0
0	0
3.33	3.33
6.67	5
5.83	5.83
27.33	27.33

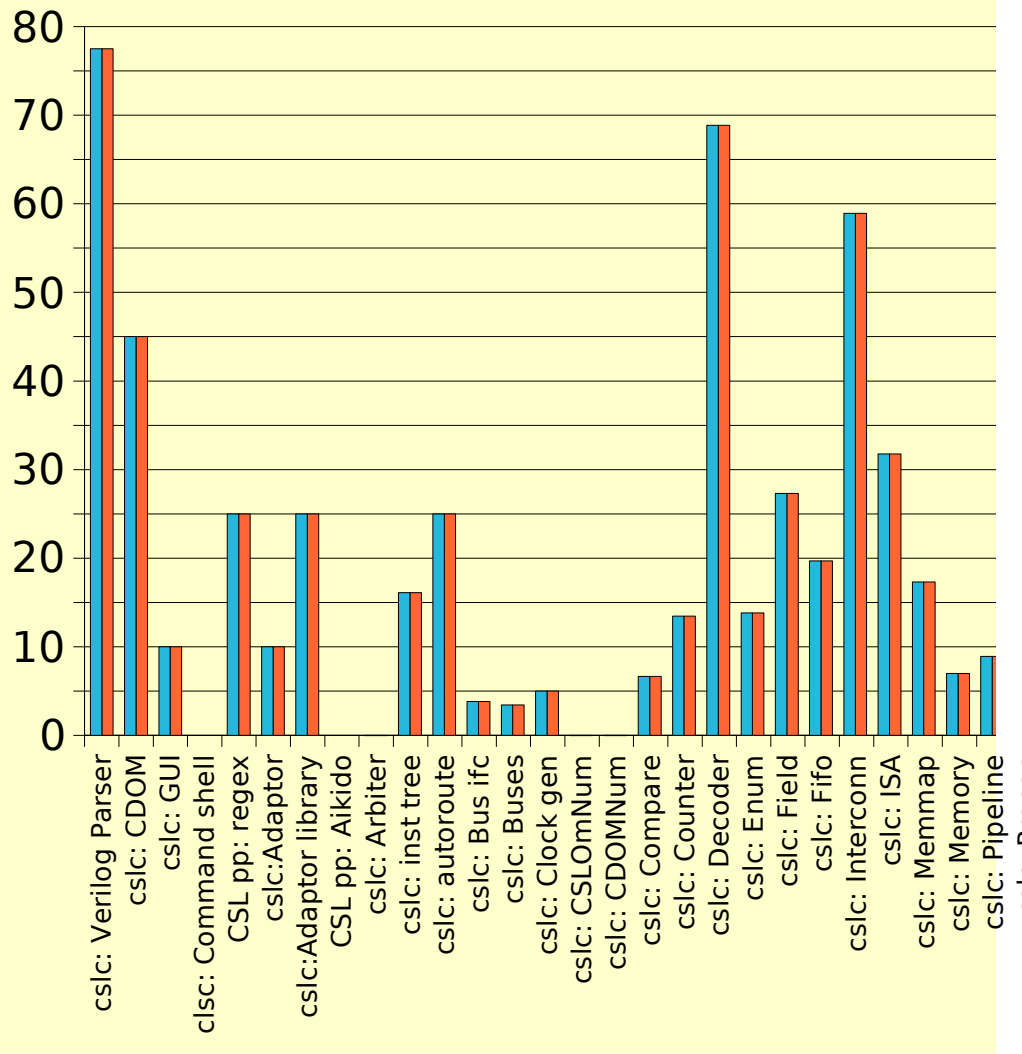
percentages in the boxes

Overall project average

16.56

ods
nent/csl_class.ods

Class dev



Developm



documented: Syntax

documented: data structures

documented: algorithms

documented: hw circuits

coded: CSL proto C++ lib

coded: Verilog library

coded: CSIM

coded: Command shell

coded: IDE

coded: lexer

coded: parser

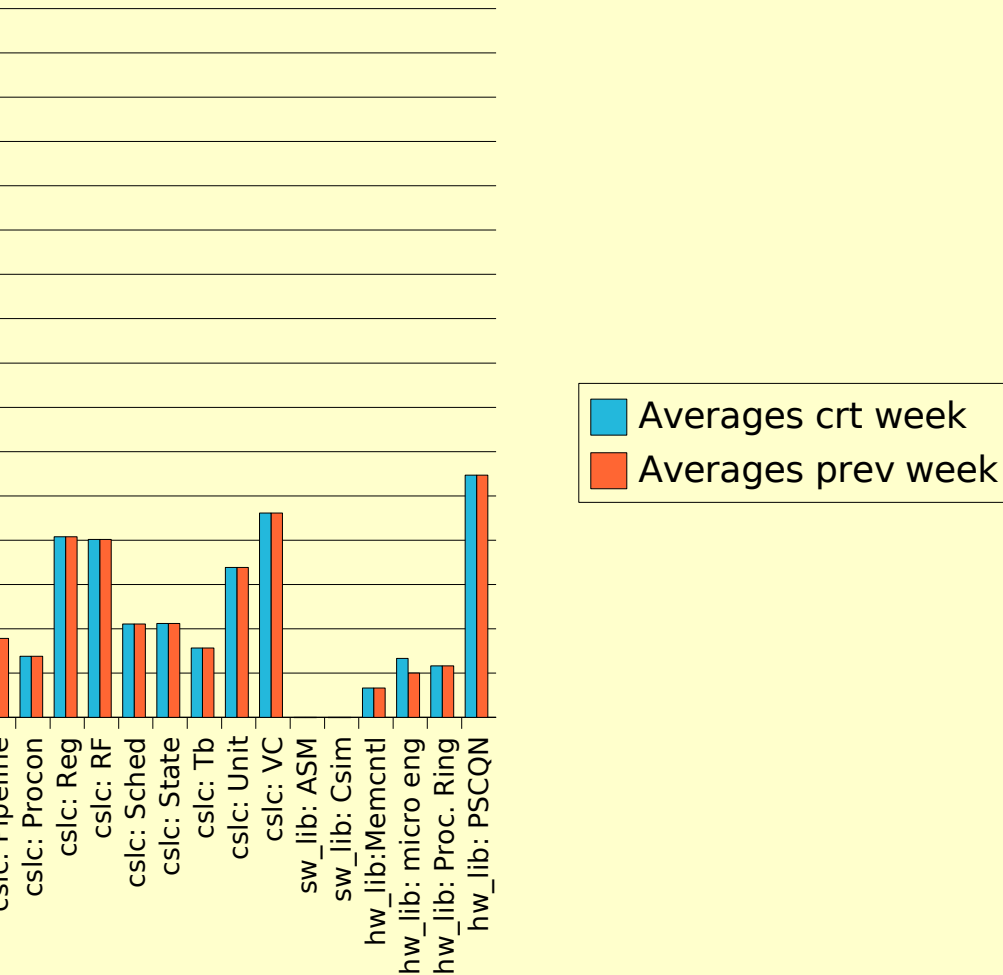
coded: tree walker

coded: CSLOM

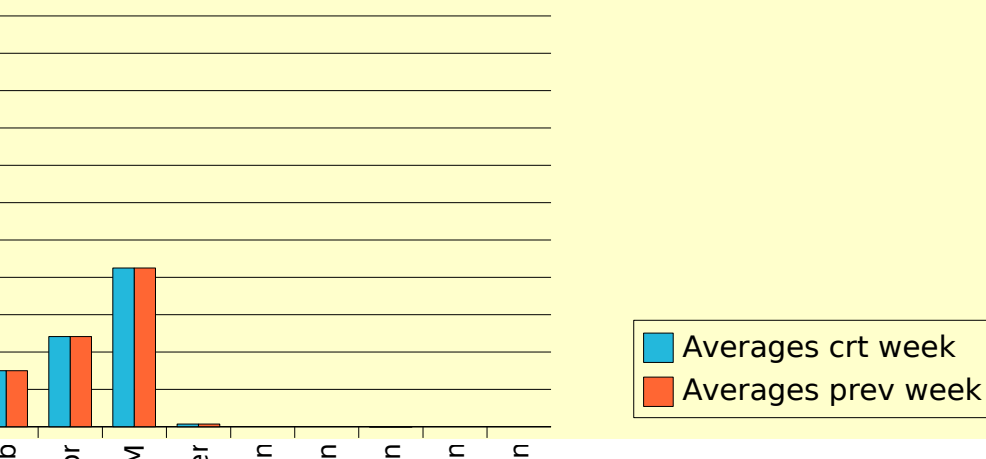
coded: CSLOM checker

coded: CSLOM elab

Development



ent stages



coded: CSLOW elab

 coded: Adaptor

 coded: CDOM

 coded: CDOM checker

 coded: Verilog code gen

 coded: VHDL code gen

 coded: C++ code gen

 coded: SystemC code gen

 coded: document code gen

cslc owner	cslc owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: Command shell	coded: IDE	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	coded: document code gen	uses CSLOM: CSL Info class	uses CSLOM: CSL Unit	uses CSLOM: Arbiter
NA		cslc: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	NA	70	70	70	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA			
APA		cslc: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	85	NA	NA	NA	NA	NA	NA	NA			
CP		cslc: GUI	NA	NA	NA	NA	NA	NA	NA	NA	10	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		I	I
OS		clsc: Command shell	5	NA	NA	NA	NA	NA	NA	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA		I	I
BZ		CSL pp: regex	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
APA		cslc:Adaptor	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	10	NA	NA	NA	NA	NA	NA	NA	NA			
APA		cslc:Adaptor library	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	25	NA	NA	NA	NA	NA	NA	NA	NA			
OS		CSL pp: Aikido	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA			
BZ		cslc: Arbiter	0	NA	NA	0	0	NA	NA	NA	NA	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	I		I
BZ		cslc: inst tree	NA	25	25	NA	NA	NA	NA	NA	5	NA	NA	NA	65	0	25	0	0	0	NA	NA	NA	NA	NA			
BZ		cslc: autoroute	70	25	25	NA	0	NA	NA	NA	5	0	0	0	75	0	50	75	NA	0	NA	NA	NA	NA	NA			
BZ		cslc: Bus ifc	25	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA		I	
BZ		cslc: Buses	20	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
BZ	2	cslc: Clock gen	40	0	0	25	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
APO		cslc: CSLOmNum	0	0	0	NA	0	0	NA	NA	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA			
APO		cslc: CDOMNum	0	0	0	NA	0	0	NA	NA	0	0	0	0	0	0	0	0	0	0	NA	NA	NA	NA	NA			
OS	2	cslc: Compare	50	0	0	25	5	NA	NA	NA	NA	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
OS	1	cslc: Counter	90	50	0	25	10	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I	
APA	1	cslc: Decoder	90	90	100	25	0	NA	NA	NA	0	100	100	100	100	100	NA	90	NA	0	NA	NA	NA	NA	NA			
BZ		cslc: Enum	90	0	0	50	40	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
SP		cslc: Field	10	90	75	50	80	NA	NA	NA	0	0	0	0	50	0	NA	0	NA	0	NA	NA	NA	NA	NA			
OS	3	cslc: Fifo	75	0	0	55	1	NA	NA	NA	0	0	0	0	95	0	NA	30	NA	0	NA	NA	NA	NA	NA		I	
BZ	1	cslc: Interconn	80	70	70	50	5	NA	NA	NA	0	90	90	90	90	90	0	90	NA	10	NA	NA	NA	NA	NA			
SP	1	cslc: ISA	80	85	85	60	90	NA	NA	NA	0	0	0	0	45	0	0	0	NA	0	NA	NA	NA	NA	NA			
AB	1	cslc: Memmap	70	0	0	50	90	NA	NA	NA	0	10	10	0	30	0	0	0	NA	0	NA	NA	0	NA	NA	I		
BZ	2	cslc: Memory	50	0	0	50	0	NA	NA	NA	0	0	0	0	5	0	0	0	NA	0	NA	NA	0	NA	NA		I	
BZ	2	cslc: Pipeline	70	0	0	50	5	NA	NA	NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA			
OS	?	cslc: Procon	83	0	0	NA	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	I		
OS		cslc: Reg	85	0	0	50	70	NA	NA	NA	0	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I	
OS		cslc: RF	86	0	0	50	0	NA	NA	NA	0	0	0	0	95	0	NA	30	NA	0	NA	NA	NA	NA	NA	I	I	
BZ		cslc: Sched	87	0	0	50	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
OB		cslc: State	88	0	0	50	0	NA	NA	NA	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA			
OB		cslc: Tb	89	0	0	NA	0	NA	NA	NA	0	0	0	0	5	0	NA	0	NA	0	NA	NA	NA	NA	NA	I	I	
BZ		cslc: Unit	90	0	0	50	0	NA	NA	NA	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA		I	
OB		cslc: VC	90	0	0	50	80	NA	NA	NA	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA			
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
CL		hw_lib:Memcntl	0	0	0	20	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		I
CL		hw_lib: micro eng	0	0	0	30	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		
AV		hw_lib: PSCQN	84	0	0	40	40	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	I		

STATUS LEGEND put percentages in the boxes

not started	light red
under construction	yellow
under test	light magenta
completed	green
intersection between r	light blue
Not applicable	dark violet
Divider	black

25

Priorities

Low priority	orange 4
medium priority	violet
high priority	red

File name = csl_class.ods

misc/project_management/csl_class.ods

52.06	documented: Syntax
13.94	documented: data structures
12.27	documented: algorithms
39.6	documented: hw circuits
16.13	coded: CSL proto C++ lib
0	coded: Verilog library
#DIV/0!	coded: CSIM
0	coded: Command shell
0.74	coded: IDE
10	coded: lexer
10	coded: parser
9.63	coded: tree walker
32.41	coded: CSLOM
7.04	coded: CSLOM checker
7.5	coded: CSLOM elab
12.07	coded: Adaptor
21.25	coded: CDOM
0.37	coded: CDOM checker
#DIV/0!	coded: Verilog code gen
#DIV/0!	coded: VHDL code gen
0	coded: C++ code gen
#DIV/0!	coded: SystemC code gen
#DIV/0!	coded: document code gen

[illegible]

File name = csl_class.c
misc/project_managen

Averages

77.5
45
10
25
10
25
#DIV/0!
0
16.11
25
3.85
3.46
5
0
0
6.67
13.46
68.85
13.85
27.31
19.69
58.93
31.79
17.33
7
8.93
6.92
20.38
20.08
10.54
10.62
7.83
16.92
23.08
0
0
3.33
5
5.83
27.33

percentages in the boxes

#DIV/0!

Overall project average

16.54

ods

ment/csl_class.ods

cslc owner	cslc owner	CSL CLASS	documented: Syntax	documented: data structures	documented: algorithms	documented: hw circuits	coded: CSL proto C++ lib	coded: Verilog library	coded: CSIM	coded: GUI	coded: lexer	coded: parser	coded: tree walker	coded: CSLOM	coded: CSLOM checker	coded: CSLOM elab	coded: Adaptor	coded: CDOM	coded: CDOM checker	coded: Verilog code gen	coded: VHDL code gen	coded: C++ code gen	coded: SystemC code gen	coded: document code gen	uses CSLOM: CSL Info class	uses CSLOM: CSL Unit	uses CSLOM: Arbiter	uses CSLOM: Asembler	uses CSLOM: Bus ifc
NA		cslc: Verilog Parser	100	NA	NA	NA	NA	NA	NA	NA	70	70	70	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA
APA		cslc: CDOM	NA	25	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	85	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA
CP		cslc: GUI	NA	NA	NA	NA	NA	NA	NA	10	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	0	0
BZ		CSL pp: regex	25	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	0	NA	NA	NA
OS		CSL pp: Aikido	NA	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA
BZ		cslc: Arbiter	0	0	0	0	0	NA	0	NA	0	0	0	0	0	0	0	NA	0	0	NA	NA	NA	NA	NA	0		I	
BZ		cslc: inst tree	NA	25	25	NA	NA	NA	NA	0	NA	NA	NA	NA	NA	25	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA			
BZ		cslc: autoroute	70	25	25	NA	0	NA	0	0	0	0	0	75	0	50	75	NA	0	NA	NA	NA	NA	NA	NA	NA			
BZ		cslc: Bus ifc	25	0	0	0	0	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA	I		I
BZ		cslc: Buses	20	0	0	0	0	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
BZ	2	cslc: Clock gen	40	0	0	0	0	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
OS	2	cslc: Compare	50	0	0	0	5	NA	0	NA	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
OS	1	cslc: Counter	90	50	0	1	10	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	0	I		
APA	1	cslc: Decoder	90	90	100	0	0	NA	0	0	100	100	100	100	100	NA	90	NA	0	NA	NA	NA	NA	NA	NA	NA			
BZ		cslc: Enum	90	0	0	50	40	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
SP		cslc: Field	10	90	75	50	80	NA	NA	0	0	0	0	50	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
OS	3	cslc: Fifo	75	0	0	55	1	NA	0	0	0	0	0	95	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA	I		
BZ	1	cslc: Interconn	80	70	70	50	5	NA	0	0	90	90	90	90	90	0	90	NA	10	NA	NA	NA	NA	NA	NA	NA			
SP	1	cslc: ISA	80	85	85	60	90	NA	NA	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA			I
AB	1	cslc: Memmap	70	0	0	50	90	NA	0	0	10	10	0	30	0	0	0	NA	0	NA	NA	0	NA	NA	0	NA			
BZ	2	cslc: Memory	50	0	0	50	0	NA	0	0	0	0	0	5	0	0	0	NA	0	NA	NA	0	NA	NA	NA	NA	I		
BZ	2	cslc: Pipeline	70	0	0	50	5	NA	0	0	0	0	0	0	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
OS	?	cslc: Procon	83	0	0	NA	0	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	0			
OS	?	cslc: Pscqn	84	0	0	NA	0	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	0			
OS		cslc: Reg	85	0	0	50	70	NA	0	0	0	0	0	60	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	0	I		
OS		cslc: RF	86	0	0	50	0	NA	0	0	0	0	0	95	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	0	I		
BZ		cslc: Sched	87	0	0	50	0	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
OB		cslc: State	88	0	0	50	0	NA	0	0	0	0	0	0	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
OB		cslc: Tb	89	0	0	NA	0	NA	0	0	0	0	0	5	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	0	I		
BZ		cslc: Unit	90	0	0	50	0	NA	0	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA	I		
APO		cslc: csINum	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NA			
APO		cslc: CDOMNum	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NA			
OB		cslc: VC	90	0	0	50	80	NA	0	0	0	0	0	80	0	NA	0	NA	0	NA	NA	NA	NA	NA	NA	NA			
		sw_lib: ASM	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				I
		sw_lib: Csim	0	0	0	NA	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				
CL		hw_lib: Memcntl	0	0	0	20	0	0	0	NA	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA			I	
CL		hw_lib: micro eng	0	0	0	30	0	0	0	NA	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				I
AV		hw_lib: Proc. Ring	0	0	0	35	0	0	0	NA	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				
AV		hw_lib: PSCQN	0	0	0	40	40	0	0	NA	0	0	0	0	0	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA				

STATUS LEGEND put percentages in the boxes

not started	light red
under construction	yellow
under test	light magenta
completed	green
intersection between r	light blue
Not applicable	dark violet
Divider	black

Priorities

Low priority	orange 4
medium priority	violet
high priority	red

File name = csl_class.ods

misc/project_management/csl_class.ods

File name = csl_class.c
misc/project management

Averages

77.5
45
10
8.33
0
0
18.75
22.86
1.79
1.43
2.86
4.23
10.79
62.14
12.86
27.31
16.14
55
28.57
16.25
6.56
8.33
6.38
6.46
18.93
16.5
9.79
9.86
7.23
15.71
0
0
21.43
0
0
1.67
2.5
2.92
6.67

percentages in the boxes

14.43

13.31

[illegible]

[illegible]

[illegible]

Overall project average

April 07	16.54
April 12	16.56
April 16	16.82
April 23	20.45
April 30	22.51
May 07	22.56
May 14	22.72
May 21	24.21
June 4	25.28
June 14	19.57
June 21	19.4

