

Digital Logic Design

數位邏輯設計

第 1 章 數位邏輯基本概念

- 1-1 數量表示法
- 1-2 數位系統及類比系統
- 1-3 邏輯準位及二進位表示法
- 1-4 數位積體電路及可程式邏輯裝置的認識



第 1 章 數位邏輯基本概念

數位邏輯的觀念已經廣泛地應用在日常生活中，例如參加或不參加郊遊、打開或關閉電視、買或不買東西、事件結果為真或假等情形，都只有兩種狀態，相當於數位邏輯中的「1」或「0」，稱之為二進位（binary）表示法。

而數位邏輯電路是專門處理二進位的電路，通常應用在電腦、通訊、微處理機等方面，本章將針對數位邏輯的觀念與數位積體電路做說明。

1-1 數量表示法

自古以來，人類就會使用各種不同的數量來表示或統計事物，例如身高160 公分、體重50 公斤、溫度30°C、交流電壓110V等，都是一種數量的表示法。一般而言，數量的表示法可以區分為兩大類，即類比（analog）表示法與數位（digital）表示法，分別說明如下：

一 類比表示法

類比表示法是指「連續變化的數量表示法」，這些數量變化都是連續性，在自然界中大多數的物理量都是屬於類比表示法。例如溫度的變化、汽車油門速度的變化、人類體重的增減、水銀溫度計的溫度顯示等，這些連續變化的數量稱之為類比表示法。如圖1-1(a) 所示為指針式三用電表，以指針偏轉的角度來表示電壓或電流的大小，且指針偏轉的角度是連續變化無間斷。

1-1 數量表示法

二 數位表示法

數位表示法是指「非連續變化的數量表示法」，這些數量變化都是不連續性的。例如打開或關閉電視、日曆是一天撕掉一張、電子數字鐘的時、分、秒數與數位式溫度計的溫度顯示等，這些不連續變化的數量稱之為數位表示法。如圖1-1(b)所示為數位式三用電表，以數字來表示電壓或電流的大小，例如電壓為110.72V，只能顯示110.7V，其數字是近似且不連續的數量。



(a) 指針式三用電表



(b) 數位式三用電表

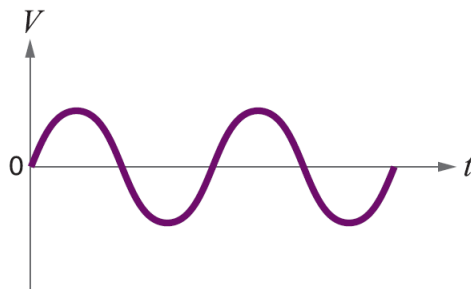
▲ 圖 1-1 類比表示法與數位表示法

1-2 數位系統及類比系統

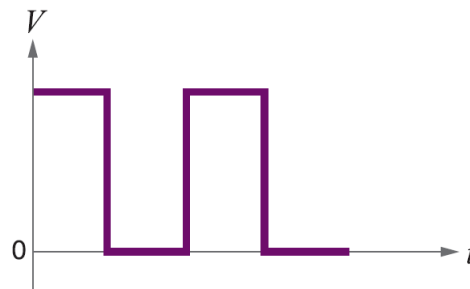
在電子電路中所處理的資料數量，稱為信號（signal），而信號又分為類比信號（analog signal）與數位信號（digital signal）。所謂類比信號是指在自然界中連續變化的信號，如圖1-2(a)所示之正弦波即為類比信號。而類比信號在傳送的過程中，很容易受到雜訊的干擾而導致信號失真，且類比信號有不易儲存、還原及控制等缺點。

所謂數位信號是指不連續變化的信號，通常只有高電位與低電位兩種電壓準位，如圖1-2(b)所示之方波即為數位信號。數位信號在傳送的過程中，較不容易受到雜訊的干擾且傳送速度較快，而且數位信號具有可程式（programmable）控制、容易儲存及還原等優點。

1-2 數位系統及類比系統



(a) 類比信號



(b) 數位信號

▲ 圖 1-2 類比信號與數位信號

1-2 數位系統及類比系統

一般在電子電路中，為了處理類比與數位信號，包含了類比系統、數位系統與兩種混合之系統，分別說明如下：

一 類比系統

類比系統是專門用來處理類比信號的電路系統，例如指針式三用電表、水銀溫度計、汽車指針型轉速表、指針式的體重計等都是類比系統。

二 數位系統

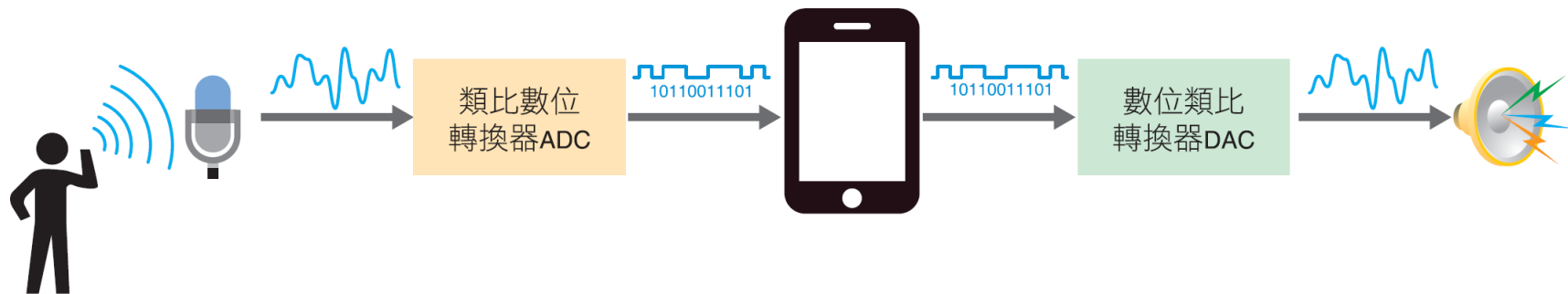
數位系統是專門用來處理數位信號的電路系統，例如數位式三用電表、數位式溫度計、開關電路、電子數字鐘、電腦等都是數位系統。

1-2 數位系統及類比系統

三 混合系統

在實際應用時，有時類比系統與數位系統也會同時存在一個混合的電路系統中，所以透過類比數位轉換器（**analog-to-digital converter**；簡稱ADC）可以將類比信號轉換成數位信號；而數位類比轉換器（**digital-to-analog converter**；簡稱DAC）則可以將數位信號轉換成類比信號。如圖1-3 所示，人們會利用手機中的麥克風將說話的聲音轉換成類比信號，再透過類比數位轉換器將此類比信號轉換成數位信號，以儲存在手機的記憶體中，若需要聆聽錄製的聲音時，再利用數位類比轉換器將此數位信號轉換成類比信號，接著透過手機中的喇叭將類比信號播放出來。

1-2 數位系統及類比系統



▲ 圖 1-3 混合系統

1-3 邏輯準位及二進位表示法

一 邏輯準位

在數位系統中的電子電路，通常稱為數位邏輯電路或簡稱為數位電路，而在數位邏輯電路中邏輯準位與脈波準位是十分重要的，其定義說明如下：

(一) 邏輯準位

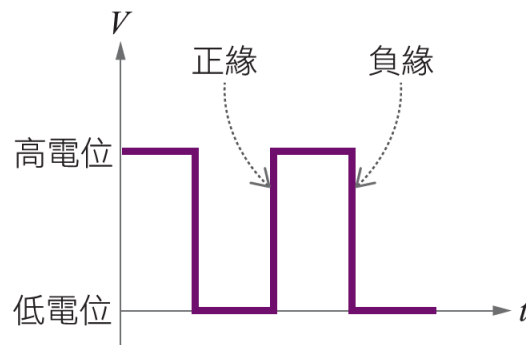
數位邏輯電路的邏輯準位有兩種定義：

1. 正邏輯：高電位以「H」或「1」表示；低電位以「L」或「0」表示。一般普遍使用正邏輯，故本書中皆使用正邏輯。
2. 負邏輯：高電位以「L」或「0」表示；低電位以「H」或「1」表示。

1-3 邏輯準位及二進位表示法

(二) 脈波準位

由於在數位邏輯電路中的電壓準位只有「高電位」與「低電位」兩種狀態，若持續交替地產生「高電位」與「低電位」的信號，稱之為脈波（pulse），如圖1-4 所示是一個理想脈波。



▲ 圖 1-4 理想脈波

1-3 邏輯準位及二進位表示法



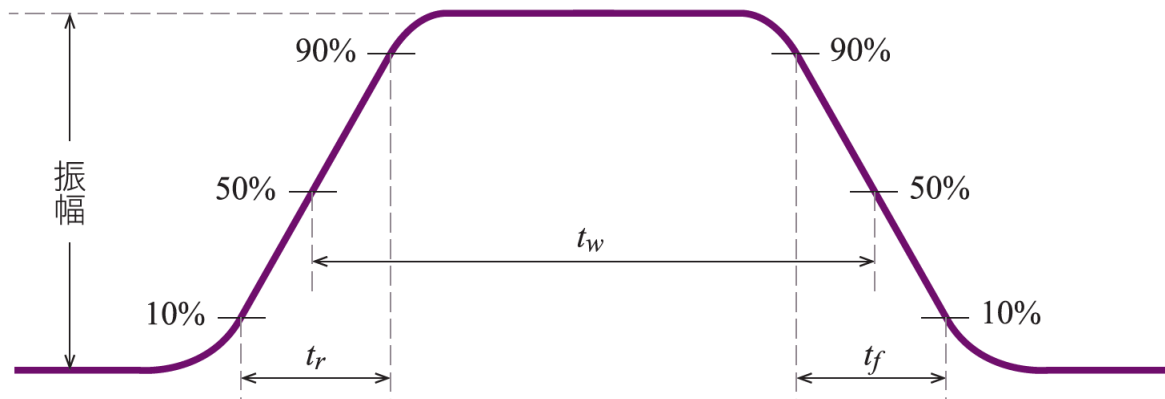
小百科

理想脈波之相關說明如下：

1. **高電位**：在脈波信號中，高電壓的部分稱為高 (high) 電位，以「**H**」或「**1**」表示。
2. **低電位**：在脈波信號中，低電壓的部分稱為低 (low) 電位，以「**L**」或「**0**」表示。
3. **正緣**：在脈波信號中，由低電位「**0**」轉變為高電位「**1**」時稱為正緣或前緣，一般以「**↑**」表示。
4. **負緣**：在脈波信號中，由高電位「**1**」轉變為低電位「**0**」時稱為負緣或後緣，一般以「**↓**」表示。

1-3 邏輯準位及二進位表示法

但在實際電路中，並非所有的脈波信號都是理想脈波，如圖 1-5 所示是一個實際的脈波。



▲ 圖 1-5 實際的脈波

1-3 邏輯準位及二進位表示法



小百科

實際脈波之相關說明如下：

1. 上升時間（rise time；簡稱 t_r ）：由脈波振幅的 10% 處上升到 90% 處所需的時間。
2. 下降時間（fall time；簡稱 t_f ）：由脈波振幅的 90% 處下降到 10% 處所需的時間。
3. 脈波寬度（pulse width；簡稱 t_w ）：由脈波正緣振幅的 50% 處到負緣振幅的 50% 處所需的時間。

1-3 邏輯準位及二進位表示法

二 二進位表示法

由於在數位邏輯電路中的電壓準位只有高電位與低電位兩種狀態，用來表示這兩種狀態的數字定義為位元（bit），其中「1」代表「高電位」，「0」代表「低電位」。

利用多個位元可以組成數字碼（codes），可用來表示數字、文字與符號等。例如表示數字可以使用二進位碼、八進位碼、十六進位碼、二進碼十進數（BCD）碼等，而表示文字與符號可以使用加三碼、格雷碼、美國資訊交換標準代碼（ASCII）等。這些將會在第5章做詳細的介紹，本節僅針對二進位表示法做說明。

1-3 邏輯準位及二進位表示法

二進位 (binary) 表示法只有「1」與「0」兩種狀態，其中「1」代表「高電位」，「0」代表「低電位」。通常二進位表示法可以應用在數位電路、電腦與微處理機等方面。二進位表示法是由0 與1 來組成一個數目，也就是以2 為基底，逢2 即進位。現在我們舉一個二進位數1001.01，來說明二進位的表示法，如表1-1 所示。

1-3 邏輯準位及二進位表示法

▼ 表 1-1 二進位表示法

項目	說明
二進位表示法	$1001.01_{(2)} = 1001.01_{(B)}$
加權表示式	$1001.01_{(2)}$ $= 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2}$
基底	2 (逢 2 進位)
可使用的數字	0、1
加權值	2^3 、 2^2 、 2^1 、 2^0 、 2^{-1} 、 2^{-2} 為各個數字的加權值
最高有效位元 (Most Significant Bit ；簡稱 MSB)	在加權表示式中最左邊的數字 1，其加權值 (2^3) 最高，所以稱為 MSB。
最低有效位元 (Least Significant Bit ；簡稱 LSB)	在加權表示式中最右邊的數字 1，其加權值 (2^{-2}) 最低，所以稱為 LSB。

1-4 數位積體電路及可程式邏輯裝置的認識

目前數位邏輯電路都已製成積體電路（integrated circuit；簡稱IC），所謂IC是指在單一個矽（Si）晶片上，製造出電晶體、二極體、電阻及電容等元件，並將各個元件組合成電子電路。一般而言，IC 可以區分為數位IC 及類比IC（或稱為線性IC）兩種。我們將針對數位IC 加以說明。

一 數位IC 的分類

依據IC 內部所包含的電子元件數、邏輯閘數與用途，數位IC 可以區分為小型積體電路、中型積體電路、大型積體電路、超大型積體電路、極大型積體電路與巨大型積體電路，如表1-2 所示。

1-4 數位積體電路及可程式邏輯裝置的認識

▼ 表 1-2 數位 IC 的分類 - 依據內部所包含的電子元件數與邏輯閘數

類型	電子元件數	邏輯閘數	用途
小型積體電路 (small scale IC ; 簡稱 SSI)	100 個以下	10 個以下	基本邏輯閘。
中型積體電路 (medium scale IC ; 簡稱 MSI)	100 ~ 1000 個	10 ~ 100 個	編碼器、解碼器、多工器、計數器等。
大型積體電路 (large scale IC ; 簡稱 LSI)	1000 ~ 10000 個	100 ~ 1000 個	小容量記憶體、簡單型微處理器。
超大型積體電路 (very large scale IC ; 簡稱 VLSI)	$10^4 \sim 10^6$ 個	$10^3 \sim 10^5$ 個	1970 年代微處理器：例如 80286 CPU。 主記憶體。
極大型積體電路 (ultra large scale IC ; 簡稱 ULSI)	$10^6 \sim 10^7$ 個	$10^5 \sim 10^6$ 個	1980 年代微處理器：例如 80486、 Pentium CPU。64 M bits 以上的主記憶體。
巨大型積體電路 (giga scale IC ; 簡稱 GSI)	10^7 個以上	10^6 個以上	多核心微處理器、1G bits 以上的主記憶體。

1-4 數位積體電路及可程式邏輯裝置的認識

依據IC內部電路所使用的電晶體類型，數位IC可以區分為雙極性電晶體與單極性MOSFET兩類，如表1-3所示。

▼ 表 1-3 數位 IC 的分類 - 依據內部電晶體與電路類型

類型		說明	
雙極性電晶體	非飽和型	CTL (complementary transistor logic)	互補式電晶體邏輯
		ECL (emitter coupled logic)	射極耦合邏輯
	飽和型	RTL (resistor transistor logic)	電阻電晶體邏輯
		DTL (diode transistor logic)	二極體電晶體邏輯
		TTL (transistor transistor logic)	電晶體電晶體邏輯
		IIL (integrated injection logic)	積體注入邏輯
單極性 MOSFET		NMOS (N channel MOSFET)	N 通道金屬氧化物半導體場效電晶體
		CMOS (complement MOSFET)	互補式金屬氧化物半導體場效電晶體

1-4 數位積體電路及可程式邏輯裝置的認識

其中射極耦合邏輯（ECL）因為內部電晶體工作於線性區（非飽和區），故工作速度最快，但消耗功率也最大。雖然數位IC 的種類很多，但是目前最常用的數位IC為TTL 與CMOS 兩種類型，所以將針對TTL IC 與CMOS IC 進行說明。

二 TTL IC 與CMOS IC

（一）TTL IC

電晶體電晶體邏輯（transistor transistor logic；簡稱TTL）是由美國德州儀器公司（TI）在1964 年所生產，由於其內部輸入端的電路是採用雙極性電晶體，所以稱之為電晶體電晶體邏輯。TTL IC 使用的電源電壓是5V，由於發展較早，包裝齊全，所以應用最廣泛，並具有速度快的優點，但是缺點是消耗功率大

1-4 數位積體電路及可程式邏輯裝置的認識

常見的TTL IC 編號可以區分為74 系列與54 系列兩種類型，其用途、工作電壓與工作溫度範圍，如表1-4 所示。

▼ 表 1-4 常見的 TTL IC 編號

類型	用途	工作電壓	工作溫度範圍
74 系列 (74××)	工、商業用	4.75V~5.25V ($5V \pm 0.25V$)	0°C ~ 70°C
54 系列 (54××)	軍事用	4.5V~5.5V ($5V \pm 0.5V$)	-55°C ~ +125°C

1-4 數位積體電路及可程式邏輯裝置的認識

(二) CMOS IC

互補式金屬氧化物半導體場效電晶體（**complementary MOSFET**；簡稱**CMOS**）是由美國RCA 公司在1967 年製造生產，由於其內部輸入端的電路是採用互補型金屬氧化物半導體場效應電晶體，所以稱之為互補式金屬氧化物半導體邏輯。

CMOS IC 使用的電源電壓範圍較廣，其電源電壓 V_{DD} 比 V_{SS} 高3V ~18V，且具有消耗功率低、推動負載能力強（扇出數大）、雜訊的抑制能力高（雜訊邊限大）、包裝密度高等優點，但是工作速度最慢。目前CMOSIC 有逐漸取代TTL IC 的趨勢，且常應用在VLSI 與ULSI 中。常見的CMOS IC 編號，有40xx 與45xx 系列兩種類型。

1-4 數位積體電路及可程式邏輯裝置的認識

三 數位IC 的特性

通常在選用數位IC 時，必須考慮電壓準位、雜訊邊限、傳遞延遲時間、消耗功率與扇出數等特性，說明如下：

(一) 電壓準位

數位邏輯電路中的電壓準位只有「高電位」與「低電位」兩種狀態，我們先針對邏輯閘的輸入電壓與輸出電壓之「高電位」與「低電位」來進行定義，並比較TTL IC 與CMOS IC 輸入與輸出的電壓準位，如表1-5 所示。

1-4 數位積體電路及可程式邏輯裝置的認識

▼ 表 1-5 電壓準位的定義與比較

項目	定義	TTL IC	CMOS IC
電源電壓	IC 使用的直流電源電壓	$V_{CC} = 5\text{ V}$	V_{DD} 比 V_{SS} 高 $3 \sim 18\text{ V}$ (假設 $V_{SS} = 0\text{ V}$)
V_{IH}	邏輯閘的輸入高準位電壓	2.0 V 以上	$0.7 V_{DD}$ 以上
V_{IL}	邏輯閘的輸入低準位電壓	0.8 V 以下	$0.3V_{DD}$ 以下
V_{OH}	邏輯閘的輸出高準位電壓	2.4 V 以上	$\doteq V_{DD}$
V_{OL}	邏輯閘的輸出低準位電壓	0.4 V 以下	$\doteq 0$

1-4 數位積體電路及可程式邏輯裝置的認識

(二) 雜訊邊限

雜訊邊限 (noise margins) 是指在不改變輸出端電壓邏輯準位下，前一級的輸出電壓與下一級的輸入電壓之間所能承受的最大雜訊電壓，例如TTL 的 $V_{OH} = 2.4V$ 以上， $V_{IH} = 2.0V$ 以上，所以兩者之間所能承受的最大雜訊電壓為 $2.4V - 2.0V = 0.4V$ 。因此雜訊邊限定義為：

$$V_{NH} = V_{OH} - V_{IH}$$

1-1 式

$$V_{NL} = V_{IL} - V_{OL}$$

1-2 式

1-4 數位積體電路及可程式邏輯裝置的認識

▼ 表 1-6 TTL 與 CMOS 雜訊邊限的比較

當高低準位的雜訊邊限不同時，通常取 V_{NH} 與 V_{NL} 兩者之間雜訊邊限較小者，以避免錯誤動作。一般而言，雜訊邊限越大，表示雜訊的抑制能力越高。TTL 與 CMOS 雜訊邊限的比較，如表 1-6 所示。

雜訊邊限	TTL	CMOS
定義	<p> $V_{OH} = 2.4\text{ V}$ $V_{OL} = 0.4\text{ V}$ $V_{IH} = 2\text{ V}$ $V_{IL} = 0.8\text{ V}$ </p>	<p> $V_{OH} = V_{DD}$ $V_{OL} = 0\text{ V}$ $V_{IH} = 0.7V_{DD}$ $V_{IL} = 0.3V_{DD}$ </p>
理論值	$V_{NH} = V_{OH} - V_{IH} = 2.4\text{ V} - 2\text{ V} = 0.4\text{ V}$ $V_{NL} = V_{IL} - V_{OL} = 0.8\text{ V} - 0.4\text{ V} = 0.4\text{ V}$	$V_{NH} = V_{OH} - V_{IH} = V_{DD} - 0.7 V_{DD} = 0.3 V_{DD}$ $V_{NL} = V_{IL} - V_{OL} = 0.3 V_{DD} - 0 = 0.3 V_{DD}$

1-4 數位積體電路及可程式邏輯裝置的認識

例題 1-1 CMOS 的雜訊邊限

某一個CMOS IC 的電源電壓 V_{DD} 為5V， V_{SS} 為0V，其所能容忍的雜訊邊限為多少？

$$\text{解 } V_{NH} = V_{OH} - V_{IH} = V_{DD} - 0.7V_{DD} = 5 \text{ V} - 3.5 \text{ V} = 1.5 \text{ V}$$

$$V_{NL} = V_{IL} - V_{OL} = 0.3V_{DD} - 0 = 1.5 \text{ V} - 0 \text{ V} = 1.5 \text{ V}$$

所以同樣是電源電壓 5V 時，**CMOS** 的雜訊邊限比**TTL** 高。

演練 1

某一CMOS IC 的電源電壓 V_{DD} 為10V， V_{SS} 為0V，其所能容忍的雜訊邊限為多少？

1-4 數位積體電路及可程式邏輯裝置的認識

(三) 傳遞延遲時間

傳遞延遲時間（**propagation delay**；簡稱 t_{pd} ）是指信號從邏輯閘的輸入端傳遞到輸出端所需的時間。一般而言，傳遞延遲時間越短，表示傳遞的速度越快。

(四) 消耗功率

消耗功率（ P_D ）是指電源供給IC 內部的單一個邏輯閘所消耗的功率。消耗功率（ P_D ）為：

1-4 數位積體電路及可程式邏輯裝置的認識

$$P_D = V_{CC} \times I_{CC}$$

1-3 式

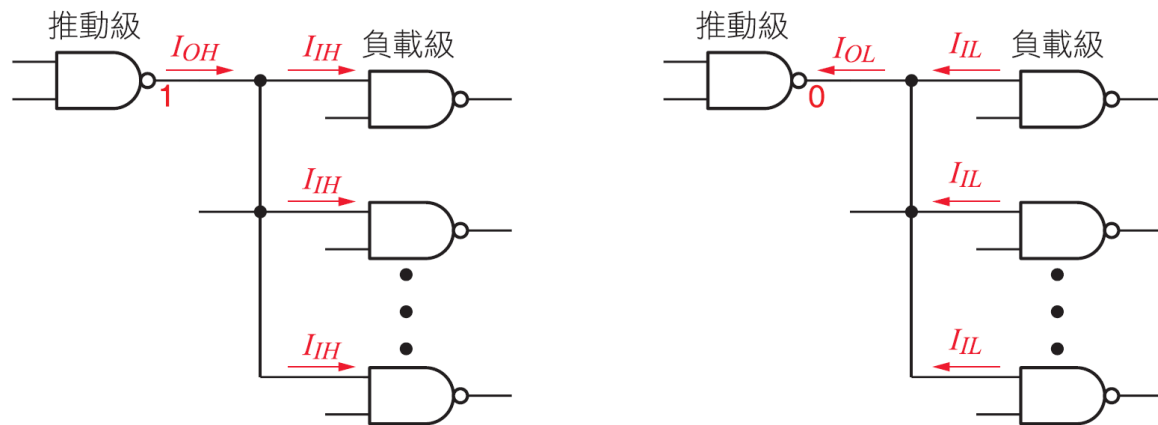
V_{CC} ：電源電壓。

I_{CC} ：輸出平均電流。

1-4 數位積體電路及可程式邏輯裝置的認識

(五) 扇出數

扇出數 (fan out) 是指邏輯閘在不改變輸出端電壓邏輯準位下，輸出端所能推動同類型的邏輯閘負載的最大能力。一般而言，扇出數越大，表示推動負載的能力越強。如圖1-6 所示為扇出數的定義：



(a) 輸出高電位時

(b) 輸出低電位時

▲ 圖 1-6 扇出數的定義

1-4 數位積體電路及可程式邏輯裝置的認識

其中輸出高電位之扇出數定義為 N_H ；輸出低電位之扇出數定義為 N_L ，即：

$$N_H = \left| \frac{I_{OH}}{I_{IH}} \right|$$

1-4 式

$$N_L = \left| \frac{I_{OL}}{I_{IL}} \right|$$

1-5 式

通常定義流入邏輯閘的電流（ I_{OL} 、 I_{IH} ）方向為正號，流出邏輯閘的電流（ I_{OH} 、 I_{IL} ）方向為負號。

1-4 數位積體電路及可程式邏輯裝置的認識

其中 I_{OH} ：推動級邏輯閘輸出為高電位時，推動級邏輯閘流出的最大電流。

I_{IH} ：推動級邏輯閘輸出為高電位時，負載級邏輯閘流入的最大電流。

I_{OL} ：推動級邏輯閘輸出為低電位時，推動級邏輯閘流入的最大電流。

I_{IL} ：推動級邏輯閘輸出為低電位時，負載級邏輯閘流出的最大電流。

當高低準位的扇出數不同時，通常取 N_H 與 N_L 兩者之間扇出數較小者，以避免無法推動。

1-4 數位積體電路及可程式邏輯裝置的認識

例題 1-2 TTL 的扇出數

若某一TTL IC 的電流參數為 $I_{OH} = -400\mu A$ 、 $I_{OL} = 8mA$ 、 $I_{IH} = 40\mu A$ 、 $I_{IL} = -1.6mA$ ，則其推動同類型IC 之扇出數為多少？

解
$$N_H = \frac{|I_{OH}|}{|I_{IH}|} = \frac{400\mu A}{40\mu A} = 10, \quad N_L = \frac{|I_{OL}|}{|I_{IL}|} = \frac{8mA}{1.6mA} = 5$$

所以取 N_H 與 N_L 兩者之間較小者，即扇出數為5。

演練 2

若某一個TTL IC 的電流參數為 $I_{OH} = -400\mu A$ 、 $I_{OL} = 16mA$ 、 $I_{IH} = 50\mu A$ 、 $I_{IL} = -1.6mA$ ，則其扇出數為多少？

1-4 數位積體電路及可程式邏輯裝置的認識

四 數位IC 之封裝

目前常見的數位IC 之封裝，可由封裝的晶片數目、封裝的材料、元件與電路板銲接方式以及接腳型式等類型加以分類。

(一) 依封裝的晶片數目分類

依據IC 中封裝的晶片多寡，可以區分為單晶片封裝（single chip packages；簡稱SCP）及多晶片封裝（multi-chip packages；簡稱MCP）兩類。其中單晶片封裝是指在一個封裝裏包含一個晶片；而多晶片封裝是指在一個封裝裏包含多個晶片。

1-4 數位積體電路及可程式邏輯裝置的認識

(二) 依封裝的材料分類

依據IC 封裝的材料，可以區分為陶瓷封裝（ceramic packages）及塑膠封裝（plastic packages）兩類。其中陶瓷封裝具有熱傳導佳、可靠度高的優點，而塑膠封裝則具有製程自動化、低成本、薄型化的優點。

1-4 數位積體電路及可程式邏輯裝置的認識

(三) 依元件與電路板銲接方式分類


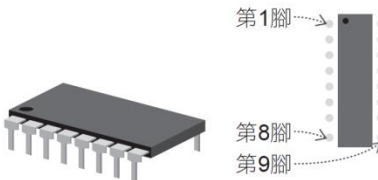
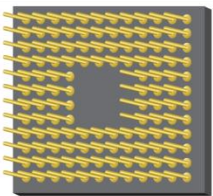
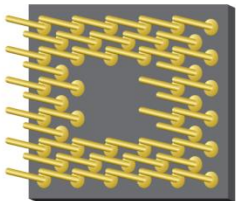
依據元件與電路板銲接方式，可以區分為接腳插入型（**pin-throughhole**；簡稱**PTH**）及表面黏著型（**surface mount technology**；簡稱**SMT**）兩類。其中接腳插入型多為細針狀或薄板狀金屬，所以印刷電路板（PCB）必須鑽孔，才能利用腳座（**socket**）或導孔（**via**）以進行銲接；而表面黏著型多為鉤型（**J-lead**）、海鷗翅型（**gull wing**），可直接將元件黏貼至印刷電路板後以進行銲接，所以印刷電路板不須鑽孔。

(四) 依接腳型式分類

為了配合接腳插入型或表面黏著型的銲接方式，數位IC 發展出許多封裝型式，如表1-7 所示。

1-4 數位積體電路及可程式邏輯裝置的認識

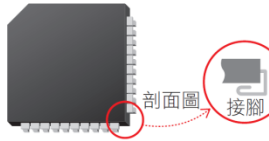
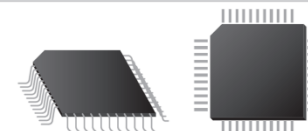
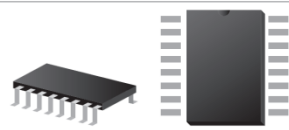
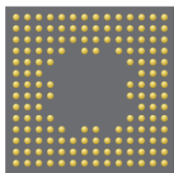
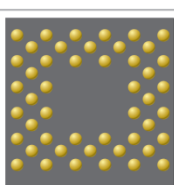
▼ 表 1-7 數位 IC 之封裝分類—依接腳型式分類

銲接方式	封裝型式	實體圖	說明
接腳插入型 (PTH)	單列式封裝 (single inline packages ; 簡稱 SIP)		接腳為薄板狀金屬
	雙列式封裝 (dual inline packages ; 簡稱 DIP)		接腳為細針狀，最常用於 SSI、MSI 包裝中。
	針格陣列式封裝 (pin grid array ; 簡稱 PGA)		其接腳排列方式為上下左右對齊，常用於 LSI、VLSI 中。
	交錯針格陣列式封裝 (staggered pin grid array ; 簡稱 SPGA)		其接腳排列方式為插空隙。

1-4

數位積體電路及可程式邏輯裝置的認識

▼ 表 1-7 數位 IC 之封裝分類—依接腳型式分類 (續)

銲接方式	封裝型式	實體圖	說明
表面黏著型 (SMT)	塑料電極晶片載體 (plastic leaded chip carrier; 簡稱 PLCC)		IC 的四面接腳導線皆向內彎成鉤型 (J-lead)。
	四邊扁平式封裝 (quad flat inline packages; 簡稱 QFP)		IC 的四面接腳導線皆向外彎成海鷗翅型 (gull wing)。
	小型化封裝 (small outline packages; 簡稱 SOP 或 SOIC)		IC 的兩面接腳導線皆向外彎成海鷗翅型。
	錫球格點陣列式封裝 (ball grid array; 簡稱 BGA)		將 PGA 的針腳取代為錫球接點，其錫球接點排列方式為上下左右對齊。
	交錯錫球格點陣列式封裝 (staggered ball grid array; 簡稱 SBGA)		與 BGA 類似，只是其錫球接點排列方式為插空隙。

1-4 數位積體電路及可程式邏輯裝置的認識

五 可程式邏輯裝置的認識

可程式邏輯（programmable logic）是一種中大型的數位積體電路，可以讓使用者自行透過圖形輸入法或硬體描述語言（hardware description language；簡稱HDL）設計其邏輯功能，因此可程式邏輯與傳統的TTL / CMOS IC 只能提供單一的邏輯功能有著明顯的不同。可程式邏輯具有下列優點：

1. 彈性佳：使用者可以自行設計邏輯功能，因此邏輯電路之設計更具彈性。
2. 時效性高：可以透過軟體即時模擬驗證設計的正確性，因此可以縮短產品開發的時間。

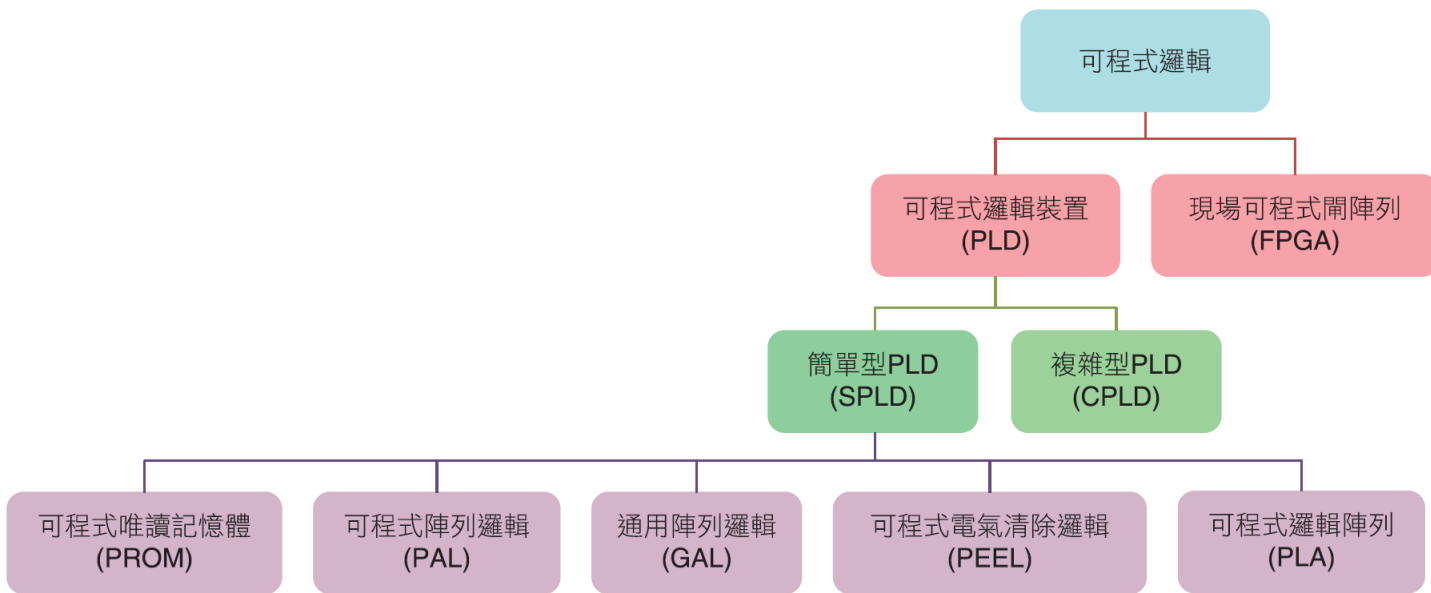
1-4 數位積體電路及可程式邏輯裝置的認識

3. 容量高：可以容納大量的元件數，所以能有效降低IC 使用的個數與減少印刷電路板（PCB）的面積，以節省成本。
4. 可靠度高：由於印刷電路板的面積降低且電路設計簡化，故可靠度提高。
5. 速度快：由於電路的包裝密度高，雜散電容小，所以可以工作在更高的頻率下。
6. 保密性高：由於內部有保密性保險絲（security fuse），可防止產品被仿冒。
7. 容易設計與修改：可以透過硬體描述語言設計其邏輯功能，而且可以重複燒錄修改，所以很容易設計與方便修改。

1-4 數位積體電路及可程式邏輯裝置的認識

因此隨著積體電路製程技術的提升與價格低廉，使得可程式邏輯已經逐漸地取代傳統的TTL / CMOS IC，成為數位邏輯電路的主流。一般而言，目前可程式邏輯可以區分為可程式邏輯裝置（programmable logic devices；簡稱PLD）與現場可程式閘陣列（field-programmable gate array；簡稱FPGA）兩大類。而PLD又可區分為簡單型PLD（simple PLD；簡稱SPLD）與複雜型PLD（complex PLD；簡稱CPLD）兩類，如圖1-7 所示。

1-4 數位積體電路及可程式邏輯裝置的認識



▲ 圖 1-7 可程式邏輯分類

1-4 數位積體電路及可程式邏輯裝置的認識

(一) 簡單型PLD (SPLD)

簡單型PLD 是最早被使用的可程式邏輯裝置，主要應用在小規模的數位電路中，最多能取代10 個傳統的數位IC。一般而言，SPLD 是採用雙層的及閘- 或閘陣列（AND - OR gate array）結構所組成，其輸入端是使用AND 閘陣列，輸出端是使用OR 閘陣列。以下將分別說明各種SPLD 的功能。

1-4 數位積體電路及可程式邏輯裝置的認識

1. 可程式唯讀記憶體 (PROM)

可程式唯讀記憶體 (**programmable ROM**；簡稱**PROM**) 是由固定的AND 閘陣列與可程式的OR 閘陣列所組成。OR 閘陣列通常利用保險絲作為資料儲存的裝置，可以讓使用者透過燒錄裝置來熔斷對應的保險絲，以進行資料的儲存，由於保險絲只允許熔斷一次，所以PROM 僅能燒錄一次資料，當燒錄完成後便無法更改儲存的資料。

2. 可程式陣列邏輯 (PAL)

可程式陣列邏輯 (**programmable array logic**；簡稱**PAL**) 是由可程式的AND 閘陣列與固定的OR 閘陣列所組成。由於只有AND 閘陣列可以規劃且僅能規劃一次，所以工作速度比PLA 快、應用範圍廣泛。

1-4 數位積體電路及可程式邏輯裝置的認識

3. 通用陣列邏輯 (GAL)

通用陣列邏輯 (**generic array logic**；簡稱GAL) 是依據PAL改良而成的，由可程式的AND 閘陣列與固定的OR 閘陣列與可程式的輸出入電路所組成。GAL 是使用電子式可抹除可程式唯讀記憶體 (**electrically erasable programmable read only memory**；簡稱EEPROM)，讓使用者利用電氣信號將燒錄完成的資料清除以修改資料，且可重複規劃100 次。因其內部電路採用CMOS 電晶體，所以具有消耗功率低，速度慢的特性。

1-4 數位積體電路及可程式邏輯裝置的認識

4. 可程式電氣清除邏輯 (PEEL)

可程式電氣清除邏輯 (**programmable electrically erasable logic**; 簡稱PEEL) 與GAL 類似，也是使用EEPROM 讓使用者利用電氣信號將燒錄完成的資料清除以修改資料，且可重複規劃1000 次。PEEL 提供更有彈性的結構與更高的容量，例如一個PEEL IC 可以取代超過20 個相同接腳的GAL IC。此外，PEEL 具有消耗功率低，速度快的特性。

1-4 數位積體電路及可程式邏輯裝置的認識

5. 可程式邏輯陣列 (PLA)

可程式邏輯陣列 (**programmable logic array** ; 簡稱**PLA**) 則是由可程式的AND 閘陣列與可程式的OR 閘陣列所組成。由於AND 與OR閘陣列皆可以規劃，且AND 閘陣列與OR 閘陣列都僅能規劃一次，所以工作速度比PAL 慢。

表 1-8 是SPLD 的分類與特性比較。

1-4 數位積體電路及可程式邏輯裝置的認識

▼ 表 1-8 SPLD 的分類與特性比較

類型	AND 閘陣列	OR 閘陣列	特性
PROM	固定	可程式	只能規劃一次。
PAL	可程式	固定	1. 只能規劃一次。 2. 工作速度比 PLA 快。 3. 應用範圍廣泛。
GAL	可程式	固定	1. GAL 是由 PAL 改良而成。 2. 使用 EEPROM 以電氣信號清除資料。 3. 可重複規劃 100 次。 4. 消耗功率低。 5. 速度慢。
PEEL	可程式	固定	1. PEEL 與 GAL 類似。 2. 使用 EEPROM 以電氣信號清除資料。 3. 可重複規劃 1000 次。 4. 更有彈性的結構與更高的容量。 5. 消耗功率低。 6. 速度快。
PLA	可程式	可程式	1. 只能規劃一次。 2. 工作速度比 PAL 慢。

1-4 數位積體電路及可程式邏輯裝置的認識

(二) 複雜型PLD (CPLD)

隨著時代的進步與需求的提升，數位電路的複雜度與日遽增，SPLD 已經無法滿足體積小、容量大的現實需求。因此便發展出複雜型可程式邏輯元件 (CPLD)。

CPLD 是由數組PAL、GAL 等AND - OR 閘陣列結構的SPLD 為基礎所組合而成，所以CPLD 是由許多個獨立的SPLD 組合而成，因此CPLD可以組合成複雜的大型電路。

大部份的CPLD 都須搭配專屬的燒錄器來規劃，但也有屬於系統內可程式化 (in-system programmable；簡稱ISP) 的元件，所謂ISP 是指將元件直接裝在印刷電路板上，就可以進行資料的燒錄，所以具有現場及時調整產品功能的能力。

1-4 數位積體電路及可程式邏輯裝置的認識

一般來說，CPLD 是一種高整合性的邏輯元件，所以CPLD 的邏輯閘容量比SPLD 高，而且CPLD 具有性能佳、可靠度提高、印刷電路板的面積減少及成本降低等優點，但電路延遲的時間固定，所以CPLD 適合應用在數位控制電路中。

1-4 數位積體電路及可程式邏輯裝置的認識

(三) 現場可程式閘陣列 (FPGA)

現場可程式閘陣列 (field-programmable gate array；簡稱FPGA) 也是一種可以在電路板上直接規劃的ISP 元件，由於FPGA 比CPLD 擁有更高的電路密度，所以FPGA 是邏輯閘容量最高、電路最複雜的PLD，因此能設計出更複雜的大型數位電路。

1-4 數位積體電路及可程式邏輯裝置的認識

FPGA 是使用查詢表（look up table；簡稱LUT）來設計邏輯功能，此查詢表是由類似靜態記憶體（SRAM）所組成。當電源關閉時，查詢表內的資料會消失，當電源開啟時，查詢表內的資料會由非揮發性可規劃記憶體（nonvolatile configuration memory）中重新載入至FPGA 中，如此FPGA才能正常運作。

一般來說，FPGA 內部所含的邏輯閘個數較多，且與外部連接的接腳數亦較多，另外FPGA 包含記憶元件，所以適合應用在須有記憶體的大型數位電路中。