

Digital Logic Design

# 數位邏輯設計 全

## 第 7 章 正反器

7-1  $RS$  閘鎖器及防彈跳電路

7-2  $RS$  正反器

7-3  $JK$  正反器

7-4  $D$  型與  $T$  型正反器

7-5 激勵表及正反器之互換



## 第 7 章 正反器

循序邏輯（**sequential logic**）電路是由組合邏輯電路與記憶元件所組成，所以循序邏輯的輸出狀態是由前一個輸出狀態與目前的輸入狀態來決定，以達到循序的功能，例如計數器、移位暫存器等。

循序邏輯電路中最基本的記憶元件就是正反器（**flip-flop**；簡稱**FF**），因為正反器有兩個互補的輸出端，其輸出的狀態互為反相（ $Q$  與  $\overline{Q}$ ），所以稱為正反器。正反器是一種雙穩態多諧振盪電路，由於正反器的輸出端有兩種穩定狀態，假設目前輸出端  $Q=0$ 、 $\overline{Q}=1$ ，只要輸入信號不變，則正反器的下一個輸出狀態穩定在  $Q=0$ 、 $\overline{Q}=1$ ；直到輸入信號改變，讓正反器的下一個輸出狀態轉態成  $Q=1$ 、 $\overline{Q}=0$ ，並且持續穩定下去，所以正反器具有「記憶或儲存」資料的功能，而單一個正反器可以儲存一個位元（bit）的資料，因此正反器可應用於記憶體中。

## 第 7 章 正反器

一般來說，正反器可以區分為 $RS$  正反器、 $JK$  正反器、 $D$  型正反器與 $T$  型正反器等類型，而所有的正反器皆由 $RS$  閘鎖器（ $RS$  latch）所組成，所以必須先介紹 $RS$  閘鎖器。本章將針對各種正反器做詳細的說明，並介紹不同正反器之間互換的方法。

## 7-1 $RS$ 閂鎖器及防彈跳電路

$RS$  閂鎖器 ( $RS$  latch) 又稱為  $RS$  電閂電路， $RS$  閂鎖器除了可組成各種正反器之外，亦可應用在開關防彈跳電路中。

### 一 $RS$ 閂鎖器

$RS$  閂鎖器可由反或閂 (NOR gate) 或反及閂 (NAND gate) 組成，以下將分別說明這兩種  $RS$  閂鎖器。

#### (一) NOR 閂組成的 $RS$ 閂鎖器

由 NOR 閂組成的  $RS$  閂鎖器之符號、內部電路、電路原理與真值表說明如下：

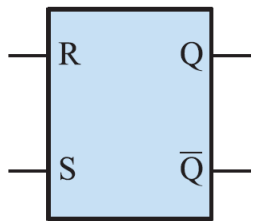
## 7-1 $RS$ 閂鎖器及防彈跳電路

### 1. 符號

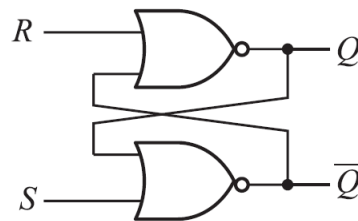
圖 7-1 是一個由 NOR 閂組成的  $RS$  閂鎖器之符號，它有兩個輸入端，其中一個輸入端為重置（reset；簡稱  $R$ ），相當於清除（clear）功能，另一個輸入端為設定（set；簡稱  $S$ ），而輸出端  $Q$  與  $\bar{Q}$  互為反相。

### 2. 內部電路

由 NOR 閂組成的  $RS$  閂鎖器之內部電路，如圖 7-2 所示。



▲ 圖 7-1 由 NOR 閂組成的  $RS$  閂鎖器之符號



▲ 圖 7-2 由 NOR 閂組成的  $RS$  閂鎖器

## 7-1 RS 閂鎖器及防彈跳電路

### 3. 電路原理

如圖7-2所示，輸出端 $Q$ 目前的狀態（即現態），以 $Q_n$ 表示，輸出端 $Q$ 下一個狀態（即次態），以 $Q_{n+1}$ 表示。對反或閂而言，只要有一個輸入為1，其輸出即為0，所以NOR 閂組成的RS 閂鎖器，其電路原理說明如下：

- (1) 當 $R = 0$ 、 $S = 1$ 時：不論輸出 $Q$ 與 $\overline{Q}$ 原來的狀態為何，因為 $S = 1$ 使輸出 $\overline{Q}$ 的下一個狀態 $\overline{Q}_{n+1}$ 為0，由於 $\overline{Q}_{n+1} = 0$ 、 $R = 0$ ，所以輸出 $Q$ 的下一個狀態 $Q_{n+1}$ 設定為1。
- (2) 當 $R = 1$ 、 $S = 0$ 時：不論輸出 $Q$ 與 $\overline{Q}$ 原來的狀態為何，因為 $R = 1$ 使輸出 $Q$ 的下一個狀態 $Q_{n+1}$ 清除為0，由於 $Q_{n+1} = 0$ 、 $S = 0$ ，所以輸出 $\overline{Q}$ 的下一個狀態 $\overline{Q}_{n+1}$ 為1。



## 7-1 RS 門鎖器及防彈跳電路

- (3) 當  $\underline{R} = 0$ 、 $S = 0$  時：不論輸出  $Q$  與  $\overline{Q}$  原來的狀態為何，輸出  $Q$  與  $\overline{Q}$  的下一個狀態  $Q_{n+1}$  與  $\overline{Q}_{n+1}$  都維持不變，以  $Q_n$  表示。若輸出原來的狀態  $Q = 0$ 、 $\overline{Q} = 1$ ，由於原來的  $\overline{Q} = 1$ 、 $R = 0$ ，使輸出  $Q$  的下一個狀態  $Q_{n+1}$  維持 0，由於  $Q_{n+1} = 0$ 、 $S = 0$ ，使  $\overline{Q}$  的下一個狀態  $\overline{Q}_{n+1}$  維持 1；同理可證，若輸出原來的狀態  $Q = 1$ 、 $\overline{Q} = 0$ ，其輸出仍維持不變。
- (4) 當  $R = 1$ 、 $S = 1$  時：輸出  $Q$  既設定又清除，所以輸出  $Q$  與  $\overline{Q}$  的下一個狀態  $Q_{n+1}$  與  $\overline{Q}_{n+1}$  皆為 0，因為  $Q$  與  $\overline{Q}_{n+1}$  互為反相，所以這是不允許的狀態，以 ? 或 0\* 表示，此情況稱為競賽 (race)，應避免使用。

## 7-1 $RS$ 閘鎖器及防彈跳電路

### 4. 真值表

由 NOR 閘組成的  $RS$  閘鎖器之真值表，如表 7-1 所示。

▼ 表 7-1 由 NOR 閘組成的  $RS$  閘鎖器之真值表

輸入狀態		下一個輸出狀態	說明
$R$	$S$	$Q_{n+1}$	
0	0	$Q_n$	不變
0	1	1	設定
1	0	0	清除
1	1	?	不允許



## 7-1 $RS$ 閘鎖器及防彈跳電路

### (二) NAND 閘組成的 $RS$ 閘鎖器

由NAND 閘組成的 $RS$  閘鎖器之符號、內部電路、電路原理與真值表說明如下：

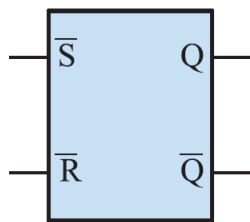
#### 1. 符號

圖 7-3 是一個由NAND閘組成的 $RS$  閘鎖器之符號，它有兩個輸入端，其中一個輸入端為設定（set；簡稱 $\bar{S}$ ），另一個輸入端為重置（reset；簡稱 $\bar{R}$ ），相當於清除（clear）功能，而輸出端 $Q$ 與 $\bar{Q}$  互為反相。

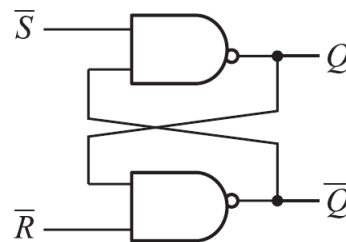
## 7-1 $RS$ 閘鎖器及防彈跳電路

### 2. 內部電路

由 NAND 閘組成的  $RS$  閘鎖器之內部電路，如圖 7-4 所示。



▲ 圖 7-3 由 NAND 閘組成的  $RS$  閘鎖器



▲ 圖 7-4 由 NAND 閘組成的  $RS$  閘鎖器

## 7-1 $RS$ 閂鎖器及防彈跳電路

### 3. 電路原理

如圖 7-4 所示，對反及閂而言，只要有一個輸入為0，其輸出即為1，所以NAND 閂組成的 $RS$  閂鎖器，其電路原理說明如下：

- (1) 當 $\bar{R} = 0$ 、 $\bar{S} = 1$  時：不論輸出 $Q$  與  $\bar{Q}$  原來的狀態為何，因為 $\bar{R} = 0$  使輸出  $\bar{Q}$  的下一個狀態  $\bar{Q}_{n+1}$  為1，由於  $Q_{n+1} = 1$ 、 $\bar{S} = 1$ ，所以輸出 $Q$  的下一個狀態 $Q_{n+1}$  清除為0。
- (2) 當 $\bar{R} = 1$ 、 $\bar{S} = 0$  時：不論輸出 $Q$  與  $\bar{Q}$  原來的狀態為何，因為 $\bar{S} = 0$  使輸出 $Q$  的下一個狀態 $Q_{n+1}$  設定為1，由於 $Q_{n+1} = 1$ 、 $R = 1$ ，所以輸出 $\bar{Q}$  的下一個狀態  $\bar{Q}_{n+1}$  為0。

## 7-1 RS 閥鎖器及防彈跳電路

- (3) 當  $\overline{R} = 0$ 、 $\overline{S} = 0$  時：輸出  $Q$  既設定又清除，所以輸出  $Q$  與  $\overline{Q}$  的下一個狀態  $Q_{n+1}$  與  $\overline{Q}_{n+1}$  皆為 1，因為  $Q$  與  $\overline{Q}$  互為反相，所以這是不允許的狀態，以  $?$  或  $1^*$  表示，此情況稱為競賽（race），應避免使用。
- (4) 當  $\overline{R} = 1$ 、 $\overline{S} = 1$  時：不論輸出  $Q$  與  $\overline{Q}$  原來的狀態為何，輸出  $Q$  與  $\overline{Q}$  的下一個狀態  $Q_{n+1}$  與  $\overline{Q}_{n+1}$  都維持不變，以  $Q_n$  表示。若輸出原來的狀態  $Q = 0$ 、 $\overline{Q} = 1$ ，由於原來的  $Q = 0$ 、 $\overline{R} = 1$ ，使輸出  $\overline{Q}$  的下一個狀態  $\overline{Q}_{n+1}$  維持 1，由於  $\overline{Q}_{n+1} = 1$ 、 $\overline{S} = 1$ ，使  $Q$  的下一個狀態  $Q_{n+1}$  維持 0；同理可證，若輸出原來的狀態  $Q = 1$ 、 $\overline{Q} = 0$ ，其輸出仍維持不變。

## 7-1 $RS$ 門鎖器及防彈跳電路

### 4. 真值表

由 NAND 閘組成的  $RS$  門鎖器之真值表，如表 7-2 所示。

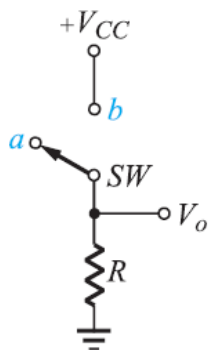
▼ 表 7-2 由 NAND 閘組成的  $RS$  門鎖器之真值表

輸入狀態		下一個輸出狀態	說明
$\bar{R}$	$\bar{S}$	$Q_{n+1}$	
0	0	?	不允許
0	1	0	清除
1	0	1	設定
1	1	$Q_n$	不變

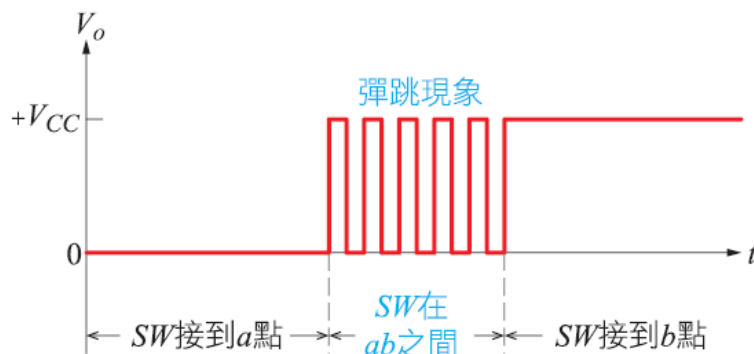
## 7-1 $RS$ 閘鎖器及防彈跳電路

### 二 防彈跳電路

在數位電路中，經常會利用開關來做邏輯準位1 或0 的切換，如圖7-5 所示，然而一般的機械性開關，當開關 $SW$  由 $a$  點移到 $b$  點的瞬間，會有數毫秒（ms）的彈跳（bounce）現象，使邏輯準位無法確定，所以容易造成電子電路錯誤動作。



(a) 電路



(b) 輸出端波形

▲ 圖 7-5 機械性的開關

## 7-1 $RS$ 閂鎖器及防彈跳電路

$RS$  閂鎖器可以用來消除開關彈跳（**debounce**）的現象，以避免電子電路產生錯誤動作，圖7-6 為防彈跳電路及其輸出端波形。當開關 $SW$  由 $a$  點移到 $b$  點之電路原理說明如下：

1. 當開關 $SW$  接到 $a$  點時：即  $\overline{R} = 0$ 、 $\overline{S} = 1$ ，使輸出 $Q$  清除為0，即  $Q = 0$ 。
2. 當開關 $SW$  在 $a$ 、 $b$  之間時：
  - (1) $SW$ 離開 $a$ 未到達 $b$ （時間很短可忽略）： $\overline{R} = 1$ 、 $\overline{S} = 1$ ，使輸出 $Q$  維持不變，即  $Q = 0$ 。
  - (2) $SW$  到達 $b$  點： $\overline{R} = 1$ 、 $\overline{S} = 0$ ，使輸出 $Q$  設定為1，即  $Q = 1$ 。
  - (3)因為反作用力，使 $SW$  在 $a$ 、 $b$  之間： $\overline{R} = 1$ 、 $\overline{S} = 1$ ，使輸出 $Q$  維持不變，即 $Q$  仍然維持1。

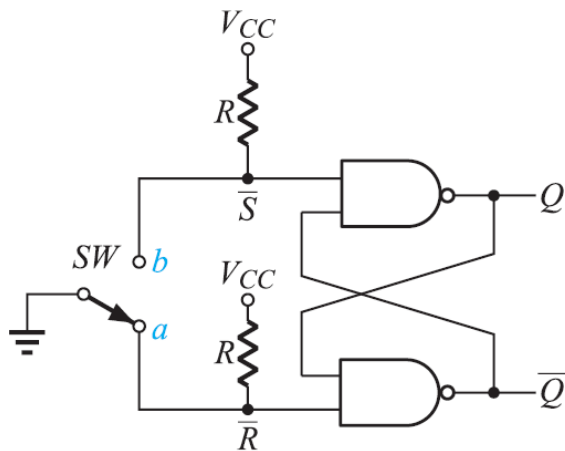


## 7-1 $RS$ 閂鎖器及防彈跳電路

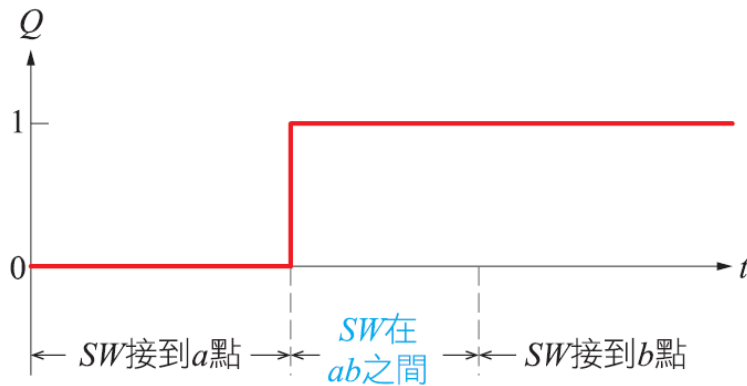
3. 當開關  $SW$  接到  $b$  點時：即  $= 1$ 、 $= 0$ ，使輸出  $Q$  設定為 1，即  $Q = 1$ 。

所以當開關  $SW$  由  $a$  點移到  $b$  點時，輸出  $Q$  直接由 0 轉變為 1，並無彈跳的現象發生。以此類推，當開關  $SW$  由  $b$  點移到  $a$  點時，輸出  $Q$  直接由 1 轉變為 0。

# 7-1 RS 閂鎖器及防彈跳電路



(a) 電路



(b) 輸出端波形

▲ 圖 7-6 防彈跳電路及其輸出端波形

## 7-2 $RS$ 正反器




一般而言，循序邏輯電路有同步與非同步兩種類型，同步電路是受到時序脈波（clock pulse；簡稱時脈或 $CK$ ）的控制，讓數個相關元件在某個時間點同時動作。而非同步電路則不受時序脈波的控制，因此其輸出是依據輸入信號而變化，並無固定的時間。

$RS$  閘鎖器就是屬於非同步電路，只要 $RS$  輸入的信號一經改變，輸出就會隨之變化，其變化的時間並無一定的標準。將 $RS$  閘鎖器加入時脈控制就是 $RS$  正反器。


## 7-2 RS 正反器

### 一 時脈 ( $CK$ ) 控制的類型

時脈控制又可區分為高準位觸發、低準位觸發、正緣觸發與負緣觸發等類型，分別說明如下：

- (一) 高準位觸發：當  $CK$  為 1 時，即 ，正反器的輸出才會依據輸入信號而變化，在真值表中以「1」表示高準位的時脈信號。
- (二) 低準位觸發：當  $CK$  為 0 時，即 ，正反器的輸出才會依據輸入信號而變化，在真值表中以「0」表示低準位的時脈信號。
- (三) 正緣觸發：當  $CK$  由 0 轉變為 1 時，即 ，正反器的輸出才會依據輸入信號而變化，在真值表中以「 $\uparrow$ 」表示正緣的時脈信號。

## 7-2 $RS$ 正反器

(四) 負緣觸發：當  $CK$  由1 轉變為0 時，即 ，正反器的輸出才會依據輸入信號而變化，在真值表中以「 $\downarrow$ 」表示負緣的時脈信號。

正緣觸發與負緣觸發都是屬於邊緣觸發，而邊緣觸發的正反器僅在時脈為正緣或負緣時，其輸出才會依據輸入信號而變化，由於觸發時間非常短暫，所以很容易達到同步的效果，因此大部分正反器的時脈都是採用正緣觸發或負緣觸發，以達到同步控制的目的。

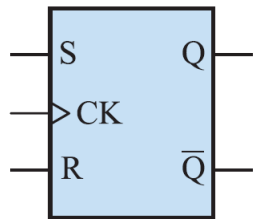
### 二 $RS$ 正反器

邊緣觸發  $RS$  正反器簡稱為  $RS$  正反器， $RS$  正反器之符號、內部電路、電路原理與真值表說明如下：

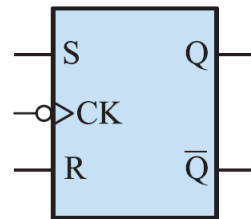
## 7-2 $RS$ 正反器

### (一) 符 號

圖7-7(a) 是正緣觸發 $RS$  正反器之符號，而圖7-7(b) 是負緣觸發 $RS$  正反器之符號，一般在時脈輸入端加上「○」表示負緣觸發。



(a) 正緣觸發  $RS$  正反器之符號



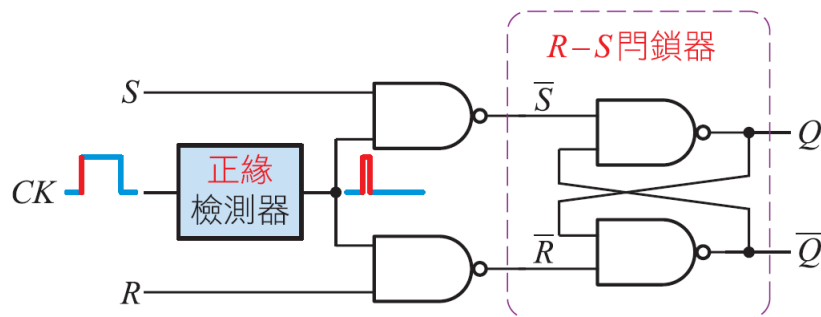
(b) 負緣觸發  $RS$  正反器之符號

▲ 圖 7-7 邊緣觸發  $RS$  正反器之符號

## 7-2 $RS$ 正反器

### (二) 內部電路

無論是正緣觸發或負緣觸發的 $RS$ 正反器，其內部電路皆相同，只是邊緣檢測器是針對正緣或負緣做檢測而已，所以我們以正緣觸發 $RS$ 正反器為例，說明 $RS$ 正反器之內部電路，圖7-8 是正緣觸發 $RS$ 正反器之內部電路。



▲ 圖 7-8 正緣觸發  $RS$  正反器之內部電路



## 7-2 RS 正反器

### (三) 電路原理

如圖7-8所示，當 $CK$ 為0、1或負緣（↓）輸入時，正緣檢測器的輸出端皆為0，不論 $R$ 、 $S$ 的輸入狀態為何（以 $\times$ 表示），使 $RS$ 閘鎖器的 $\overline{R} = 1$ 、 $\overline{S} = 1$ ，所以輸出 $Q$ 的下一個狀態 $Q_{n+1}$ 維持不變，以 $Q_n$ 表示。只有當 $CK$ 為正緣（↑）輸入時，正緣檢測器的輸出端才短暫輸出1，使 $R$ 、 $S$ 的信號反相輸入至 $RS$ 閘鎖器，其電路原理說明如下：

1. 當 $R = 0$ 、 $S = 0$ 時： $RS$ 閘鎖器的 $\overline{R} = 1$ 、 $\overline{S} = 1$ ，所以輸出 $Q$ 的下一個狀態 $Q_{n+1}$ 維持不變，以 $Q_n$ 表示。
2. 當 $R = 0$ 、 $S = 1$ 時： $RS$ 閘鎖器的 $\overline{R} = 1$ 、 $\overline{S} = 0$ ，使輸出 $Q$ 的下一個狀態 $Q_{n+1}$ 設定為1。

## 7-2 $RS$ 正反器

3. 當  $R = 1$ 、 $S = 0$  時： $RS$  門鎖器的  $\bar{R} = 0$ 、 $\bar{S} = 1$ ，使輸出  $Q$  的下一個狀態  $Q_{n+1}$  清除為 0。
4. 當  $R = 1$ 、 $S = 1$  時： $RS$  門鎖器的  $\bar{R} = 0$ 、 $\bar{S} = 0$ ，使輸出  $Q$  的下一個狀態  $Q_{n+1}$  是不允許的狀態，以？表示。

正緣觸發  $RS$  正反器內部電路的完整真值表，如表 7-3(a) 所示。

### (四) 真值表

正緣觸發  $RS$  正反器之真值表，如表 7-3(b) 所示。

## 7-2 $RS$ 正反器

▼ 表 7-3 正緣觸發  $RS$  正反器之真值表

(a) 內部電路的完整真值表

輸入狀態					下一個輸出狀態	說明
$CK$	$R$	$S$	$\bar{R}$	$\bar{S}$	$Q_{n+1}$	
0	×	×	1	1	$Q_n$	不變
1	×	×	1	1	$Q_n$	
↓	×	×	1	1	$Q_n$	
↑	0	0	1	1	$Q_n$	不變
↑	0	1	1	0	1	設定
↑	1	0	0	1	0	清除
↑	1	1	0	0	?	不允許

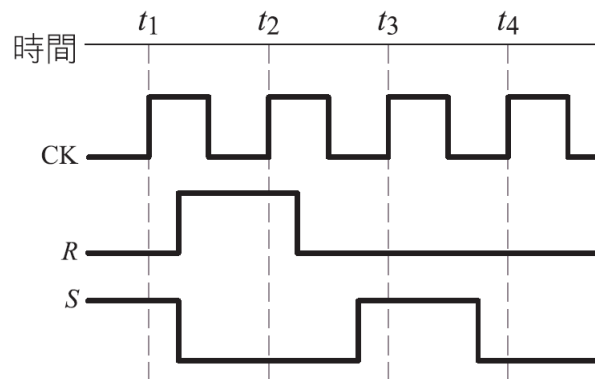
(b) 真值表

輸入狀態			下一個輸出狀態	說明
$CK$	$R$	$S$	$Q_{n+1}$	
↑	0	0	$Q_n$	不變
↑	0	1	1	設定
↑	1	0	0	清除
↑	1	1	?	不允許

## 7-2 $RS$ 正反器

### 例題 7-1 $RS$ 正反器輸出波形

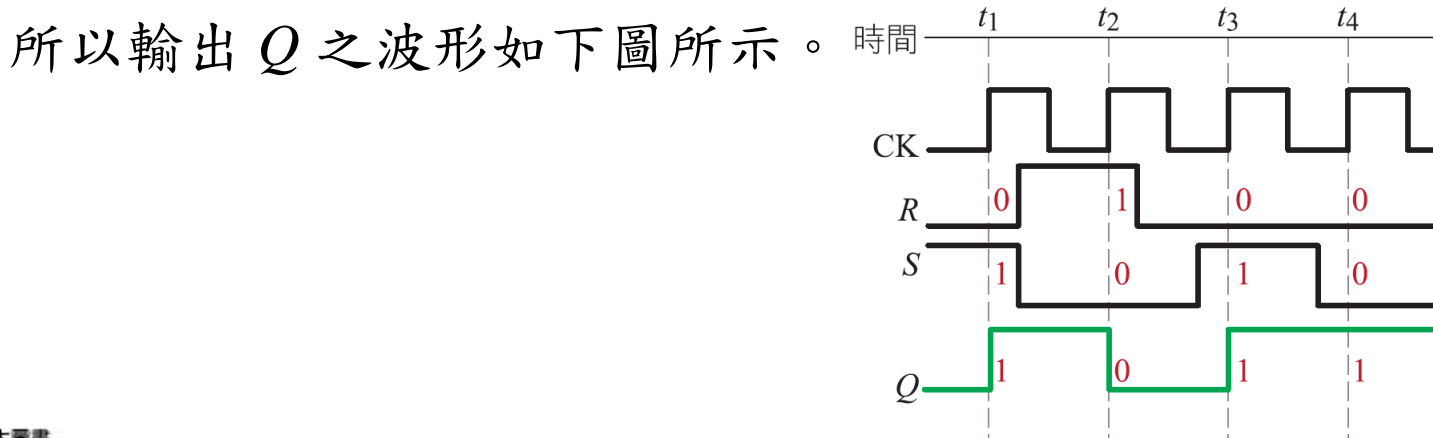
假設正緣觸發  $RS$  正反器的輸入  $CK$  及  $R$ 、 $S$  之波形，如右圖所示，且輸出原來的狀態  $Q = 0$ ，則輸出  $Q$  之波形為何？



## 7-2 RS 正反器

解 輸出  $Q$  之波形分析如下：

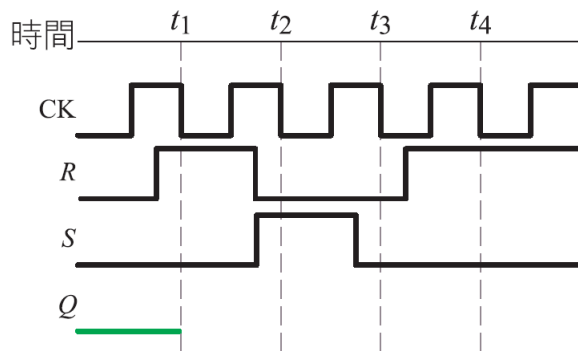
1. 當  $t = t_1$ 、 $R = 0$ 、 $S = 1$  時：輸出  $Q$  設定為 1。
2. 當  $t = t_2$ 、 $R = 1$ 、 $S = 0$  時：輸出  $Q$  清除為 0。
3. 當  $t = t_3$ 、 $R = 0$ 、 $S = 1$  時：輸出  $Q$  設定為 1。
4. 當  $t = t_4$ 、 $R = 0$ 、 $S = 0$  時：輸出  $Q$  維持 1。



## 7-2 $RS$ 正反器

### 演練 1

假設負緣觸發  $RS$  正反器的輸入  $CK$  及  $R$ 、 $S$  之波形，如右圖所示，且輸出原來的狀態  $Q = 0$ ，則輸出  $Q$  之波形為何？



## 7-3 $JK$ 正反器

由於 $RS$  正反器的輸出端有不允許的狀態出現，為了避免這種競賽的現象發生，我們可以將 $RS$  正反器改良成 $JK$  正反器來解決這個問題。常用的 $JK$  正反器有邊緣觸發 $JK$  正反器與主僕式 $JK$  正反器兩種。邊緣觸發 $JK$  正反器簡稱為 $JK$  正反器， $JK$  正反器又可區分為正緣觸發、負緣觸發，分別說明如下：

### 一 $JK$ 正反器

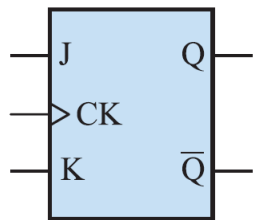
邊緣觸發 $JK$  正反器僅在 $CK$  為正緣或負緣時，其輸出才會依據輸入信號而變化。邊緣觸發 $JK$  正反器之符號、內部電路、電路原理、真值表與用途說明如下：



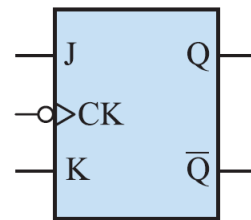
## 7-3 JK 正反器

### (一) 符 號

圖7-9 是邊緣觸發JK 正反器之符號，它有三個輸入端，分別是 $J$ 、 $K$ 與 $CK$ ，而輸出端 $Q$ 與 $\bar{Q}$ 互為反相，其中圖7-9(a)是正緣觸發JK 正反器之符號，而圖7-9(b)是負緣觸發JK 正反器之符號。



(a) 正緣觸發 JK 正反器之符號



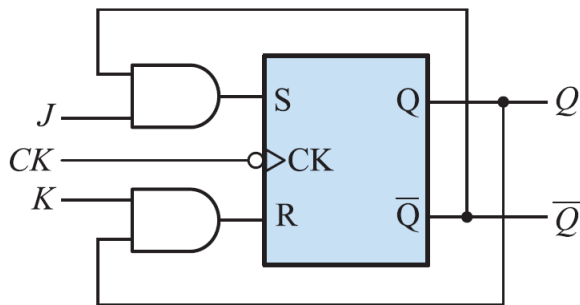
(b) 負緣觸發 JK 正反器之符號

▲ 圖 7-9 邊緣觸發 JK 正反器之符號

## 7-3 JK 正反器

### (二) 內部電路

無論是正緣觸發或負緣觸發的  $JK$  正反器，其內部電路皆是由  $RS$  正反器與邏輯閘組合而成，只是其  $CK$  控制不同而已，所以我們以負緣觸發  $JK$  正反器為例，說明  $JK$  正反器之內部電路，圖7-10是負緣觸發  $JK$  正反器之內部電路。



▲ 圖 7-10 負緣觸發  $JK$  正反器之內部電路

## 7-3 JK 正反器

### (三) 電路原理

如圖7-10所示，只有當 $CK$ 為負緣觸發時， $JK$ 正反器的輸出才會依據輸入信號而變化。參考表7-3(b)  $RS$  正反器之真值表， $JK$  正反器的電路原理說明如下：

1. 當 $J=0$ 、 $K=0$ 時：使 $R=0$ 、 $S=0$ ，所以輸出 $Q$ 與 $\bar{Q}$ 的下一個狀態（即次態） $Q_{n+1}$ 與 $\bar{Q}_{n+1}$ 維持不變，以 $Q_n$ 表示。
2. 當 $J=0$ 、 $K=1$ 時：假設輸出原來的狀態（即現態） $Q=0$ 、 $\bar{Q}=1$ ，使 $R=0$ 、 $S=0$ ，所以輸出 $Q$ 的下一個狀態 $Q_{n+1}$ 維持不變，即 $Q_{n+1}=0$ ；反之，假設輸出原來的狀態 $Q=1$ 、 $\bar{Q}=0$ ，使 $R=1$ 、 $S=0$ ，所以輸出 $Q$ 的下一個狀態 $Q_{n+1}$ 清除為0。所以當 $J=0$ 、 $K=1$ 時，輸出 $Q$ 的下一個狀態 $Q_{n+1}$ 清除為0。

## 7-3 JK 正反器

3. 當  $J=1$ 、 $K=0$  時：假設輸出原來的狀態  $Q=0$ 、 $\overline{Q}=1$ ，使  $R=0$ 、 $S=1$ ，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  設定為1；反之，假設輸出原來的狀態  $Q=1$ 、 $\overline{Q}=0$ ，使  $R=0$ 、 $S=0$ ，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  維持不變，即  $Q_{n+1}=1$ 。所以當  $J=1$ 、 $K=0$  時，輸出  $Q$  的下一個狀態  $Q_{n+1}$  設定為1。
4. 當  $J=1$ 、 $K=1$  時：假設輸出原來的狀態  $Q=0$ 、 $\overline{Q}=1$ ，使  $R=0$ 、 $S=1$ ，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  設定為1，即  $Q$  由0轉變為1；反之，假設輸出原來的狀態  $Q=1$ 、 $\overline{Q}=0$ ，使  $R=1$ 、 $S=0$ ，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  清除為0，即  $Q$  由1轉變為0。所以當  $J=1$ 、 $K=1$  時，輸出  $Q$  的下一個狀態  $Q_{n+1}$  將會轉態，以  $\overline{Q}_n$  表示。

負緣觸發 JK 正反器內部電路的完整真值表，如表7-4(a)所示。

## 7-3 JK 正反器

▼ 表 7-4 負緣觸發 JK 正反器之真值表

(a) 內部電路的完整真值表

輸入狀態					輸出狀態		說明
					現態	次態	
$CK$	$J$	$K$	$S$	$R$	$Q_n$	$Q_{n+1}$	
↓	0	0	0	0	0	0	不變
↓	0	0	0	0	1	1	
↓	0	1	0	0	0	0	清除
↓	0	1	0	1	1	0	
↓	1	0	1	0	0	1	設定
↓	1	0	0	0	1	1	
↓	1	1	1	0	0	1	轉態
↓	1	1	0	1	1	0	

(b) 真值表

輸入狀態			下一個輸出狀態	說明
$CK$	$J$	$K$	$Q_{n+1}$	
↓	0	0	$Q_n$	不變
↓	0	1	0	清除
↓	1	0	1	設定
↓	1	1	$\overline{Q_n}$	轉態

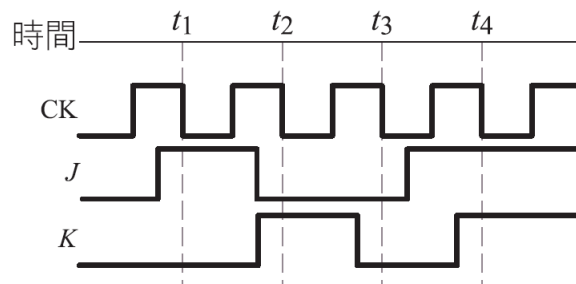
### (五) 用 途

JK 正反器通常應用在計數器、移位暫存器等電路中。

## 7-3 JK 正反器

### 例題 7-2 JK 正反器輸出波形

假設負緣觸發 JK 正反器的輸入  $CK$  及  $J$ 、 $K$  之波形，如右圖所示，且輸出原來的狀態  $Q = 0$ ，則輸出  $Q$  之波形為何？

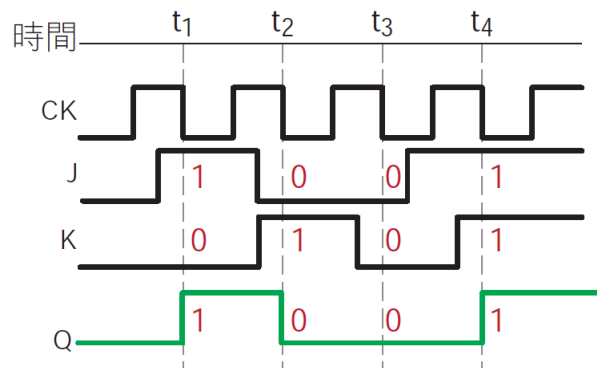


## 7-3 JK 正反器

解 輸出  $Q$  之波形分析如下：

1. 當  $t = t_1$ 、 $J = 1$ 、 $K = 0$  時：輸出  $Q$  設定為 1。
2. 當  $t = t_2$ 、 $J = 0$ 、 $K = 1$  時：輸出  $Q$  清除為 0。
3. 當  $t = t_3$ 、 $J = 0$ 、 $K = 0$  時：輸出  $Q$  維持 0。
4. 當  $t = t_4$ 、 $J = 1$ 、 $K = 1$  時：輸出  $Q$  轉態為 1。

所以輸出  $Q$  之波形如下圖所示。

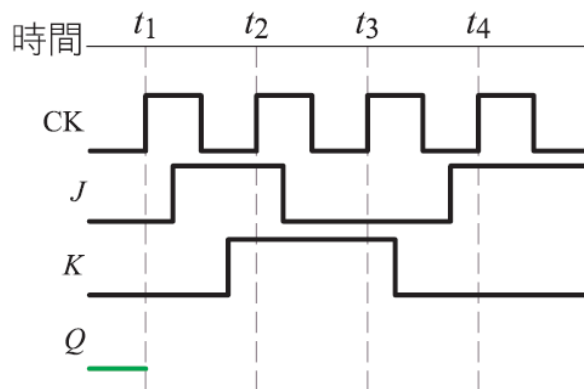




## 7-3 JK 正反器

### 演練 2

假設正緣觸發 JK 正反器的輸入 CK 及 J、K 之波形，如右圖所示，且輸出原來的狀態  $Q = 0$ ，則輸出  $Q$  之波形為何？



## 7-3 $JK$ 正反器

### 二 具有預設與清除的 $JK$ 正反器

雖然上述的  $RS$  正反器與  $JK$  正反器，都可以利用  $RS$  或  $JK$  輸入端來設定其輸出端狀態，但是並無法預先設定正反器的輸出起始狀態，具有預設（preset，簡稱PR）與清除（clear，簡稱CLR）的正反器，正好可以解決這個問題。在所有正反器中，預設與清除都具有最高的優先權，但是兩者不可以同時動作。

預設與清除有高態動作與低態動作兩種類型，本節以具有預設與清除的負緣觸發  $JK$  正反器為例，來說明預設與清除的功能。

## 7-3 JK 正反器

### (一) 預設與清除為高態動作

#### 1. 符 號

圖7-11 是預設與清除為高態動作的JK 正反器符號。

#### 2. 接腳功能

- (1) 當 $PR = 1$ 、 $CLR = 0$  時，無論正反器的 $CK$  與 $J$ 、 $K$  輸入狀態為何（以 $x$  表示），輸出 $Q$  都會預設為1。
- (2) 當 $PR = 0$ 、 $CLR = 1$  時，無論正反器的 $CK$  與 $J$ 、 $K$  輸入狀態為何（以 $x$  表示），輸出端 $Q$  都會清除為0。
- (3) 當 $PR = 1$ 、 $CLR = 1$  時，輸出 $Q$  既預設又清除，所以這是不允許的狀態，以 $?$  表示。
- (4) 當 $PR = 0$ 、 $CLR = 0$  時，正反器才能正常工作，其輸出依 $CK$  與 $J$ 、 $K$ 輸入而變化。

## 7-3 JK 正反器

### 3. 真值表

預設與清除為高態動作的 JK 正反器之真值表，如表 7-5 所示，

▼ 表 7-5 預設與清除為高態動作的 JK 正反器之真值表

輸入狀態					下一個輸出狀態	說明
$PR$	$CLR$	$CK$	$J$	$K$	$Q_{n+1}$	
1	0	×	×	×	1	預設
0	1	×	×	×	0	清除
1	1	×	×	×	?	不允許
0	0	↓	0	0	$Q_n$	正常工作
0	0	↓	0	1	0	
0	0	↓	1	0	1	
0	0	↓	1	1	$\overline{Q_n}$	

## 7-3 $JK$ 正反器

### (二) 預設與清除為低態動作

#### 1. 符號

圖7-12 是預設與清除為低態動作的 $JK$ 正反器符號。

#### 2. 接腳功能

(1) 當 $\overline{PR}=0$ 、 $\overline{CLR}=1$ 時，無論正反器的 $CK$ 與 $J$ 、 $K$ 輸入狀態為何（以 $\times$ 表示），輸出 $Q$ 都會預設為1。

## 7-3 JK 正反器

- (2) 當  $\overline{PR} = 1$ 、 $\overline{CLR} = 0$  時，無論正反器的  $CK$  與  $J$ 、 $K$  輸入狀態為何（以  $\times$  表示），輸出  $Q$  都會清除為 0。
- (3) 當  $\overline{PR} = 0$ 、 $\overline{CLR} = 0$  時，輸出  $Q$  既預設又清除，所以這是不允許的狀態，以  $?$  表示。
- (4) 當  $\overline{PR} = 1$ 、 $\overline{CLR} = 1$  時，正反器才能正常工作，其輸出依  $CK$  與  $J$ 、 $K$  輸入而變化。

## 7-3 JK 正反器

### 3. 真值表

預設與清除為低態動作的 JK 正反器之真值表，如表 7-6 所示。

▼ 表 7-6 預設與清除為低態動作的 JK 正反器之真值表

輸入狀態					下一個輸出狀態	說明
$\overline{PR}$	$\overline{CLR}$	$CK$	$J$	$K$	$Q_{n+1}$	
0	1	×	×	×	1	預設
1	0	×	×	×	0	清除
0	0	×	×	×	?	不允許
1	1	↓	0	0	$Q_n$	正常工作
1	1	↓	0	1	0	
1	1	↓	1	0	1	
1	1	↓	1	1	$\overline{Q_n}$	

## 7-3 $JK$ 正反器

### 三 主僕式 $JK$ 正反器

主僕式 (master-slave) 正反器又稱為主從式正反器，它是由兩個正反器與一個NOT 閘所組成，第一級的正反器稱為主正反器（可為 $RS$  或 $JK$  正反器），第二級的正反器稱為僕正反器（固定為 $RS$  正反器），而NOT 閘的功用是將 $CK$  反相成為互補的觸發信號。

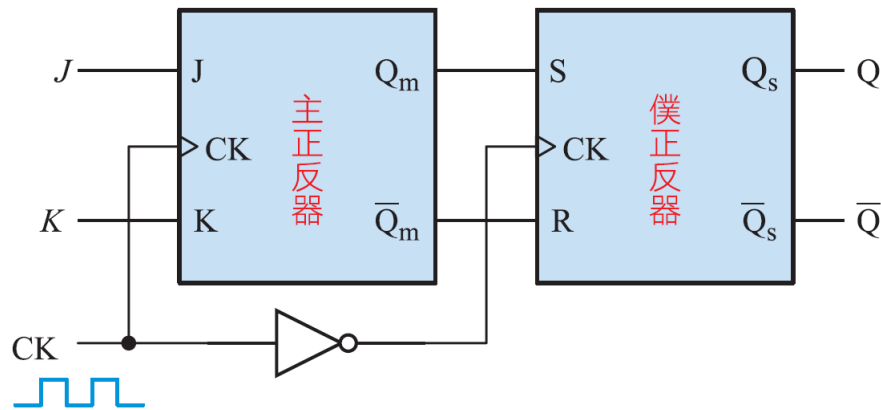
當主正反器為 $JK$  正反器、僕正反器為 $RS$  正反器時，稱為主僕式 $JK$  正反器；當主正反器為 $RS$  正反器、僕正反器為 $RS$  正反器時，稱為主僕式 $RS$  正反器。兩者之電路原理相同，所以我們以主僕式 $JK$  正反器為例，來說明主僕式正反器的原理。



## 7-3 $JK$ 正反器

### (一) 方塊圖

主僕式  $JK$  正反器之方塊圖如圖7-13 所示。




▲ 圖 7-13 主僕式  $JK$  正反器之方塊圖

## 7-3 JK 正反器

### (二) 電路原理

如圖7-13 所示，其電路原理說明如下：

1. 當 $CK$  為正緣（即由0 轉變為1）時：主正反器的輸出 $Q_m$  會依據輸入 $J$ 、 $K$  的狀態而變化，此時僕正反器不會動作。
2. 當 $CK$  為負緣（即由1 轉變為0）時：主正反器不會動作，而僕正反器的輸出 $Q_s$  會依據輸入 $S$ 、 $R$  的狀態而變化。
3. 所以主僕式 $JK$  正反器必須經過一個完整的時脈信號，輸出 $Q$  才會依據輸入 $J$ 、 $K$  的狀態而變化，因此在真值表中以「」表示 $CK$  信號。

## 7-4 $D$ 型與 $T$ 型正反器

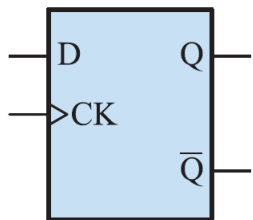
### 一 $D$ 型正反器

$D$  型正反器可以由  $RS$  正反器或  $JK$  正反器與反閘組合而成。 $D$  型正反器又可區分為正緣觸發與負緣觸發兩種類型，其符號、內部電路、電路原理、真值表與用途說明如下：

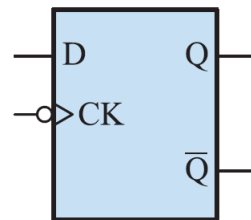
## 7-4 $D$ 型與 $T$ 型正反器

### (一) 符 號

圖7-14 是 $D$ 型正反器之符號，它有兩個輸入端，分別是 $D$ 與 $CK$ ，而輸出端 $Q$ 與 $\bar{Q}$ 互為反相，其中圖7-14(a)是正緣觸發 $D$ 型正反器之符號，而圖7-14(b)是負緣觸發 $D$ 型正反器之符號。



(a) 正緣觸發  $D$  型正反器之符號



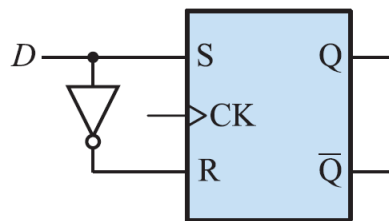
(b) 負緣觸發  $D$  型正反器之符號

▲ 圖 7-14  $D$  型正反器之符號

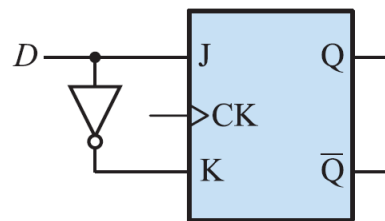
## 7-4 $D$ 型與 $T$ 型正反器

### (二) 內部電路

我們以正緣觸發  $D$  型正反器為例，說明  $D$  型正反器之內部電路， $RS$  正反器組成的正緣觸發  $D$  型正反器如圖7-15(a) 所示， $JK$  正反器組成的正緣觸發  $D$  型正反器如圖7-15(b) 所示。



(a) 由  $RS$  正反器組成



(b) 由  $JK$  正反器組成

▲ 圖 7-15 正緣觸發  $D$  型正反器之內部電路

## 7-4 $D$ 型與 $T$ 型正反器

### (三) 電路原理

1.  $RS$  正反器組成的正緣觸發  $D$  型正反器，如圖7-15(a) 所示，其電路原理說明如下：

- (1) 當  $CK$  為正緣觸發且  $D = 0$  時：使  $S = 0$ 、 $R = 1$  時，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  清除為0。
- (2) 當  $CK$  為正緣觸發且  $D = 1$  時：使  $S = 1$ 、 $R = 0$  時，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  設定為1。

## 7-4 $D$ 型與 $T$ 型正反器

2.  $JK$  正反器組成的正緣觸發  $D$  型正反器，如圖7-15(b) 所示，其電路原理說明如下：
- (1) 當  $CK$  為正緣觸發且  $D = 0$  時：使  $J = 0$ 、 $K = 1$  時，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  清除為0。
  - (2) 當  $CK$  為正緣觸發且  $D = 1$  時：使  $J = 1$ 、 $K = 0$  時，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  設定為1。

## 7-4 $D$ 型與 $T$ 型正反器

### (四) 真值表

正緣觸發  $D$  型正反器之真值表，如表 7-7 所示。

▼ 表 7-7 正緣觸發  $D$  型正反器之真值表

輸入狀態		下一個輸出狀態	說明
$CK$	$D$	$Q_{n+1}$	
↑	0	0	清除
↑	1	1	設定

### (五) 用 途

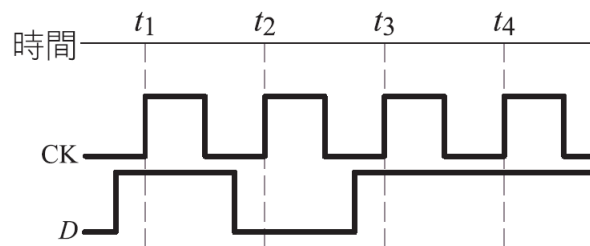
由於  $D$  型正反器具有記憶或儲存資料的功能，所以  $D$  型正反器通常應用在記憶體、移位暫存器與強生計數器等電路中。



## 7-4 $D$ 型與 $T$ 型正反器

### 例題 7-3 $D$ 型正反器輸出波形

假設正緣觸發  $D$  型正反器的輸入  $CK$  與  $D$  之波形，如右圖所示，且輸出原來的狀態  $Q = 0$ ，則輸出  $Q$  之波形為何？

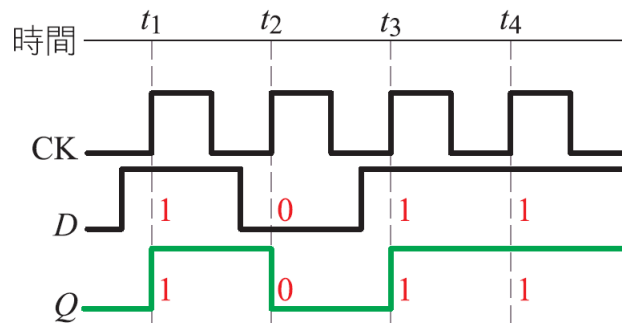


## 7-4 $D$ 型與 $T$ 型正反器

解輸出  $Q$  之波形分析如下：

1. 當  $t = t_1$ 、 $D = 1$  時：輸出  $Q$  設定為1。
2. 當  $t = t_2$ 、 $D = 0$  時：輸出  $Q$  清除為0。
3. 當  $t = t_3$ 、 $D = 1$  時：輸出  $Q$  設定為1。
4. 當  $t = t_4$ 、 $D = 1$  時：輸出  $Q$  設定為1。

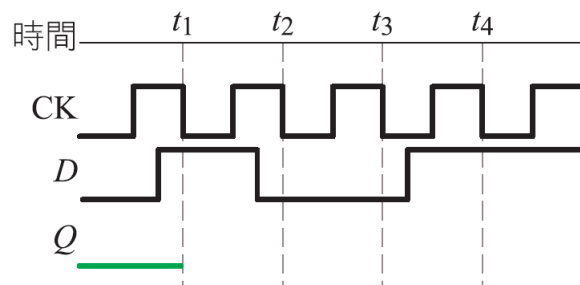
所以輸出  $Q$  之波形如下圖所示。



## 7-4 $D$ 型與 $T$ 型正反器

### 演練 3

假設負緣觸發  $D$  型正反器的輸入  $CK$  與  $D$  之波形，如右圖所示，且輸出原來的狀態  $Q = 0$ ，則輸出  $Q$  之波形為何？



## 7-4 $D$ 型與 $T$ 型正反器

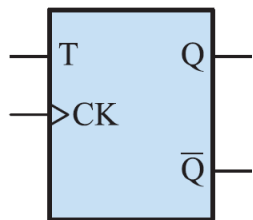
### 二 $T$ 型正反器

只要將  $JK$  正反器的輸入端  $J$ 、 $K$  連接在一起，即成為  $T$  型正反器。 $T$  型正反器又可區分為正緣觸發與負緣觸發兩種類型，其符號、內部電路、電路原理、真值表與用途說明如下：

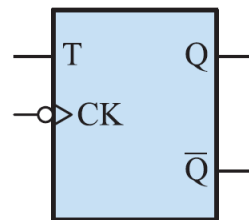
## 7-4 $D$ 型與 $T$ 型正反器

### (一) 符 號

圖7-16 是  $T$  型正反器之符號，它有兩個輸入，分別是  $T$  與  $CK$ ，而輸出  $Q$  與  $\bar{Q}$  互為反相，其中圖7-16(a) 是正緣觸發  $T$  型正反器之符號，而圖7-16(b) 是負緣觸發  $T$  型正反器之符號。



(a) 正緣觸發  $T$  型正反器之符號



(b) 負緣觸發  $T$  型正反器之符號

▲ 圖 7-16  $T$  型正反器之符號

## 7-4 $D$ 型與 $T$ 型正反器

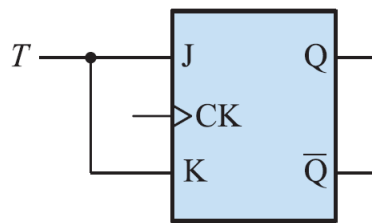
### (二) 內部電路

我們以正緣觸發  $T$  型正反器為例，說明  $T$  型正反器之內部電路。 $JK$  正反器組成的正緣觸發  $T$  型正反器如圖 7-17 所示。

### (三) 電路原理

如圖 7-17 所示，其電路原理說明如下：

1. 當  $CK$  為正緣觸發且  $T=0$  時：使  $J=0$ 、 $K=0$ ，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  維持不變。
2. 當  $CK$  為正緣觸發且  $T=1$  時：使  $J=1$ 、 $K=1$ ，所以輸出  $Q$  的下一個狀態  $Q_{n+1}$  會轉態。



▲ 圖 7-17 正緣觸發  $T$  型正反器之內部電路

## 7-4 $D$ 型與 $T$ 型正反器

### (四) 真值表

正緣觸發  $T$  型正反器之真值表，如表7-8 所示。

▼ 表 7-8 正緣觸發  $T$  型正反器之真值表

輸入狀態		下一個輸出狀態	說明
$CK$	$T$	$Q_{n+1}$	
↑	0	$Q_n$	不變
↑	1	$\overline{Q_n}$	轉態

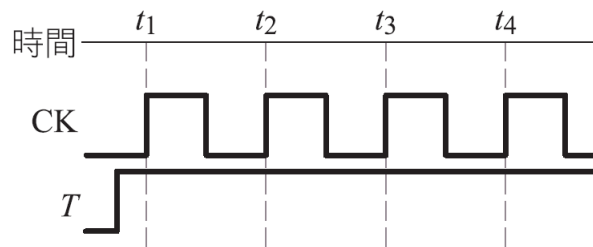
### (五) 用 途

當  $T$  型正反器的輸入  $T = 1$  且  $CK$  觸發後，其輸出端會轉態，所以  $T$  型正反器具有除2 的功能，因此  $T$  型正反器常應用在計數器電路中。

## 7-4 $D$ 型與 $T$ 型正反器

### 例題 7-4 $T$ 型正反器輸出波形

假設正緣觸發  $T$  型正反器的輸入  $T = 1$ ，且輸入  $CK$  之波形如右圖所示，若輸出原來的狀態  $Q = 0$ ，則輸出  $Q$  之波形為何？





## 7-4 $D$ 型與 $T$ 型正反器

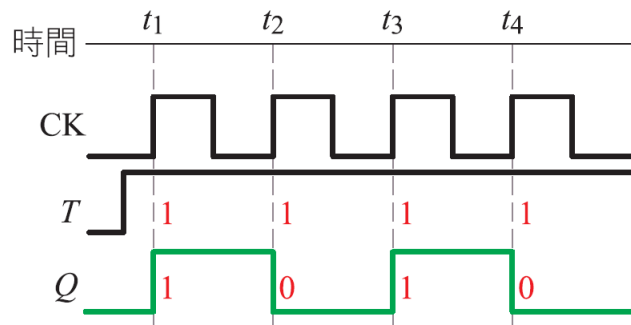
解 輸出  $Q$  之波形分析如下：

1. 當  $t = t_1$ 、 $T = 1$  時，輸出  $Q$  轉態為 1。
2. 當  $t = t_2$ 、 $T = 1$  時：輸出  $Q$  轉態為 0。
3. 當  $t = t_3$ 、 $T = 1$  時：輸出  $Q$  轉態為 1。
4. 當  $t = t_4$ 、 $T = 1$  時：輸出  $Q$  轉態為 0。

所以輸出  $Q$  的波形如下圖所示。因此輸出  $Q$  的波形頻率為輸入  $CK$  頻率的一半，相當於除 2 電路。

演練 4

續上題，若輸入  $CK$  的頻率為 10kHz，則輸出  $Q$  的波形頻率為多少？



## 7-5 激勵表及正反器之互換

### 一 激勵表

激勵表是由真值表推導而來，真值表是列出正反器的輸入端狀態與輸出端下一個狀態；而激勵表恰好相反，激勵表是依據正反器輸出端目前的狀態（即現態） $Q_n$  與下一個狀態（即次態） $Q_{n+1}$  的變化，列出對應輸入端所有的狀態。所有的正反器皆可以列出激勵表，我們以RS 正反器為例，說明激勵表的推導過程。

#### (一) RS 正反器之激勵表

如表7-9(a) 所示為RS 正反器的真值表。表7-9(b) 所示為RS 正反器的激勵表，其推導的過程說明如下：

## 7-5 激勵表及正反器之互換

1. 當輸出現態 $Q_n = 0$ 轉變成次態 $Q_{n+1} = 0$ 時，則輸入有兩種可能的狀態發生，可能是 $R = 0$ 、 $S = 0$ 或 $R = 1$ 、 $S = 0$ ，因此 $R$ 可能是0或1，以 $\times$ 或 $\phi$ 表示，且 $S = 0$ 。
2. 當輸出現態 $Q_n = 0$ 轉變成次態 $Q_{n+1} = 1$ 時，則輸入 $R = 0$ 且 $S = 1$ 。
3. 當輸出現態 $Q_n = 1$ 轉變成次態 $Q_{n+1} = 0$ 時，則輸入 $R = 1$ 且 $S = 0$ 。
4. 當輸出現態 $Q_n = 1$ 轉變成次態 $Q_{n+1} = 1$ 時，則輸入有兩種可能的狀態發生，可能是 $R = 0$ 、 $S = 0$ 或 $R = 0$ 、 $S = 1$ ，因此 $R = 0$ ，且 $S$ 可能是0或1，以 $\times$ 或 $\phi$ 表示。

# 7-5 激勵表及正反器之互換

▼ 表 7-9  $RS$  正反器的真值表與激勵表

(a)  $RS$  正反器的真值表

輸入		下一個輸出狀態
$R$	$S$	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	0	0
1	1	?

(b)  $RS$  正反器的激勵表

輸出		輸入	
$Q_n$	$Q_{n+1}$	$R$	$S$
0	0	×	0
0	1	0	1
1	0	1	0
1	1	0	×

## 7-5 激勵表及正反器之互換

### (二) $JK$ 、 $D$ 型與 $T$ 型正反器之激勵表

以此類推，我們可以推導出  $JK$  正反器、 $D$  型正反器與  $T$  型正反器之激勵表，表 7-10 是  $JK$  正反器、 $D$  型正反器與  $T$  型正反器之真值表與激勵表。

▼ 表 7-10  $JK$  正反器、 $D$  型正反器與  $T$  型正反器之真值表與激勵表

類型	真值表	激勵表																																										
JK 正反器	<table><tr><th colspan="2">輸入</th><th>下一個輸出狀態</th></tr><tr><th>J</th><th>K</th><th><math>Q_{n+1}</math></th></tr><tr><td>0</td><td>0</td><td><math>Q_n</math></td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td><math>\overline{Q_n}</math></td></tr></table>	輸入		下一個輸出狀態	J	K	$Q_{n+1}$	0	0	$Q_n$	0	1	0	1	0	1	1	1	$\overline{Q_n}$	<table><tr><th colspan="2">輸出</th><th colspan="2">輸入</th></tr><tr><th><math>Q_n</math></th><th><math>Q_{n+1}</math></th><th>J</th><th>K</th></tr><tr><td>0</td><td>0</td><td>0</td><td>×</td></tr><tr><td>0</td><td>1</td><td>1</td><td>×</td></tr><tr><td>1</td><td>0</td><td>×</td><td>1</td></tr><tr><td>1</td><td>1</td><td>×</td><td>0</td></tr></table>	輸出		輸入		$Q_n$	$Q_{n+1}$	J	K	0	0	0	×	0	1	1	×	1	0	×	1	1	1	×	0
	輸入		下一個輸出狀態																																									
	J	K	$Q_{n+1}$																																									
	0	0	$Q_n$																																									
	0	1	0																																									
	1	0	1																																									
1	1	$\overline{Q_n}$																																										
輸出		輸入																																										
$Q_n$	$Q_{n+1}$	J	K																																									
0	0	0	×																																									
0	1	1	×																																									
1	0	×	1																																									
1	1	×	0																																									

## 7-5 激勵表及正反器之互換

$D$  型正反器

輸入	下一個輸出狀態
$D$	$Q_{n+1}$
0	0
1	1

輸出		輸入
$Q_n$	$Q_{n+1}$	$D$
0	0	0
0	1	1
1	0	0
1	1	1

$T$  型正反器

輸入	下一個輸出狀態
$T$	$Q_{n+1}$
0	$Q_n$
1	$\overline{Q_n}$

輸出		輸入
$Q_n$	$Q_{n+1}$	$T$
0	0	0
0	1	1
1	0	1
1	1	0

## 7-5 激勵表及正反器之互換

### 二 特徵方程式

所謂特徵方程式是將正反器的輸入端與輸出端目前的狀態（即現態） $Q_n$  視為輸入變數，求輸出端下一個狀態（即次態） $Q_{n+1}$  的最簡布林代數式。所有的正反器皆可寫出對應的特徵方程式，我們以  $RS$  正反器為例，說明  $RS$  正反器的特徵方程式。

## 7-5 激勵表及正反器之互換

### (一) **RS** 正反器之特徵方程式

根據 **RS** 正反器的真值表，將正反器的輸入端  $R$ 、 $S$  與輸出端現態  $Q_n$  視為輸入變數，則可以列出輸出端次態  $Q_{n+1}$  的所有狀態，如表 7-11 中 **RS** 正反器完整的真值表所示，當  $R=0$ 、 $S=0$  時， $Q_{n+1}$  維持不變，即  $Q_{n+1} = Q_n$ ，所以若  $Q_n = 0$  時，則  $Q_{n+1} = 0$ ；若  $Q_n = 1$  時，則  $Q_{n+1} = 1$ ，以此類推，可以列出  $Q_{n+1}$  的其他狀態。再利用卡諾圖，化簡輸出函數  $Q_{n+1}$  為最簡布林代數式，即 **RS** 正反器之特徵方程式為

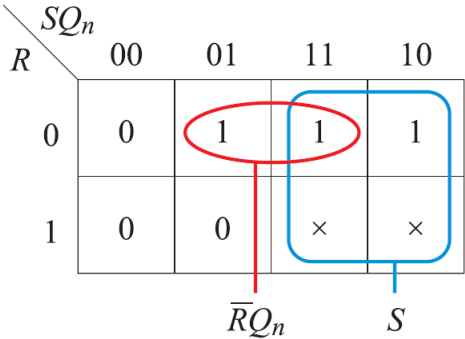
$$Q_{n+1}(R, S, Q_n) = S + \overline{R}Q_n$$

7-1 式



# 7-5 激勵表及正反器之互換

▼ 表 7-11 RS 正反器完整的真值表與特徵方程式

RS 正反器完整的真值表					卡諾圖	最簡布林代數式
輸入			輸出	說明		$Q_{n+1}(R,S,Q_n) = S + \overline{R}Q_n$
R	S	Qn	Qn+1			
0	0	0	0	Qn+1 = Qn		
0	0	1	1			
0	1	0	1	Qn+1 = 1		
0	1	1	1			
1	0	0	0	Qn+1 = 0		
1	0	1	0			
1	1	0	×	不允許		
1	1	1	×			

## 7-5 激勵表及正反器之互換

### (二) $JK$ 、 $D$ 型與 $T$ 型正反器之特徵方程式

以此類推，我們可以推導出  $JK$  正反器、 $D$  型正反器與  $T$  型正反器之特徵方程式，表7-12 是  $JK$  正反器、 $D$  型正反器與  $T$  型正反器完整的真值表與特徵方程式。

# 7-5 激勵表及正反器之互換

▼ 表 7-12 JK 正反器、D 型正反器與 T 型正反器完整的真值表與特徵方程式

類型	完整的真值表	卡諾圖	最簡布林代數式																																													
JK 正 反 器	<table><tr><th colspan="3">輸入</th><th>輸出</th><th rowspan="2">說明</th></tr><tr><th>J</th><th>K</th><th>Q<sub>n</sub></th><th>Q<sub>n+1</sub></th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="2">Q<sub>n+1</sub> = Q<sub>n</sub></td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td rowspan="2">Q<sub>n+1</sub> = 0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td rowspan="2">Q<sub>n+1</sub> = 1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td rowspan="2">Q<sub>n+1</sub> = <math>\overline{Q_n}</math></td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td></tr></table>	輸入			輸出	說明	J	K	Q <sub>n</sub>	Q <sub>n+1</sub>	0	0	0	0	Q <sub>n+1</sub> = Q <sub>n</sub>	0	0	1	1	0	1	0	0	Q <sub>n+1</sub> = 0	0	1	1	0	1	0	0	1	Q <sub>n+1</sub> = 1	1	0	1	1	1	1	0	1	Q <sub>n+1</sub> = $\overline{Q_n}$	1	1	1	0		$Q_{n+1}(J, K, Q_n)$ $= J\overline{Q_n} + \overline{K}Q_n$
	輸入			輸出	說明																																											
	J	K	Q <sub>n</sub>	Q <sub>n+1</sub>																																												
	0	0	0	0	Q <sub>n+1</sub> = Q <sub>n</sub>																																											
	0	0	1	1																																												
	0	1	0	0	Q <sub>n+1</sub> = 0																																											
	0	1	1	0																																												
	1	0	0	1	Q <sub>n+1</sub> = 1																																											
	1	0	1	1																																												
	1	1	0	1	Q <sub>n+1</sub> = $\overline{Q_n}$																																											
1	1	1	0																																													

# 7-5 激勵表及正反器之互換

D 型  
正  
反  
器

輸入		輸出	說明
D	$Q_n$	$Q_{n+1}$	
0	0	0	$Q_{n+1} = 0$
0	1	0	
1	0	1	$Q_{n+1} = 1$
1	1	1	

D	$Q_n$	
	0	1
0	0	0
1	1	1

D

$$Q_{n+1}(D, Q_n) = D$$

T 型  
正  
反  
器

輸入		輸出	說明
T	$Q_n$	$Q_{n+1}$	
0	0	0	$Q_{n+1} = Q_n$
0	1	1	
1	0	1	$Q_{n+1} = \overline{Q_n}$
1	1	0	

T	$Q_n$	
	0	1
0	0	1
1	1	0

$\overline{T}Q_n$

$T\overline{Q}_n$

$$\begin{aligned}
 Q_{n+1}(T, Q_n) &= \overline{T}Q_n + T\overline{Q}_n \\
 &= T \oplus Q_n
 \end{aligned}$$

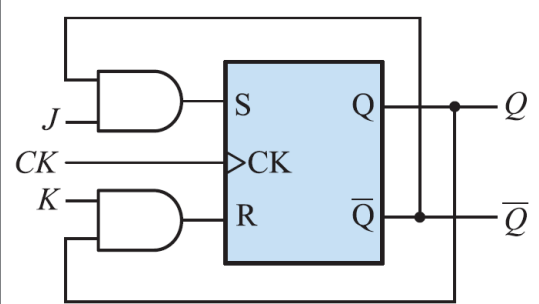
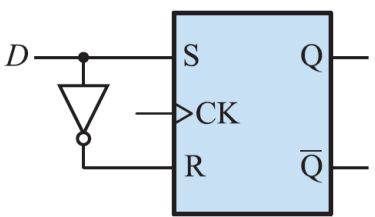
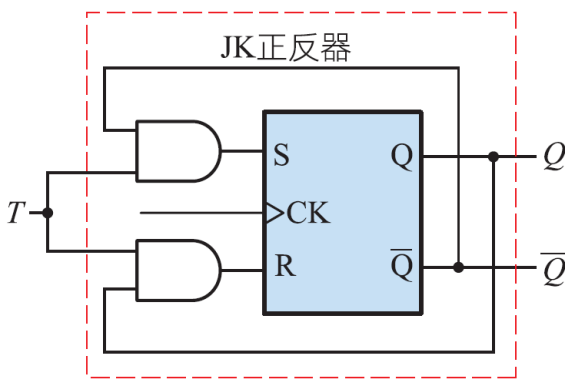
## 7-5 激勵表及正反器之互換

### 三 正反器之互換

#### (一) 將 $RS$ 正反器轉換成其他正反器

表7-13 是將 $RS$  正反器轉換成 $JK$  正反器、 $D$  型正反器與 $T$  型正反器之電路圖，其電路原理已在7-3 與7-4 節中詳細說明。

▼ 表 7-13  $RS$ 正反器轉換成  $JK$  正反器、 $D$ 型正反器與  $T$ 型正反器之電路

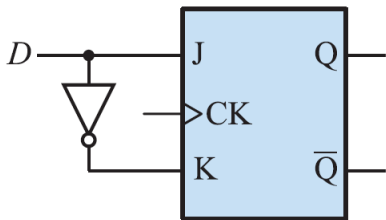
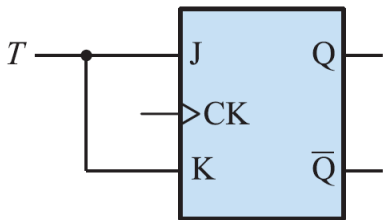
$RS$ 正反器 $\rightarrow$ $JK$ 正反器	$RS$ 正反器 $\rightarrow$ $D$ 型正反器	$RS$ 正反器 $\rightarrow$ $T$ 型正反器
		

## 7-5 激勵表及正反器之互換

### (二) 將 $JK$ 正反器轉換成其他正反器

表7-14 是將  $JK$  正反器轉換成  $D$  型正反器與  $T$  型正反器之電路圖，其電路原理已在7-4 節中詳細說明。

▼ 表 7-14  $JK$  正反器轉換成  $D$  型正反器與  $T$  型正反器之電路

$JK$ 正反器 $\rightarrow$ $D$ 型正反器	$JK$ 正反器 $\rightarrow$ $T$ 型正反器
	

## 7-5 激勵表及正反器之互換

### (三) 將 $D$ 型正反器轉換成其他正反器

由於  $D$  型正反器輸出端的特徵方程式為  $Q_{n+1} = D$ ，所以只要將其他正反器的特徵方程式代入  $D$ ，即可取代原正反器。表 7-15 是將  $D$  型正反器轉換成  $RS$  正反器、 $JK$  正反器與  $T$  型正反器之電路。

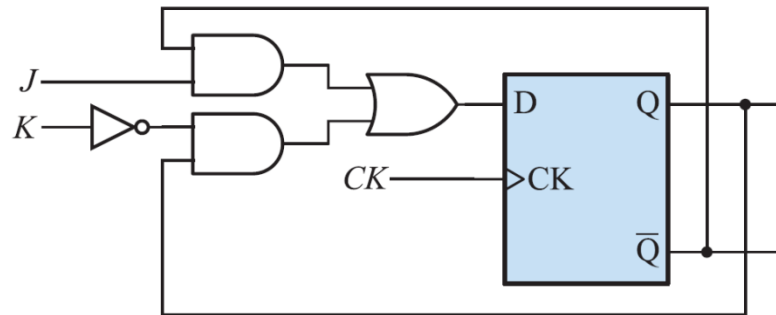
▼ 表 7-15  $D$  型正反器轉換成  $RS$  正反器、 $JK$  正反器與  $T$  型正反器之電路

類型	特徵方程式	電路圖
$D$ 型正反器 → $RS$ 正反器	$RS$ 正反器的特徵方程式 $Q_{n+1} = S + \bar{R}Q_n = D$	

## 7-5 激勵表及正反器之互換

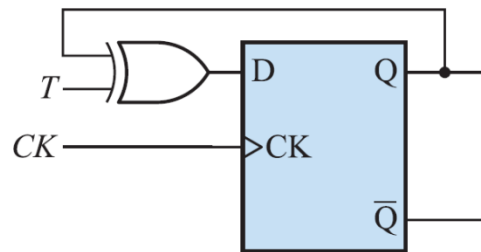
$D$  型正反器  
→  $JK$  正反器

$JK$  正反器的特徵方程式  
 $Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n = D$



$D$  型正反器  
→  $T$  型正反器

$T$  型正反器的特徵方程式  
 $Q_{n+1} = T \oplus Q_n = D$





## 7-5 激勵表及正反器之互換

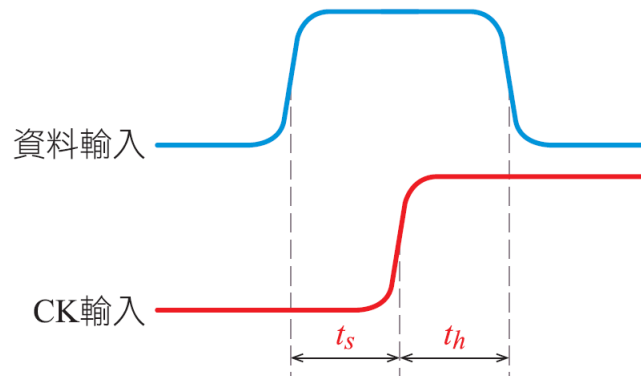
### 四 正反器的最高時脈頻率

瞭解各種正反器的類型與互換的方法之後，接者介紹IC 資料手冊（data sheet）中，有關正反器的最高時脈頻率與相關特性。

#### （一）設定時間與保持時間

當時序脈波（ $CK$ ）的邊緣觸發時，若要使正反器的輸出能正確地依據輸入狀態而變化，則輸入的資料在時間上必須符合兩個條件，即設定時間（setup time，簡稱  $t_s$ ）與保持時間（hold time，簡稱  $t_h$ ）

如圖7-18 所示。



▲ 圖 7-18 正反器的設定時間與保持時間

## 7-5 激勵表及正反器之互換

由於正反器的輸入端有雜散電容的存在，所以當資料輸入時，必須經過內部的邏輯閘傳遞之後輸出才能達到穩定的狀態，因此若要使正反器的輸出能正確地依據輸入的狀態而變化，則在時序脈波（ $CK$ ）的正緣或負緣到達之前，輸入的資料必須先準備好，這種資料輸入必須比時序脈波的邊緣早到的最小時間，稱為設定時間（ $t_s$ ）。

由於輸入的資料必須維持一段時間，才能使內部的電晶體有足夠的時間去轉變狀態，所以當時序脈波的邊緣觸發之後，輸入的資料必須再維持一段時間，這段時間稱為保持時間（ $t_h$ ）。

## 7-5 激勵表及正反器之互換

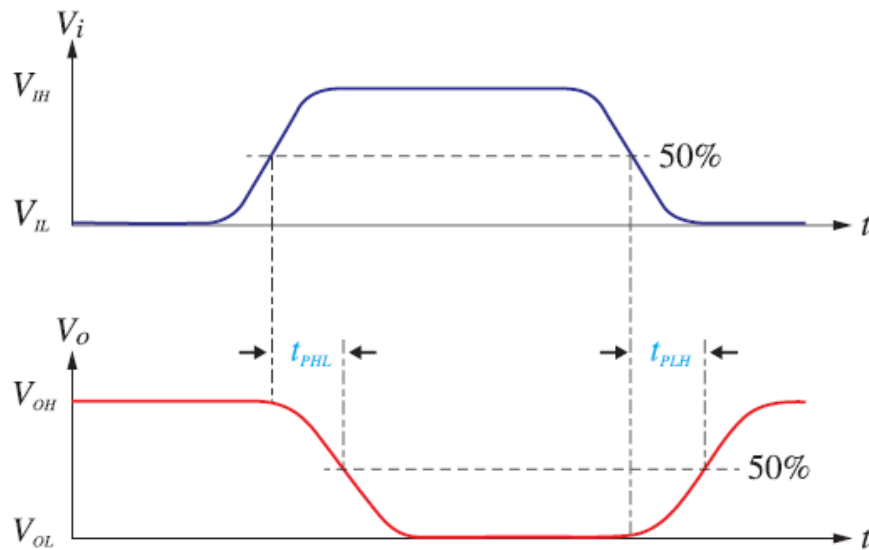
### (二) 傳遞延遲時間

從信號輸入到正反器輸出改變所需的時間，稱為傳遞延遲時間（propagation delay，簡稱  $t_p$ ），如圖7-19 所示，這些延遲時間是指在輸入與輸出波形的電壓值50% 處所測得之時間，其中  $t_{PLH}$  是表示輸出從低態轉為高態的傳遞延遲時間，而  $t_{PHL}$  是表示輸出從高態轉為低態的傳遞延遲時間。通常在資料手冊中，廠商皆標示傳遞延遲時間  $t_{PLH}$  與  $t_{PHL}$  的最大值，兩者並不相等，所以傳遞延遲時間是取兩者的平均值，即傳遞延遲時間為：

$$t_p = \frac{t_{PLH} + t_{PHL}}{2}$$

7-2 式

## 7-5 激勵表及正反器之互換



▲ 圖 7-19 傳遞延遲時間（以 NOT 閘為例）

## 7-5 激勵表及正反器之互換

### (三) 最高時脈頻率

為了確保正反器的輸出能正確地依據輸入狀態而變化，則CK的週期必須大於或等於設定時間、保持時間與傳遞延遲時間之和，即CK的週期 $T_{CK} \geq t_s + t_h + t_p$ ，因為傳遞延遲時間 $t_p \gg t_s + t_h$ ，所以只需考慮 $t_p$ ，即 $T_{CK} \geq t_p$ ，因此時序脈波的頻率 $f_{CK} \leq \frac{1}{t_p}$ ，則最高時脈頻率為

$$f_{CK(\max)} = \frac{1}{t_p}$$

7-3 式

若資料手冊中標示 $f_{CK(\max)} = 10\text{MHz}$ ，則CK的頻率必須低於或等於10MHz，正反器才能正常工作。