



Descripción de las señales				
Señal	Descripción	state_ctrlr	pwm_dp_mem	pwm_counter
EN	Enable general.	in	-	-
N_ADDR	Número de direcciones de direcciones de memoria (estados) que conforman un ciclo completo del PWM. Necesario identificar el último estado del ciclo y el tamaño de la memoria.	in	in	-
N_TOT_CYC	Suma de todos los estados de una configuración. Necesario para poder obtener la señal CNT_END retrasada el número justo de ciclos de reloj para mantener sincronizados los estados.	in	-	-
WR_EN	Habilitador de escritura en serie en la memoria de doble puerto.	-	in	
WR_ADDR	Dirección de memoria a escribir en la memoria de doble puerto.	-	in	-
WR_DATA	Dato (estado) a escribir en la memoria de doble puerto.	-	in	-
EN_WR_CONFIG	Habilitador de configuración de la memoria. Indica cuando es viable activar WR_EN, WR_ADDR y WR_DATA para que los estados se sincronicen correctamente según el estado de la FSM.	out	in	-
UPD_MEM	Petición de actualización de la memoria. Activa mediante un pulso positivo.	in	-	-
CNT_END	Indicador de final de estado.	in	-	out
NEXT_CONFIG	Estados de la siguiente configuración que se va a ejecutar en la memoria. Necesario para no perder ciclos entre el cambio de configuración en la FSM debido al retraso de N_TOT_CYC.	in	out	-
RD_ADDR	Dirección de memoria a leer.	out	in	-
LAST_CYC	Indicador de último ciclo de estados. Necesario para para poder preparar el cambio de memoria.	out	in	-
SWITCH_MEM	Indicador de último ciclo de reloj. Necesario para poder preparar el cambio de memoria y anticipar el siguiente valor, sobre todo en aquellos casos en los que el primer valor es 1.	out	in	in
EN_CNT	Enable del contador. Dependiente de la FSM.	out	-	in
RD_DATA	Valor de la memoria leída. Número de ciclos de reloj que dura el siguiente estado.	-	out	in
RD_DATA_NEXT	Próximo valor de la memoria leída. Necesario para activar CNT_END cuando el siguiente estado es 1.	-	out	in
PWM_INIT	Valor de la salida del PWM en el primer estado de la siguiente configuración.	-	-	in
PWM	Salida del PWM.	-	-	out

Notas:

- La complejidad del diseño radica en que la memoria de doble puerto tarda 2 ciclos de reloj en presentar el dato solicitado.
- Por esta razón son necesarias las señales de RD_DATA_NEXT, N_TOT_CYC y NEXT_CONFIG:
 - RD_DATA_NEXT permite que el contador no pierda más ciclos cuando el siguiente estado es un 1.
 - N_TOT_CYC permite obtener CNT_END 2 ciclos de reloj antes, como se esperaría, a cambio de retrasar 1 ciclo de estados completo. Cuando se produce el cambio de memoria es necesario recuperar este ciclo perdido, y por ello,
 - EXT_CONFIG permite obtener el la FSM la configuración cargada anteriormente para poder "evitar" la memoria durante el primer ciclo de esa nueva configuración.
- Por todo lo anterior, es necesario que N_TOT_CYC sea siempre > 2, es decir, que las configuraciones mínimas pueden ser 3 estados de un ciclo (1-1-1) o 2 estados de 1 y 2 ciclos (1-2 o 2-1). Cualquier configuración inferior a esas no funcionará.

