

Modo de Uso do Teste do Mips Pipeline

Grupo 4: Raphael Costa
Frederico Curti
Elisa Malzoni
Bruna Kimura

Como utilizar o projeto

Para ser possível ver o projeto em seu correto funcionamento foram feitas algumas alterações para mostrar no display de 7 segmentos os valores em alguns sinais no circuito.

A figura abaixo mostra como se configura as chaves (switches) e botões (keys) utilizados.

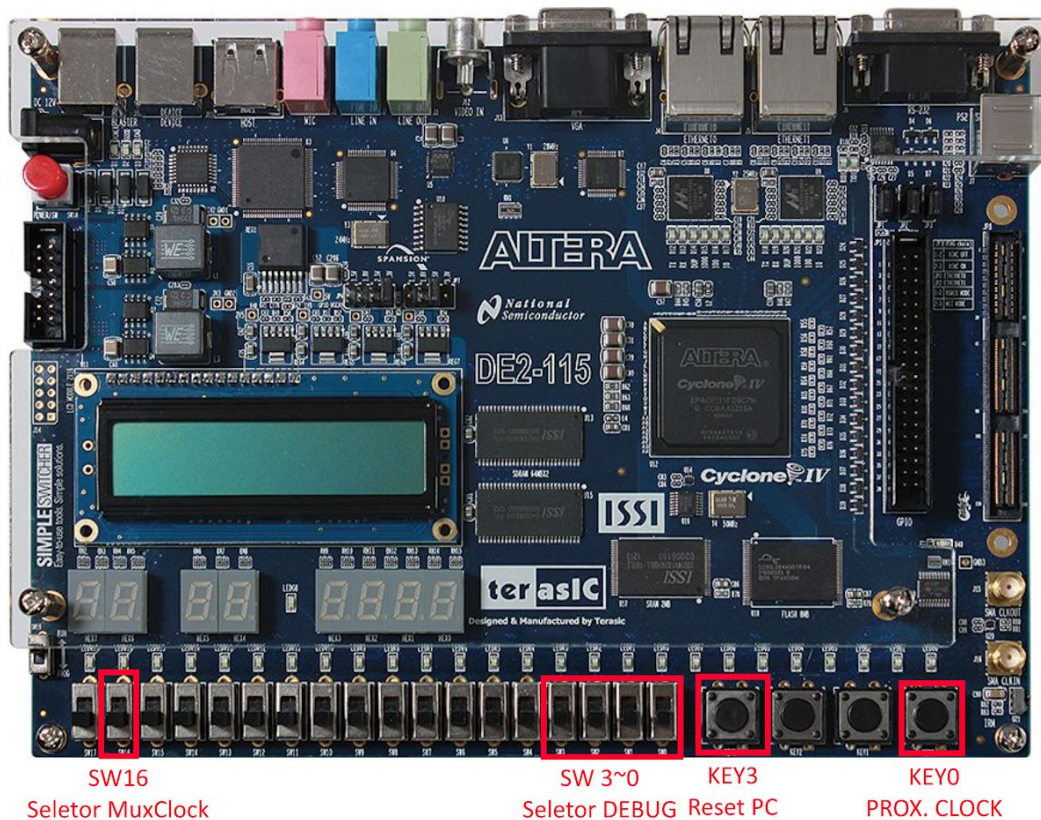


figura 1 - SW e KEYS utilizadas da FPGA

Tabela Switches vs Display

A tabela 1 abaixo mostra a relação entre os números gerados pelos switches de 3 à 0, com os valores mostrados pelos displays de 7 segmentos.

Por exemplo, caso queira checar o valor da saída ULA, basta fazer o número três em binário com os switches de 3 à 0 (0011), ou seja, SW0 e SW1 em alta e SW2 e SW3 em baixa. Os valores mostrados pelos display são os 32 bits da saída da ULA escritas em hexadecimal.

valor do SW (3~0)	HEX 0	HEX 1	HEX 2	HEX 3	HEX 4	UX HEX 5	HEX 6	HEX 7
0	INST (3~0)	INST (7~4)	INST (11~8)	INST (15~12)	INST (19~16)	INST (23~20)	INST (27~24)	INST (31~28)
1	DADO LIDO REG 1 (3~0)	DADO LIDO REG 1 (7~4)	DADO LIDO REG 1 (11~8)	DADO LIDO REG 1 (15~12)	DADO LIDO REG 1 (19~16)	DADO LIDO REG 1 (23~20)	DADO LIDO REG 1 (27~24)	DADO LIDO REG 1 (31~28)
2	DADO LIDO REG 2 (3~0)	DADO LIDO REG 2 (7~4)	DADO LIDO REG 2 (11~8)	DADO LIDO REG 2 (15~12)	DADO LIDO REG 2 (19~16)	DADO LIDO REG 2 (23~20)	DADO LIDO REG 2 (27~24)	DADO LIDO REG 2 (31~28)
3	ULA OUT (3~0)	ULA OUT (7~4)	ULA OUT (11~8)	ULA OUT (15~12)	ULA OUT (19~16)	ULA OUT (23~20)	ULA OUT (27~24)	ULA OUT (31~28)
4	ULACtrl	HAB MEM	ZERO	BEQ	MUX PC BEQ JMP	HAB ESCRITA REG	SEL MUX ULA/MEM	-
5	MEM W (3~0)	MEM W (7~4)	MEM W (11~8)	MEM W (15~12)	MEM W (19~16)	MEM W (23~20)	MEM W (27~24)	MEM W (31~28)
6	MEM R (3~0)	MEM R (7~4)	MEM R (11~8)	MEM R (15~12)	MEM R (19~16)	MEM R (23~20)	MEM R (27~24)	MEM R (31~28)
7	ENDEREÇO (3~0)	ENDEREÇO (7~4)	ENDEREÇO (11~8)	ENDEREÇO (15~12)	ENDEREÇO (19~16)	ENDEREÇO (23~20)	ENDEREÇO (27~24)	ENDEREÇO (31~28)
8	PC OUT (3~0)	PC OUT (7~4)	PC OUT (11~8)	PC OUT (15~12)	PC OUT (19~16)	PC OUT (23~20)	PC OUT (27~24)	PC OUT (31~28)
9	PC+4 +Badd (3~0)	PC+4 +Badd (7~4)	PC+4 +Badd (11~8)	PC+4 +Badd (15~12)	PC+4 +Badd (19~16)	PC+4 +Badd (23~20)	PC+4 +Badd (27~24)	PC+4 +Badd (31~28)

11	WRITE REGISTER (QUAL REG) (3~0)	WRITE REGISTER (4)	-	-	-	-		
13	WRITE DATA (VALOR ENTRANDO BANCO DE REGS) (3~0)	WRITE DATA (7~4)	WRITE DATA (11~8)	WRITE DATA (15~12)	WRITE DATA (19~16)	WRITE DATA (23~20)	WRITE DATA (27~24)	WRITE DATA (31~28)

A imagem abaixo mostra os pontos de debug no diagrama numerados:

