

Rangkaian Sekuensial

Kuliah#11 TSK205 Sistem Digital - TA 2013/2014

Eko Didik Widianto

Sistem Komputer - Universitas Diponegoro

23 Maret 2014

- ▶ Sebelumnya dibahas tentang rangkaian kombinasional yang nilai keluarannya di suatu saat hanya ditentukan oleh nilai-nilai masukannya pada saat itu
 - ▶ multiplekser, dekoder, demultiplekser, enkoder dan code converter
 - ▶ Peraga 7-segmen
- ▶ Teorema ekspansi Shannon untuk mendesain rangkaian logika menggunakan multiplekser

- ▶ Membahas tentang **rangkaian sekuensial** yang keluarannya tidak hanya tergantung dari masukan saat ini, juga dari nilai keluaran sebelumnya
 - ▶ Rangkaian ini membutuhkan **elemen penyimpan** nilai dari sinyal logika
- ▶ Bahasan:
 - ▶ prinsip rangkaian sekuensial
 - ▶ elemen penyimpan 1 bit *latch*, yaitu *set-reset latch* (latch SR), *latch SR tergerbang* dan *data latch* (latch D) serta rangkaian logikanya
 - ▶ elemen penyimpan 1 bit flip-flop, meliputi *data flip-flop* (DFF), *toggle flip-flop* (TFF), *JK flip-flop* (JKFF)
 - ▶ register data n bit dan register geser (*shift register*)
 - ▶ pencacah naik-turun
 - ▶ pencacah sinkron dan asinkron

► Setelah mempelajari bab ini, mahasiswa akan mampu:

- [C2] menjelaskan perbedaan antara latch dan flip-flop
- [C4] menganalisis fungsi karakteristik latch set-reset, latch tergerbang, latch data
- [C4] menganalisis fungsi karakteristik flip-flop (D, T, dan JK)
- [C3] membedakan perilaku dan rangkaian pencacah sinkron dan asinkron
- [C5] merancang rangkaian n buah flip-flop menjadi register data n bit, shift register, pencacah naik/turun sinkron/asinkron serta menganalisisnya
- [C5] merancang dan menganalisis implementasi rangkaian sekuensial menggunakan IC TTL

► Link

- Website: <http://didik.blog.undip.ac.id/2014/02/25/tkc205-sistem-digital-2013-genap/>
- Email: didik@undip.ac.id

Bahasan

Elemen Penyimpan Keadaan

Latch (Pengunci)

- Latch SR (Set-Reset)

- Latch SR Tergerbang

- Gated Latch D (Data)

- IC TTL Latch

Flip-flop

- Flip-Flop Data (DFF)

- Flip-flop Toggle (T)

- Flip-flop JK (JKFF)

- IC TTL Flip-flop

Register

- Register Data

- Register Geser

- IC TTL Register

Counter/Pencacah

- Pencacah Asinkron

- Pencacah Sinkron

- Pencacah Sinkron dengan DFF

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi

Rangkaian Sekuensial

Elemen Penyimpan dan Statanya

Rangkaian Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

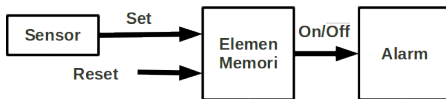
Ringkasan

Lisensi

- ▶ Rangkaian yang nilai keluarannya tidak hanya tergantung dari masukan saat ini, juga dari **nilai keluaran sebelumnya**
- ▶ Rangkaian mempunyai elemen penyimpan
 - ▶ Isi dari elemen penyimpan merepresentasikan **keadaan** (state) dari rangkaian
 - ▶ Perubahan nilai masukan dapat menyebabkan keadaan rangkaian **tidak berubah** atau **berubah** ke keadaan baru
 - ▶ Rangkaian **berubah sesuai urutan keadaan** sebagai hasil dari perubahan masukannya

Sistem Kontrol Alarm

- ▶ Diinginkan rangkaian untuk mengontrol alarm
 - ▶ Alarm merespon kontrol masukan On/\overline{Off}
 - ▶ akan berbunyi saat $On/\overline{Off} = 1$
 - ▶ mati saat $On/\overline{Off} = 0$
 - ▶ Alarm berbunyi saat sensor membangkitkan sinyal tegangan positif (**Set**) jika terjadi event tidak diinginkan
 - ▶ Diinginkan alarm tetap aktif (berbunyi) walaupun keluaran sensor tidak aktif (Set=0)
 - ▶ Alarm dimatikan manual menggunakan kontrol **Reset**



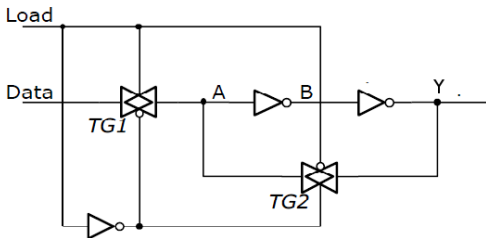
- ▶ Rangkaian ini memerlukan **elemen memori** untuk mengingat bahwa alarm telah aktif hingga datangnya sinyal Reset

-
- A circuit diagram showing two inverters connected in series. The input signal 'A' enters the first inverter, and its output is connected to the input of the second inverter, labeled 'B'. The output of the second inverter is the final output of the buffer circuit.

- ©2014, Eko Didik Widiyanto

Elemen Memori Terkontrol

- Menyediakan mekanisme mengubah keadaan rangkaian



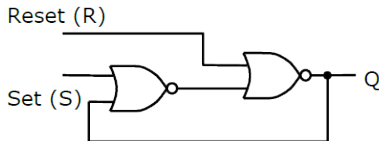
- $Load = 0$, maka $TG2$ aktif dan $TG1$ tidak aktif (*feedback*)
 - Keadaan rangkaian (dan juga keluaran Y) tetap
- Jika $Load = 1$, maka $TG1$ aktif dan $TG2$ tidak aktif (*update*)
 - Masukan $Data$ akan memperbarui nilai A , sehingga nilai keluaran $Y = Data$
 - Rangkaian berubah keadaannya sesuai $Data$

- ▶ Elemen memori terkontrol di atas membentuk latch (pengunci)
- ▶ Latch merupakan elemen penyimpan 1-bit
 - ▶ Untuk menyimpan 1-bit data/state diperlukan 1 buah latch
- ▶ Tipe latch berdasarkan fungsinya:
 - ▶ latch set-reset (*SR latch*)
 - ▶ *SR latch* tergerbang
 - ▶ latch data (*D latch*)
- ▶ diaplikasikan untuk mengunci data masukan dan/atau keluaran suatu rangkaian lain

Latch SR

Elemen Memori dengan Gerbang NOR

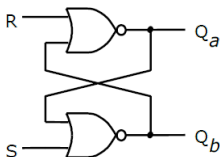
- ▶ Rangkaian latch dapat disusun menggunakan gerbang logika NOR (selain dengan TG)
 - ▶ Masukannya, **Set (S)** dan **Reset (R)**, digunakan untuk mengubah state/keadaan, **Q**, dari rangkaian
 - ▶ Rangkaian tersebut membentuk **latch SR**



- ▶ Perilaku rangkaian:
 - ▶ Jika $R=S=0$, maka state tidak berubah (terkunci)
 - ▶ Jika $R=1$ ($S=0$ atau $S=1$), maka state $Q=0$
 - ▶ Jika $R=0$ dan $S=1$, maka state $Q=1$

Latch SR

Rangkaian dan Tabel Karakteristik



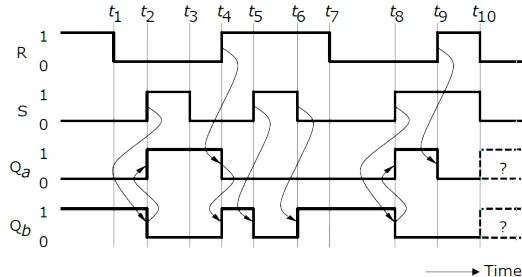
| S | R | Q_a | Q_b | |
|---|---|-------|-------|------------------------------|
| 0 | 0 | 0/1 | 1/0 | Tidak Berubah |
| 0 | 1 | 0 | 1 | |
| 1 | 0 | 1 | 0 | |
| 1 | 1 | 0 | 0 | Tabel Karakteristik Latch SR |

- ▶ Rangkaian dihubungkan secara cross-coupled
- ▶ Saat $R=S=0$, rangkaian tetap berada di state saat ini
 - ▶ Baik ($Q_a = 0$ dan $Q_b = 1$) atau ($Q_a = 1$ dan $Q_b = 0$)
- ▶ Saat $S=1$ dan $R=0$, latch diset ke keadaan dimana $Q_a = 1$ dan $Q_b = 0$
- ▶ Saat $S=0$ dan $R=1$, latch diset ke keadaan dimana $Q_a = 0$ dan $Q_b = 1$
- ▶ Saat $S=1$ dan $R=1$, $Q_a = Q_b = 0 \rightarrow$ **Kondisi race**
 - ▶ Terjadi osilasi antara $Q_a = Q_b = 0$ dan $Q_a = Q_b = 1$

Analisis Waktu Latch SR

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto



Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Latch SR
(Set-Reset)

Latch SR
Tergerbang

Gated Latch D
(Data)

IC TTL Latch

Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi

- ▶ Jika delay propagasi dari Q_a dan Q_b sama, osilasi di waktu t_{10} akan berlanjut secara tak terbatas
- ▶ Di rangkaian realnya, mungkin terdapat perbedaan dalam delay dan latch berada di salah satu dari 2 keadaan
 - ▶ Tidak dapat ditentukan (kondisi race), yang lebih cepat mengunci keadaan
 - ▶ Sehingga, kombinasi $S=R=1$ merupakan kombinasi yang tidak diijinkan di latch SR

Recall: Sistem Kontrol Alarm

Rangkaian
Sekuensial

©2014,Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

**Latch SR
(Set-Reset)**

Latch SR
Tergerbang
Gated Latch D
(Data)
IC TTL Latch

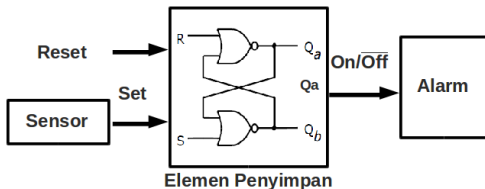
Flip-flop

Register

Counter/Pencacah

Ringkasan

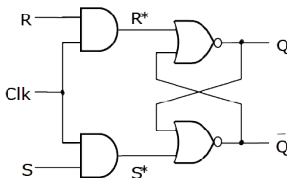
Lisensi



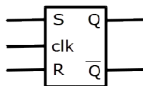
Latch SR Tergerbang

Menambahkan Kontrol Enable

- ▶ Latch SR dasar mengubah statenya saat masukannya berubah
- ▶ Seringkali diinginkan untuk menambah satu sinyal **enable** ke latch SR dasar
 - ▶ Sinyal enable diberikan oleh masukan **Clk**
 - ▶ Digunakan untuk mengontrol kapan rangkaian dapat mengubah state-nya
 - ▶ Saat $Clk=0$ state tidak berubah, saat $Clk=1$ state tergantung masukan S dan R
- ▶ Disebut sebagai **gated SR latch**



| CLK | S | R | Q(t+1) |
|-----|---|---|--------|
| 0 | X | X | Q(t) |
| 1 | 0 | 0 | Q(t) |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | X |



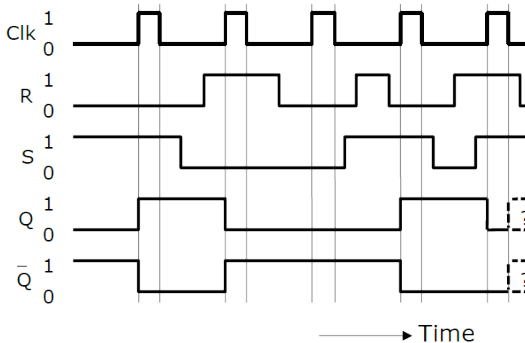
$Q(t)$ = present state

$Q(t+1)$ = next state

X = unknown (either 0 or 1)

Gated SR Latch

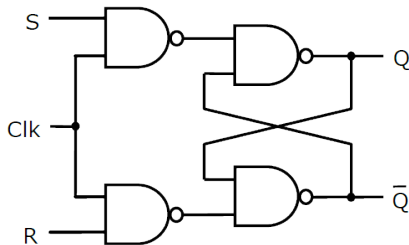
Diagram Pewaktuan



- ▶ Keadaan saat $S=R=1$ dihindari, menyebabkan keluaran tak dapat ditentukan
- ▶ Latch **set** saat $Q=1$ dan latch **reset** saat $Q=0$

Gated SR Latch

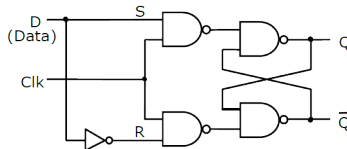
Rangkaian dengan Gerbang NAND



- ▶ Masukan S dan R dibalik dibandingkan dengan rangkaian dengan gerbang AND
- ▶ Gerbang NAND memerlukan transistor lebih sedikit daripada gerbang AND
- ▶ Akan lebih banyak digunakan daripada Gated SR Latch dengan NOR

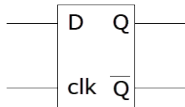
Gated D (Data) Latch

- ▶ Latch dapat digunakan sebagai elemen memori untuk sistem alarm di contoh sebelumnya
- ▶ Gated latch lainnya adalah **D latch**
 - ▶ Mempunyai sebuah masukan data, D
 - ▶ Tidak akan terjadi kondisi race seperti latch RS
 - ▶ Menyimpan nilai masukan dengan kontrol berupa sinyal clock
 - ▶ Digunakan di rangkaian yang perlu menyimpan nilai
 - ▶ Misalnya 'mengingat' nilai keluaran dari rangkaian adder/subtractor
 - ▶ Latch dapat dikatakan sebagai elemen penyimpan **1 bit** data
 - ▶ Diimplementasikan dengan 18 transistor CMOS

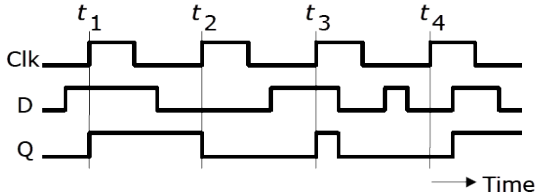


Gated D (Data) Latch

Simbol, Tabel Karakteristik dan Diagram Pewaktuan



| CLK | D | Q(t+1) |
|-----|---|--------|
| 0 | X | Q(t) |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



IC TTL Latch

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

| Nomor IC | Deskripsi |
|-------------|---|
| 74279 | latch set-reset (quad), aktif rendah |
| 74363/74373 | latch data transparan dengan keluaran 3 keadaan (oktal) |

Elemen

Penyimpan
Keadaan

Latch (Pengunci)

Latch SR
(Set-Reset)

Latch SR
Tergerbang

Gated Latch D
(Data)

IC TTL Latch

Flip-flop

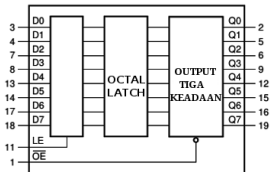
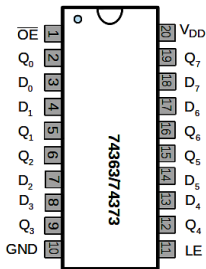
Register

Counter/Pencacah

Ringkasan

Lisensi

► IC 74363/74373

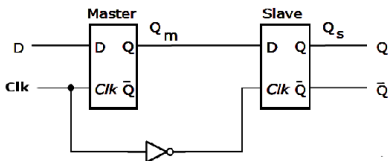


- ▶ Sensitivitas elemen storage: **Level-sensitive** dan **Edge-triggered**
 - ▶ **Level-sensitive**: keluaran elemen dikontrol oleh level masukan clock (0 atau 1)
 - ▶ **Edge-triggered**: keluaran elemen hanya berubah di titik transisi nilai clock
 - ▶ Positive-edge: transisi sinyal clock dari 0 ke 1
 - ▶ Negative-edge: transisi sinyal clock dari 1 ke 0
- ▶ Latch merupakan elemen penyimpan dengan sensitivitas level
 - ▶ Selama clock $clk = 1$ nilai keluaran akan tergantung dari nilai masukan D
 - ▶ Dalam satu periode clock bisa terjadi lebih dari 1 perubahan state keluaran Q
 - ▶ Ini akan membedakannya dengan elemen penyimpan flip-flop yang akan dibahas berikutnya

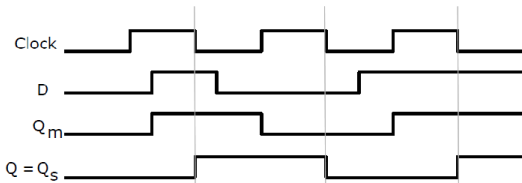
- ▶ Rangkaian latch (gated) merupakan level-sensitive
 - ▶ State dapat berubah **lebih dari sekali** selama periode 'aktif' dari sinyal clock
 - ▶ Untuk logika positif, periode aktif adalah saat $clk=1$. Dan sebaliknya
- ▶ Flip-flop
 - ▶ Elemen penyimpanan 1 bit
 - ▶ Statanya berubah **hanya sekali** dalam satu periode clock
 - ▶ Tipe: **master-slave flip-flop** dan **edge-triggered flip-flop**
 - ▶ Jenis: DFF (data), TFF (toggle) dan JKFF

Master-slave D Flip-flop

- Dibentuk dari 2 buah gated D latch (38 transistor CMOS): sebagai master dan slave
 - **master** mengubah statenya saat clock = 1
 - **slave** mengubah statenya saat clock = 0



- Analisis diagram pewaktuan



Master-slave D Flip-flop: Perilaku

- ▶ Saat $\text{clock}=1$, master melihat nilai dari sinyal masukan D, slave tidak berubah
 - ▶ Q_m mengikuti perubahan D, dan Q_s konstan
- ▶ Saat $\text{clock}=0$, master berhenti mengikuti perubahan nilai masukan D, sebaliknya slave merespon masukan Q_m dan mengubah statenya
 - ▶ Karena Q_m tidak berubah selama $\text{clock}=0$, slave hanya mengubah statenya sekalis aja selama satu siklus clock
- ▶ Dari sudut pandang keluaran
 - ▶ Rangkaian mengubah Q_s (keluaran flip-flop) di titik transisi negatif sinyal clock (perubahan dari 1→0)
 - ▶ Disebut *negative-edge-triggered D Flip-flop*

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi

Simbol dan Karakteristik DFF Transisi Turun

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

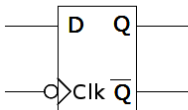
IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

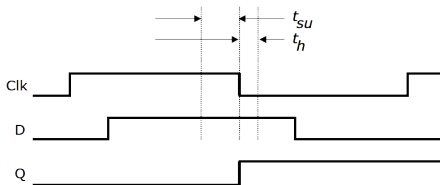
Lisensi



| D | Clk | Q | \overline{Q} |
|---|-----|---|----------------|
| X | 0 | Q | \overline{Q} |
| X | 1 | Q | \overline{Q} |
| 0 | ↓ | 0 | 1 |
| 1 | ↓ | 1 | 0 |

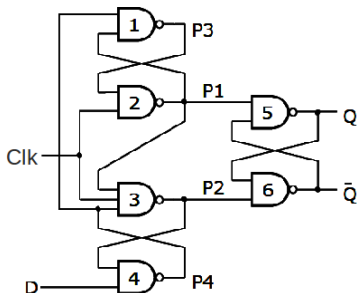
Efek Delay Propagasi

- ▶ Sebelumnya efek delay propagasi diabaikan
 - ▶ Dalam prakteknya, delay ini perlu diperhatikan
- ▶ Di master-slave D flip-flop (negative-edge)
 - ▶ nilai D harus tidak berubah (stabil) saat clock berubah dari 1 ke 0 (transisi turun)
 - ▶ Waktu minimum dimana sinyal D harus stabil sebelum transisi clock turun disebut **setup time** (t_{su})
 - ▶ Waktu minimum dimana sinyal D harus stabil setelah transisi clock disebut **hold time** (t_h)
 - ▶ Nilai tipikal di CMOS: $t_{su} = 3ns$ dan $t_h = 2ns$



Positive-Edge-triggered DFF

- ▶ Rangkaian berfungsi sama dengan master-slave D flip-flop dapat dibentuk dengan 6 gerbang NAND (24 transistor)



- ▶ Saat clock = 0, keluaran gerbang 2 dan 3 tinggi
 - ▶ $P1 = P2 = 1$, keluaran latch tidak berubah, berada di present statenya
 - ▶ $P3 = D$ dan $P4 = \overline{D}$
- ▶ Saat clock = 1, nilai P3 dan P4 ditransmisikan lewat gerbang 2 dan 3

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Register

Counter/Pencacah

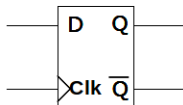
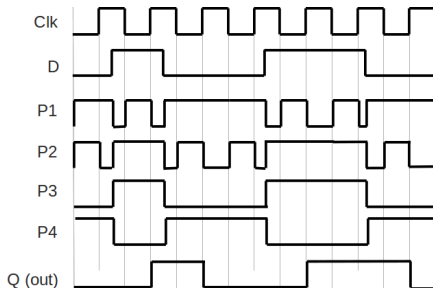
Ringkasan

Lisensi

Perilaku Positive DFF

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto



| D | Clk | Q | \bar{Q} |
|---|-----|---|-----------|
| X | 0 | Q | \bar{Q} |
| X | 1 | Q | \bar{Q} |
| 0 | ↑ | 0 | 1 |
| 1 | ↑ | 1 | 0 |

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

**Flip-Flop Data
(DFF)**

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi

- @2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Register

Counter/Pencacah

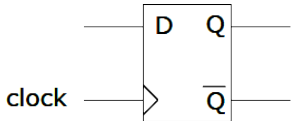
Ringkasan

Lisensi

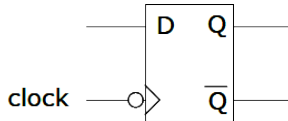
Edge-triggered Flip-flop

Positive-edge dan Negative-edge D Flip-flop

- ▶ Dua tipe rangkaian:
 - ▶ **positive-edge triggered D flip-flop**
 - ▶ rangkaian merespon di transisi positif sinyal clock
 - ▶ **negative-edge triggered D flip-flop**
 - ▶ rangkaian merespon di transisi negatif sinyal clock



**Positive-edge-triggered
D type flip-flop**

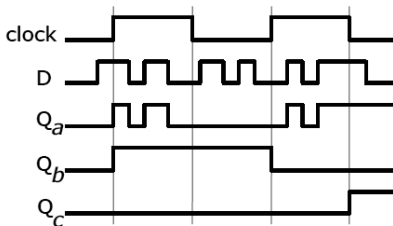
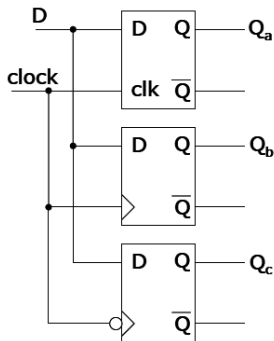


**Negative-edge-triggered
D type flip-flop**

Membandingkan Elemen Penyimpan Data

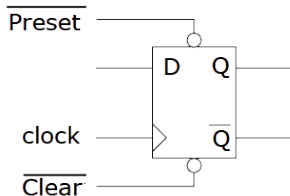
Latch, Positive-edge DFF dan Negative-edge DFF

- Elemen storage: Level-sensitive, positive-edge-sensitive, dan negative-edge-sensitive

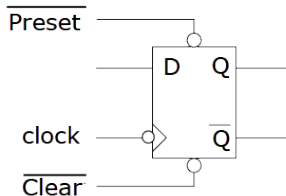


Masukan Preset dan Clear di DFF

- ▶ Diinginkan untuk mengeset sebuah flip-flop ($Q = 1$) atau meng-clear-kannya ($Q = 0$)
 - ▶ Flip-flop umumnya mempunyai masukan **preset** dan **clear**
 - ▶ Input ini asinkron (tidak tergantung dari sinyal clock)
 - ▶ Keluaran Q berubah seketika saat preset atau clear aktif (*active-low*)



posedge triggered DFF

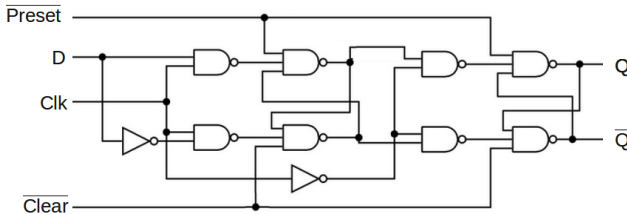


negedge triggered DFF

- ▶ Jika $\overline{\text{Preset}} = 0$, keluaran $Q = 1$
- ▶ Jika $\overline{\text{Clear}} = 0$, keluaran $Q = 0$

Masukan Preset dan Clear

Negative-edge-triggerred DFF (transisi turun)



Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi

Simbol DFF Transisi Turun, Preset, Clear

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

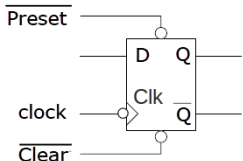
IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi

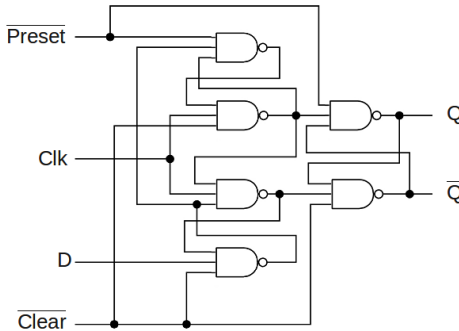


The diagram shows a square symbol for a D Flip-Flop. It has four inputs on the left: 'Preset' (with a bubble), 'D', 'clock' (with a triangle), and 'Clear' (with a bubble). It has two outputs on the right: 'Q' and 'Q-bar' (indicated by a bubble over the Q). The symbol is labeled 'D', 'Q', 'Clk', and 'Q'.

| $\overline{\text{Preset}}$ | $\overline{\text{Clear}}$ | D | Clk | Q | \overline{Q} |
|----------------------------|---------------------------|---|-----|---|----------------|
| 0 | 1 | X | X | 1 | 0 |
| 1 | 0 | X | X | 0 | 1 |
| 0 | 0 | X | X | 1 | 1 |
| 1 | 1 | X | 0 | Q | \overline{Q} |
| 1 | 1 | X | 1 | Q | \overline{Q} |
| 1 | 1 | 0 | ↓ | 0 | 1 |
| 1 | 1 | 1 | ↓ | 1 | 0 |

Masukan Preset dan Clear

Posedge-triggered D Flip-flop with Preset and Clear



Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

**Flip-Flop Data
(DFF)**

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi

Simbol DFF Transisi Naik, Preset, Clear

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

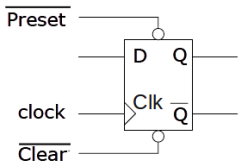
IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi



The diagram shows a D Flip-Flop symbol. It has a square body with 'D' on the left input and 'Q' on the top output. A clock input 'Clk' is on the bottom left, indicated by a triangle. A 'Preset' input is on the top left, and a 'Clear' input is on the bottom right, both indicated by a circle. The output 'Q' is on the top right, and the complement output 'Q-bar' is on the bottom right.

| $\overline{\text{Preset}}$ | $\overline{\text{Clear}}$ | D | Clk | Q | \overline{Q} |
|----------------------------|---------------------------|---|------------|---|----------------|
| 0 | 1 | X | X | 1 | 0 |
| 1 | 0 | X | X | 0 | 1 |
| 0 | 0 | X | X | 1 | 1 |
| 1 | 1 | X | 0 | Q | \overline{Q} |
| 1 | 1 | X | 1 | Q | \overline{Q} |
| 1 | 1 | 0 | \uparrow | 0 | 1 |
| 1 | 1 | 1 | \uparrow | 1 | 0 |

Flip-flop Toggle (T)

- ▶ Menggunakan sebuah posedge D flip-flop dan rangkaian logika untuk mendrive masukannya
- ▶ Feedback membuat sinyal masukan D sama dengan nilai Q atau \overline{Q} di bawah kontrol sinyal T
 - ▶ Saat $T = 1 \rightarrow$ state rangkaian 'toggle' saat transisi clock naik
 - ▶ Saat $T = 0 \rightarrow$ statenya tetap
 - ▶ Digunakan sebagai elemen di rangkaian pencacah

Rangkaian dan Diagram Pewaktuan TFF

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

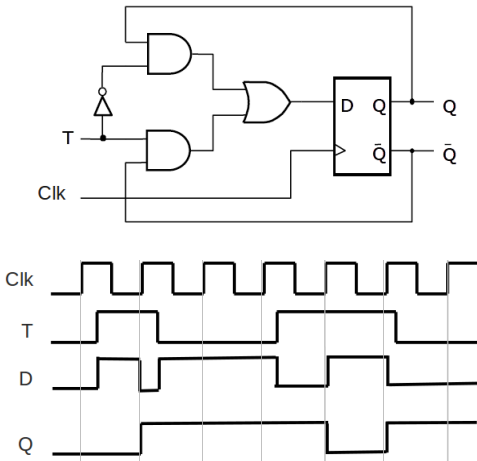
IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi



Simbol dan Fungsi TFF

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

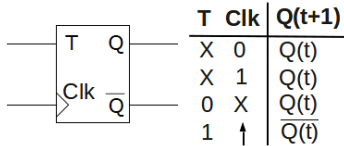
IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi



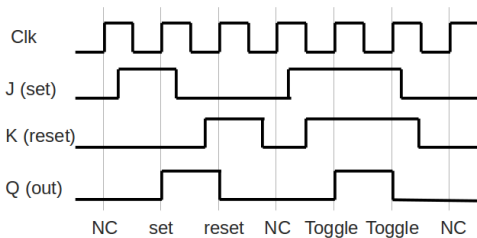
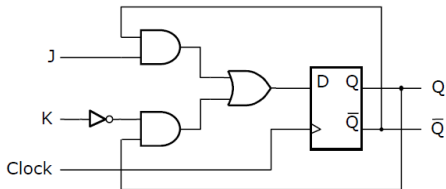
Flip-flop JK

- ▶ Flip-flop JK dapat diturunkan dari flip-flop D, dengan menggunakan 2 masukan J dan K, sehingga
$$D = J\overline{Q} + \overline{K}Q$$
- ▶ Flip-flop JK mengkombinasikan perilaku flip-flop SR dan flip-flop T
 - ▶ $J = S$ dan $K = R$ untuk semua nilai, kecuali untuk $J = K = 1$ (flip-flop SR)
 - ▶ Jika $J=K=1$, flip-flop menbalik (*toggle*) statenya seperti flip-flop T
- ▶ Dapat digunakan sebagai storage seperti DFF dan SR FF. Dan juga T FF dengan menghubungkan J dan K sebagai T

Rangkaian dan Diagram Pewaktuan JKFF

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto



Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

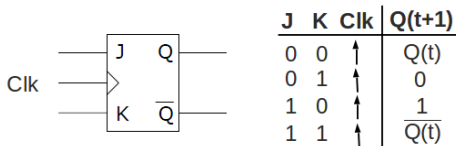
Register

Counter/Pencacah

Ringkasan

Lisensi

Simbol dan Fungsi TFF



- ▶ Dapat digunakan sebagai elemen penyimpan 1 bit
 - ▶ DFF: menghubungkan Data ke masukan J dan \overline{Data} ke masukan K
 - ▶ TFF: menghubungkan Toggle ke J dan K

IC TTL Flip-flop

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Register

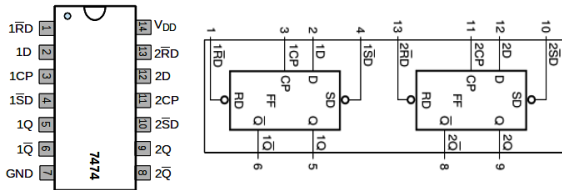
Counter/Pencacah

Ringkasan

Lisensi

| Nomor IC | Deskripsi |
|-------------|--|
| 7474 | DFF transisi naik dengan preset dan clear (dual) |
| 7476 | JKFF dengan preset dan clear (dual) |
| 7479 | DFF (dual) |
| 74112 | JKFF transisi turun dengan preset dan clear (dual) |
| 74173 | DFF dengan keluaran tiga keadaan (quad) |
| 74174 | DFF dengan clear (hex) |
| 74574/74874 | DFF dengan keluaran tiga keadaan (oktal) |

► Dual D-type Positive-Edge-Triggered Flip-Flops with Preset and Clear



IC 7474: Rangkaian dan Fungsi

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

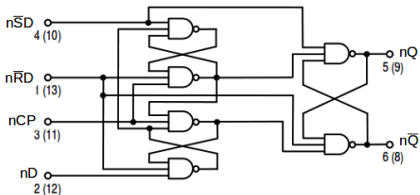
IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi



| nSD | nRD | nCP | nD | nQ | nQ̄ |
|-----|-----|-----|----|----|-----|
| L | H | X | X | H | L |
| H | L | X | X | L | H |
| L | L | X | X | H | H |
| H | H | ↑ | L | L | H |
| H | H | ↑ | H | H | L |

IC 74574: 8 DFF Transisi Naik, Tiga Keadaan

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

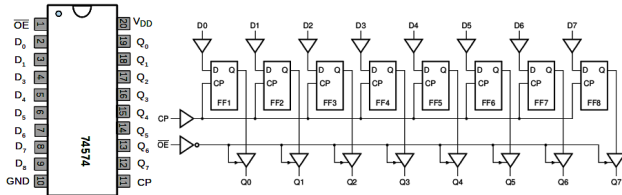
IC TTL Flip-flop

Register

Counter/Pencacah

Ringkasan

Lisensi



| \overline{OE} | CP | nD | FF intern | nQ |
|-----------------|----|----|-----------|----|
| L | ↑ | L | L | L |
| L | ↑ | H | H | H |
| H | ↑ | L | L | Z |
| H | ↑ | H | H | Z |

- ▶ Sebuah DFF dapat menyimpan 1 bit data
- ▶ Register n bit dibentuk dari n buah DFF
 - ▶ masukan Clk digunakan secara bersama oleh tiap DFF penyusunnya
- ▶ DFF dapat digunakan untuk membentuk register data dan register geser
 - ▶ Register data digunakan untuk menyimpan data
 - ▶ Data yang tersimpan di register bersifat sementara (*volatile*)
 - ▶ Register geser digunakan dalam operasi pergeseran bit serta dalam konversi data serial ke paralel dan data paralel ke serial

- ▶ **Register Data n-bit** tersusun atas **n** buah flip-flip untuk menyimpan **n-bit** data
 - ▶ Perilaku register data n bit transisi naik
 - ▶ Untuk setiap DFF, $Q = D$ saat transisi naik Clk
 - ▶ Keluaran $Q(t + 1) = Q(t)$ atau tetap saat kondisi Clk lainnya
- ▶ Register data di prosesor: register akumulator, register status, register alamat, register instruksi, register data serial terima (RX)/kirim (TX)
- ▶ Contoh penggunaan register:
 - ▶ Menahan/menyimpan (hold) sebuah keluaran nilai data dari suatu rangkaian aritmatika
 - ▶ Menahan/menyimpan (hold) nilai pencacah dalam rangkaian counter/pencacah

Register Data 4 Bit

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

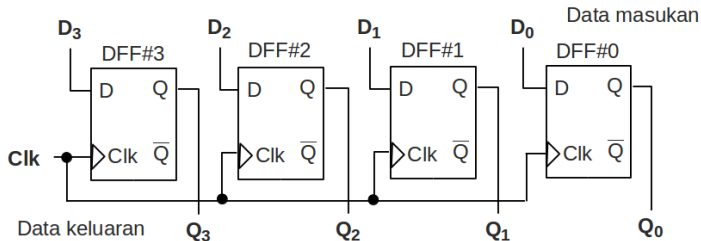
Register

Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

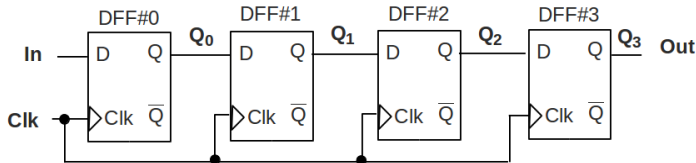
Lisensi



- ▶ Saat transisi naik Clk , register akan bernilai $Q[3:0] = D[3:0]$

Register Geser

- ▶ Merupakan sebuah register yang dapat menggeser isinya sejauh 1 bit perclock
 - ▶ Bisa geser ke kanan atau ke kiri
- ▶ Register geser kiri



Register Geser Kiri

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

- ▶ Data digeser ke kiri secara serial menggunakan masukan **In**
- ▶ Isi dari tiap flip-flop ditransfer ke flip-flop berikutnya di tiap transisi naik sinyal clock

| | Q_3 | Q_2 | Q_1 | Q_0 | In |
|-------|-------|-------|-------|-------|------|
| t_0 | 0 | 0 | 0 | 0 | 1 |
| t_1 | 0 | 0 | 0 | 1 | 0 |
| t_2 | 0 | 0 | 1 | 0 | 1 |
| t_3 | 0 | 1 | 0 | 1 | 1 |
| t_4 | 1 | 0 | 1 | 1 | 1 |
| t_5 | 0 | 1 | 1 | 1 | 0 |
| t_6 | 1 | 1 | 1 | 0 | 0 |
| t_7 | 1 | 1 | 0 | 0 | 0 |

Register Geser Kanan dengan Akses Paralel

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register
Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

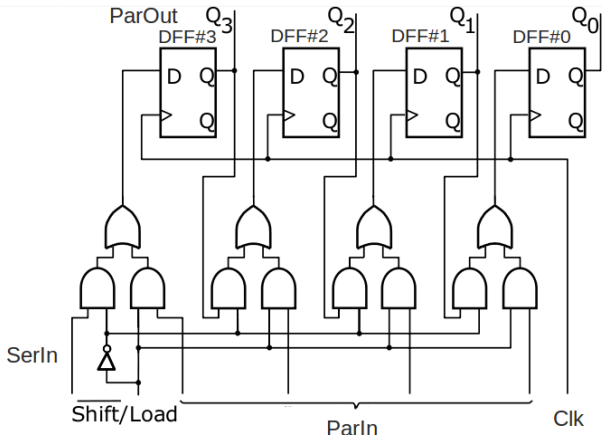
Lisensi

- ▶ Tipe transfer data di sistem komputer
 - ▶ transfer paralel: transfer n-bit data sekaligus
 - ▶ transfer serial: transfer 1-bit bit dalam satu waktu
- ▶ Untuk mentransfer data secara serial, data diletakkan dalam suatu register secara paralel (dalam waktu 1 siklus clock) dan digeser keluar satu bit dalam satu waktu
 - ▶ Disebut sebagai konversi data parallel-ke-serial
- ▶ Jika bit-bit diterima secara serial, setelah n siklus clock, isi dari register dapat diakses secara paralel sebagai sebuah data n-bit
 - ▶ Disebut sebagai konversi data serial-ke-paralel

Register Geser dengan Akses Paralel

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto



Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

IC TTL Register

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

| Nomor IC | Deskripsi |
|-------------|--|
| 74164 | register geser 8 bit, keluaran paralel, masukan <i>clear</i> asinkron |
| 74165 | register geser 8 bit, masukan paralel, dengan keluaran komplementer |
| 74166 | register geser 8 bit, masukan paralel |
| 74194/74195 | register geser universal dua arah (bidireksional) 4 bit |
| 74198 | register geser universal dua arah (bidireksional) 8 bit |
| 74273 | register 8 bit dengan <i>reset</i> |
| 74278 | register prioritas 4 bit, dapat di-kaskade, masukan data terkunci |
| 74299 | register geser universal dua arah (bidireksional) 8 bit, keluaran tiga-keadaan |
| 74374 | register oktal dengan keluaran tiga-keadaan |
| 74377 | register 8 bit dengan kontrol <i>enable</i> detak |
| 74401 | register oktal, akses paralel |

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

74164: Register Geser 8 Bit, SerIn/ParOut

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

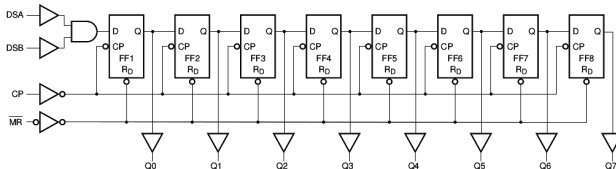
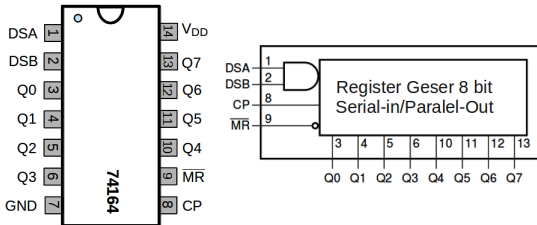
Flip-flop

Register
Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

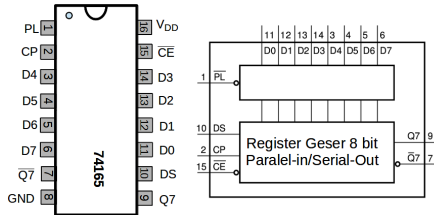
Lisensi



74165/74166: Register Geser 8 Bit, Load Paralel

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto



| \overline{PL} | \overline{CE} | CP | DS | D0-D7 | Q0 | Q1-Q6 | Q7 | $\overline{Q7}$ |
|-----------------|-----------------|------------|----|-------|----|-------|----|-----------------|
| L | X | X | X | X | D0 | D1-D6 | D7 | $\overline{D7}$ |
| H | L | \uparrow | X | X | DS | Q0-Q5 | Q6 | $\overline{Q6}$ |
| H | \uparrow | L | X | X | DS | Q0-Q5 | Q6 | $\overline{Q6}$ |
| H | H | X | X | X | Q0 | Q1-Q6 | Q7 | $\overline{Q7}$ |
| H | X | H | X | X | Q0 | Q1-Q6 | Q7 | $\overline{Q7}$ |

H: level HIGH, L: level LOW, X: don't care

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

74165/74166: Perilaku

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Register Data

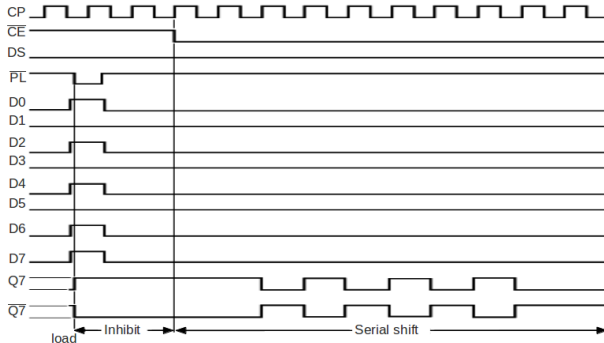
Register Geser

IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi



74299: Register Geser Universal 8 Bit

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

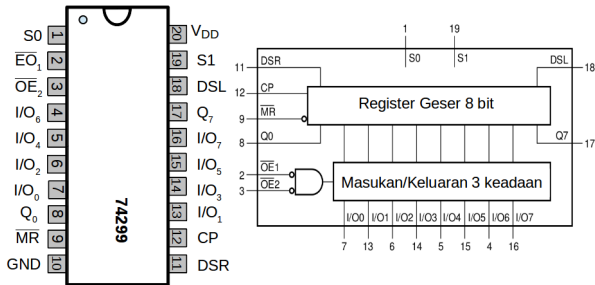
Register

Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi



Rangkaian Sekuensial

Elemen
Penyimpan
Keadaan

Flip-flop

Register
Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

Lisen si

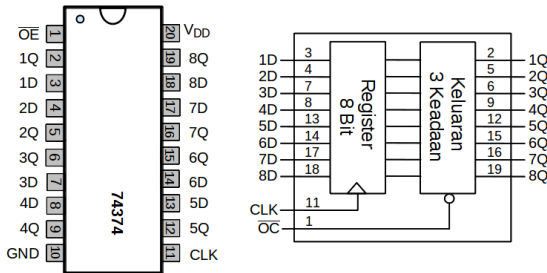
H: level HIGH, L: level LOW, X: don't care

1. SIPO (*serial-in parallel-out*), register diisi dengan data serial 1 bit dalam satu waktu dan data yang tersimpan di register tersedia sebagai keluaran paralel
2. SISO (*serial-in serial-out*), data digeser secara serial dari masukan ke keluaran serial, 1 bit dalam satu waktu
3. PISO (*parallel-in serial-out*), register diisi dengan data paralel n bit dan isi register digeser keluar secara serial 1 bit dalam satu waktu
4. PIPO (*parallel-in parallel-out*), register diisi dengan data paralel n bit dan isi register dapat tersedia sebagai keluaran paralel

IC 74374: Register Data 8 Bit

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto



| \overline{OC} | CLK | D | Q |
|-----------------|------------|---|-------|
| L | \uparrow | H | H |
| L | \uparrow | L | L |
| L | L | X | Q_0 |
| H | X | X | Z |

H: level HIGH, L: level LOW,
X: don't care, Z: high-Z

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacahan

Ringkasan

Lisensi

IC 74374: Register Data 8 Bit

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Register Data

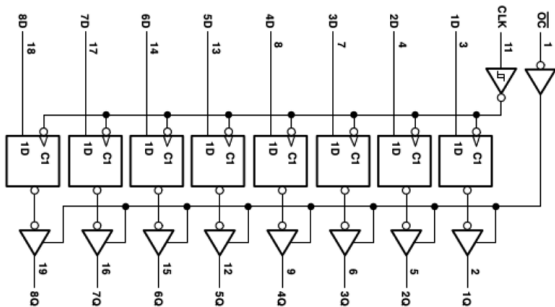
Register Geser

IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi



- ▶ Rangkaian counter ini dapat digunakan melakukan beberapa fungsi, misalnya
 - ▶ Menghitung kejadian dari suatu event
 - ▶ Membangkitkan interval waktu untuk mengontrol pekerjaan-pekerjaan (task) di sistem digital
 - ▶ Menghitung waktu mundur antar event
 - ▶ Menyediakan alamat baru di pencacah program (PC)
- ▶ Rangkaian counter yang paling sederhana dapat dibuat dengan menggunakan flip-flop T
 - ▶ flip-flop T secara natural cocok untuk diimplementasikan di operasi pencacahan

Pencacah Sinkron dan Asinkron

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

- ▶ Pencacah asinkron dibentuk dengan memberikan sinyal *Clk* ke terminal detak satu flip-flop
 - ▶ Masukan detak untuk flip-flop berikutnya diperoleh dari keluaran flip-flop sebelumnya (efek serupa RCA)
 - ▶ Lambat karena sumber *Clk* merambat dari satu flip-flop ke flip-flop lainnya
- ▶ Pencacah sinkron dibentuk dengan memberikan sinyal *Clk* ke semua flip-flop di waktu yang sama
 - ▶ Semua flip-flop menggunakan sumber detak yang sama
 - ▶ Mempunyai respon yang lebih cepat daripada pencacah asinkron

Pencacah Naik dengan Flip-flop T

- ▶ Pencacah 3-bit yang dapat mencacah 0 sampai 7 atau pencacah module-8
 - ▶ Masukan clock untuk ketiga flip-flop dikoneksikan secara kaskade
 - ▶ Flip-flop pertama terkoneksi ke Clock
 - ▶ Flip-flop berikutnya, sinyal clocknya didrive dari keluaran \bar{Q} flip-flop sebelumnya
 - ▶ Rangkaian seperti ini disebut sebagai pencacah asinkron atau pencacah ripple
 - ▶ Masukan T tiap flip-flop dikoneksikan ke konstan 1
 - ▶ State tiap flip-flop akan dibalik (toggle) setiap transisi naik clocknya

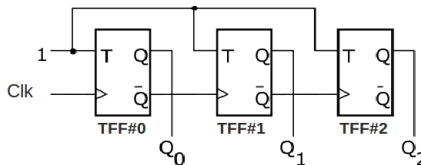


Diagram Pewaktuan Pencacah Naik

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

**Pencacah
Asinkron**

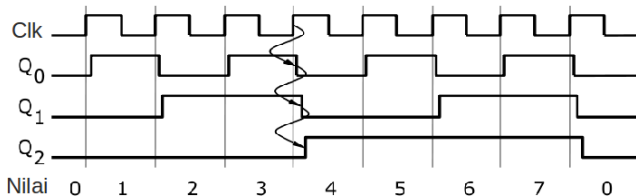
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



- ▶ Nilai Q_0 akan toggle setiap clock cycle
 - ▶ Perubahan terjadi setelah transisi naik sinyal clock
- ▶ Nilai Q_1 akan toggle setelah transisi turun dari Q_0 , demikian juga Q_2
- ▶ Nilai $Q_2 Q_1 Q_0$ menunjukkan nilai pencacahnya

Pencacah Turun dengan Flip-flop T

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

**Pencacah
Asinkron**

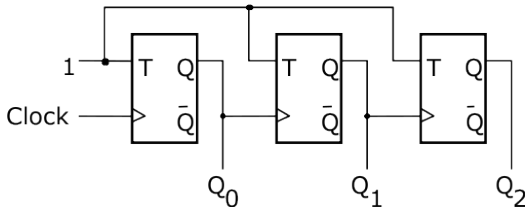
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

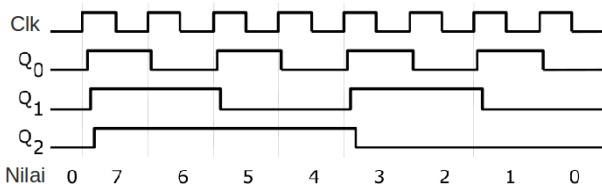


- ▶ Mirip dengan rangkaian pencacah naik, kecuali masukan clock flip-flop kedua dan seterusnya berasal dari **keluaran Q** flip-flop sebelumnya

Diagram Pewaktuan Pencacah Turun

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto



- ▶ Nilai Q_0 akan toggle setiap clock cycle
 - ▶ Perubahan terjadi setelah transisi naik sinyal clock
- ▶ Nilai Q_1 akan toggle setelah transisi naik dari Q_0 , demikian juga Q_2
- ▶ Nilai $Q_2 Q_1 Q_0$ menunjukkan nilai pencacahnya

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

**Pencacah
Asinkron**

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

- ▶ Desain pencacah naik/turun 3-bit menggunakan flip-flop T. Sebuah masukan kontrol $\overline{Up}/Down$ harus disertakan. Jika $\overline{Up}/Down = 0$ rangkaian berfungsi sebagai pencacah naik. Jika $\overline{Up}/Down = 1$ rangkaian berfungsi sebagai pencacah turun.

Perilaku Pencacah Naik

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

- ▶ masukan T tiap TFF akan bernilai sebagai berikut:

$$T_0 = 1$$

$$T_1 = Q_0$$

$$T_2 = Q_0 Q_1$$

$$T_3 = Q_0 Q_1 Q_2$$

- ▶ Implementasi rangkaian pencacah sinkron tersebut membutuhkan gerbang AND.

- ▶ Masukan T_0 dihubungkan logika 1, sehingga Q_0 akan membalik setiap transisi naik Clk
- ▶ Masukan T_1 dihubungkan dengan Q_0
- ▶ Masukan T_2 membutuhkan gerbang AND-2 untuk memperoleh $Q_0 Q_1$
- ▶ Masukan T_3 membutuhkan gerbang AND-3 untuk memperoleh $Q_0 Q_1 Q_2$

- ▶ Masalah fan-in: pencacah n bit akan membutuhkan gerbang AND

$n - 1$

Elemen
Penyimpan
Keadaan
Latch (Pengunci)
Flip-flop
Register
Counter/Pencacah
Pencacah
Asinkron
Pencacah Sinkron
Pencacah Sinkron
dengan DFF
IC TTL Pencacah
Ringkasan
Lisensi

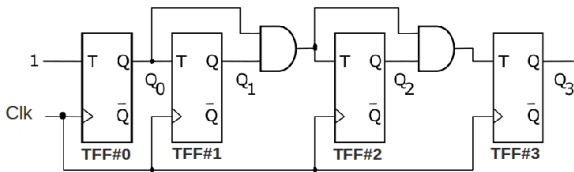
► Faktorisasi untuk mengatasi fan-in

$$T_0 = 1$$

$$T_1 = Q_0$$

$$T_2 = T_1 Q_1$$

$$T_3 = T_2 Q_2$$



Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Diagram Pewaktuan

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

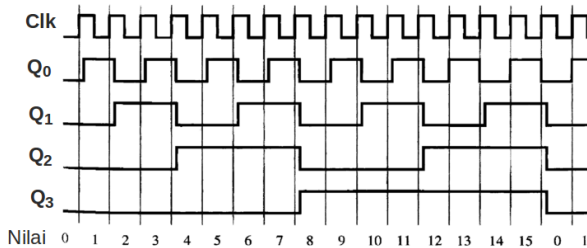
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



- Untuk sebarang pencacah naik n bit, rangkaiannya dapat dibentuk dengan persamaan masukan T_i sebagai berikut:

$$\begin{aligned}T_0 &= 1 \\T_1 &= Q_0 \\T_2 &= T_1 Q_1 \\T_3 &= T_2 Q_2 \\&\vdots \\T_n &= T_{n-1} Q_{n-1}\end{aligned}$$

Pencacah Sinkron dengan Enable dan Clear

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

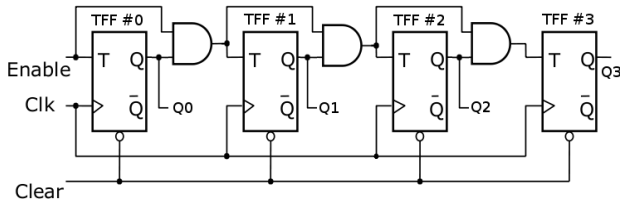
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



Rangkaian Sekuensial

Elemen
Penyimpan
Keadaan

Flip-flop

Register

Counter/Pencacah

Pencahayaan Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

- <http://didik.blog.undip.ac.id>

Pencacah Sinkron dengan DFF

$$D_0 = Q_0 \oplus Enable$$

$$D_1 = Q_1 \oplus Q_0 \cdot Enable$$

$$D_2 = Q_2 \oplus Q_1 \cdot Q_0 \cdot Enable$$

$$D_3 = Q_3 \oplus Q_2 \cdot Q_1 \cdot Q_0 \cdot Enable$$

- Untuk pencacah yang lebih besar, masukan D di tiap DFF bernilai $D_i = Q_i \oplus Q_{i-1} \cdot Q_{i-2} \cdots Q_1 \cdot Q_0 \cdot Enable$
→ masalah fan-in

$$D_0 = Q_0 \oplus Enable$$

$$D_1 = Q_1 \oplus Q_0 \cdot Enable$$

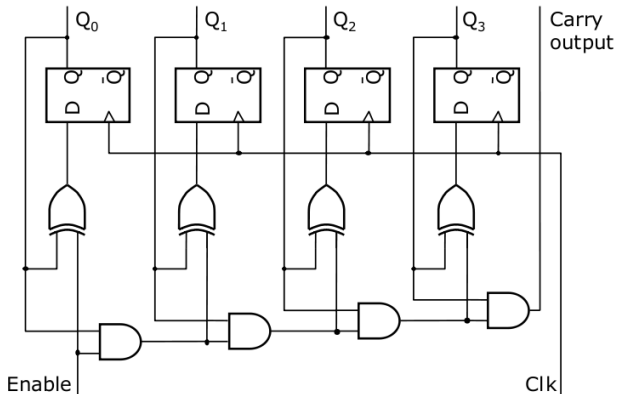
$$D_2 = Q_2 \oplus Q_1 \cdot (Q_0 \cdot Enable)$$

$$D_3 = Q_3 \oplus Q_2 \cdot (Q_1 \cdot Q_0 \cdot Enable)$$

Rangkaian Pencacah Sinkron DFF

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto



Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

**Pencacah Sinkron
dengan DFF**

IC TTL Pencacah

Ringkasan

Lisensi

Rangkaian Pencacah Sinkron dengan Load Paralel

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

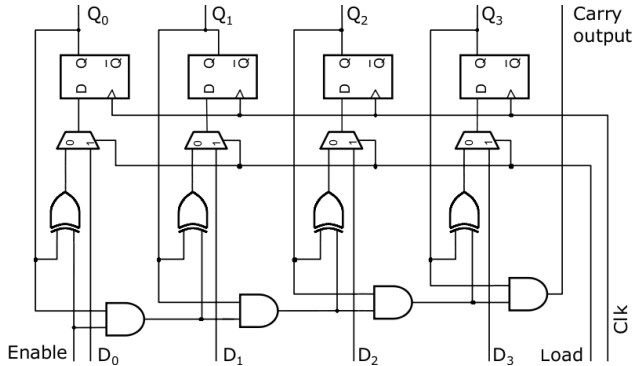
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



- Elemen Penyimpan Keadaan
- Latch (Pengunci)
- Flip-flop
- Register
- Counter/Pencacah
 - Pencacah Asinkron
 - Pencacah Sinkron
 - Pencacah Sinkron dengan DFF
- IC TTL Pencacah
- Ringkasan
- Lisensi

◀ ◻ ▶ ◀ ◻ ▶ ◀ ≡ ▶ ◀ ≡ ▶ ≡

IC 74393: Dual Pencacah Asinkron 4 Bit

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

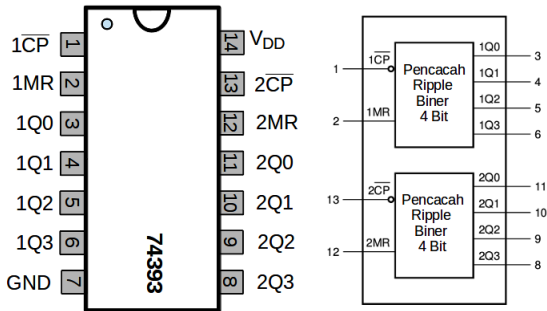
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



IC 74393: Fungsi Logika

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

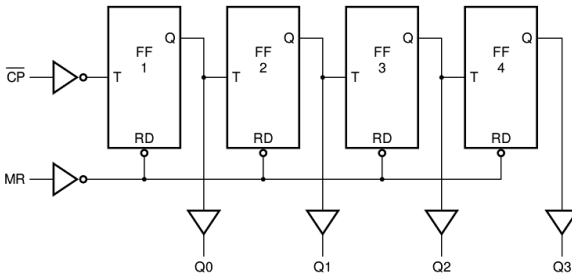
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



IC 74193: Dual Pencacah Sinkron 4 Bit, Naik/Turun

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

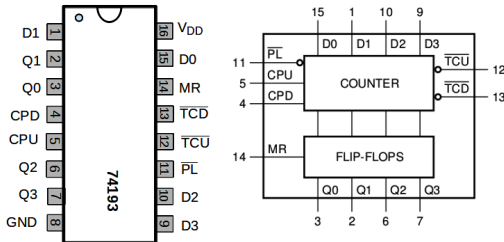
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



| Elemen Penyimpan Keadaan | Elemen Penyimpan | Keadaan |
|--------------------------|------------------|---------|
| 1 | 1 | 1 |
| 2 | 2 | 2 |
| 3 | 3 | 3 |
| 4 | 4 | 4 |
| 5 | 5 | 5 |
| 6 | 6 | 6 |
| 7 | 7 | 7 |
| 8 | 8 | 8 |
| 9 | 9 | 9 |
| 10 | 10 | 10 |
| 11 | 11 | 11 |
| 12 | 12 | 12 |
| 13 | 13 | 13 |
| 14 | 14 | 14 |
| 15 | 15 | 15 |
| 16 | 16 | 16 |
| 17 | 17 | 17 |
| 18 | 18 | 18 |
| 19 | 19 | 19 |
| 20 | 20 | 20 |
| 21 | 21 | 21 |
| 22 | 22 | 22 |
| 23 | 23 | 23 |
| 24 | 24 | 24 |
| 25 | 25 | 25 |
| 26 | 26 | 26 |
| 27 | 27 | 27 |
| 28 | 28 | 28 |
| 29 | 29 | 29 |
| 30 | 30 | 30 |
| 31 | 31 | 31 |
| 32 | 32 | 32 |
| 33 | 33 | 33 |
| 34 | 34 | 34 |
| 35 | 35 | 35 |
| 36 | 36 | 36 |
| 37 | 37 | 37 |
| 38 | 38 | 38 |
| 39 | 39 | 39 |
| 40 | 40 | 40 |
| 41 | 41 | 41 |
| 42 | 42 | 42 |
| 43 | 43 | 43 |
| 44 | 44 | 44 |
| 45 | 45 | 45 |
| 46 | 46 | 46 |
| 47 | 47 | 47 |
| 48 | 48 | 48 |
| 49 | 49 | 49 |
| 50 | 50 | 50 |
| 51 | 51 | 51 |
| 52 | 52 | 52 |
| 53 | 53 | 53 |
| 54 | 54 | 54 |
| 55 | 55 | 55 |
| 56 | 56 | 56 |
| 57 | 57 | 57 |
| 58 | 58 | 58 |
| 59 | 59 | 59 |
| 60 | 60 | 60 |
| 61 | 61 | 61 |
| 62 | 62 | 62 |
| 63 | 63 | 63 |
| 64 | 64 | 64 |
| 65 | 65 | 65 |
| 66 | 66 | 66 |
| 67 | 67 | 67 |
| 68 | 68 | 68 |
| 69 | 69 | 69 |
| 70 | 70 | 70 |
| 71 | 71 | 71 |
| 72 | 72 | 72 |
| 73 | 73 | 73 |
| 74 | 74 | 74 |
| 75 | 75 | 75 |
| 76 | 76 | 76 |
| 77 | 77 | 77 |
| 78 | 78 | 78 |
| 79 | 79 | 79 |
| 80 | 80 | 80 |
| 81 | 81 | 81 |
| 82 | 82 | 82 |
| 83 | 83 | 83 |
| 84 | 84 | 84 |
| 85 | 85 | 85 |
| 86 | 86 | 86 |
| 87 | 87 | 87 |
| 88 | 88 | 88 |
| 89 | 89 | 89 |
| 90 | 90 | 90 |
| 91 | 91 | 91 |
| 92 | 92 | 92 |
| 93 | 93 | 93 |
| 94 | 94 | 94 |
| 95 | 95 | 95 |
| 96 | 96 | 96 |
| 97 | 97 | 97 |
| 98 | 98 | 98 |
| 99 | 99 | 99 |
| 100 | 100 | 100 |

Flip-flop

Register

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencah Sinkron dengan DFF

IC TTL Pencacah

Ringkasan

Lisen si



IC 74193: Perilaku

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

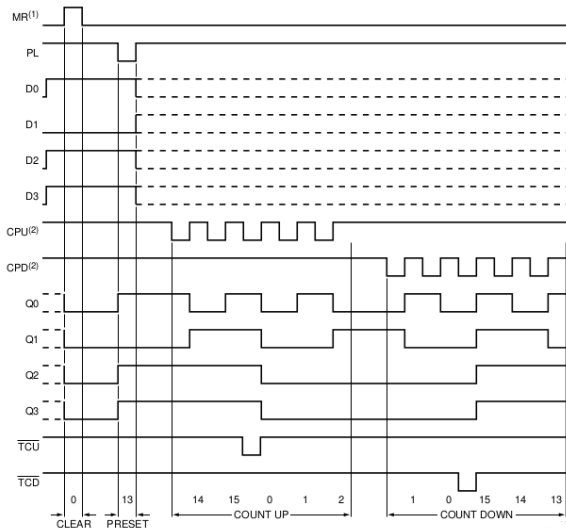
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

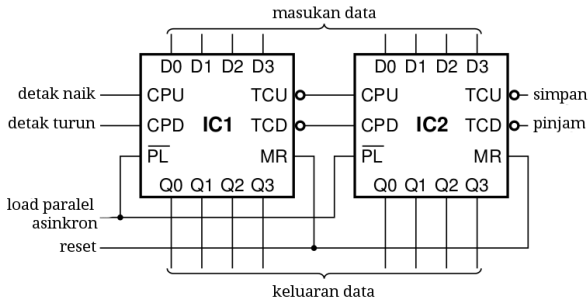


Pencacah Sinkron n x 4 Bit

Rangkaian
Sekuensial

©2014, Eko Didik
Widianto

► Menggunakan 74193



Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

- ▶ Yang telah kita pelajari hari ini:
 - ▶ Elemen rangkaian sekuensial berupa latch dan flip-flop:
 - ▶ Latch: RS-latch, D-latch, gated latch
 - ▶ Flip-flop: master-slave D flip-flop, edge-triggered flip-flop, T flip-flop dan JK flip-flop
 - ▶ Perbedaan antara latch dan flip-flop
 - ▶ Register dan pencacah
 - ▶ Register data dan register geser
 - ▶ Pencacah asinkron dan sinkron
- ▶ Yang akan kita pelajari di pertemuan berikutnya adalah tentang perancangan rangkaian sekuensial menggunakan diagram keadaan (Moore)
 - ▶ Pelajari: <http://didik.blog.undip.ac.id/2014/02/25/tkc205-sistem-digital-2013-genap/>

1. **Bab 7:** Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005
Tentang flip-flop, register, pencacah dan prosesor sederhana
2. Datasheet CD4043BE (Texas): Quad Latch SR NOR.
<http://www.ti.com/lit/gpn/CD4043B>
3. Datasheet CD4044BE (Texas), 54LS279 , 74LS279: Quad Latch SR NAND. <http://www.ti.com/lit/gpn/CD4044B>
4. Datasheet SN74LS74A: Dual D-type Positive-Edge-Trigerred Flip-Flops with Preset and Clear.
<http://www.ti.com/lit/gpn/SN74LS74A>

Creative Common Attribution-ShareAlike 3.0 Unported (CC BY-SA 3.0)

- ▶ Anda bebas:
 - ▶ untuk **Membagikan** — untuk menyalin, mendistribusikan, dan menyebarkan karya, dan
 - ▶ untuk **Remix** — untuk mengadaptasikan karya
- ▶ Di bawah persyaratan berikut:
 - ▶ **Atribusi** — Anda harus memberikan atribusi karya sesuai dengan cara-cara yang diminta oleh pembuat karya tersebut atau pihak yang mengeluarkan lisensi. Atribusi yang dimaksud adalah mencantumkan alamat URL di bawah sebagai sumber.
 - ▶ **Pembagian Serupa** — Jika Anda mengubah, menambah, atau membuat karya lain menggunakan karya ini, Anda hanya boleh menyebarkan karya tersebut hanya dengan lisensi yang sama, serupa, atau kompatibel.
- ▶ Lihat: **Creative Commons Attribution-ShareAlike 3.0 Unported License**
- ▶ Alamat URL: <http://didik.blog.undip.ac.id/2014/02/25/tkc205-sistem-digital-2013-genap/>