

Cognome:..... Nome: .....Matricola: .....

*Note: le soluzioni devono essere opportunamente commentate,  
è vietato utilizzare appunti o libri.*

- 1) Si deve realizzare un banco di memoria con indirizzi a 20 bit e parole di 16 bit. Si dispone di componenti base di memoria discreti ciascuno in grado di immagazzinare 256K righe di 8 bit. Disegnare la struttura di tale modulo, identificando chiaramente la corrispondenza tra i bit di indirizzo/dato esterni al banco ed i segnali interni.
  - Descrivere sommariamente le 3 condizioni necessarie affinché la pipeline vista a lezione sia caratterizzata da CPI pari a 1 in un determinato (sotto)programma. Assumere che siano disponibili tutte le ottimizzazioni spiegate e che vi sia cache distinta per istruzioni e dati.
- 2) Identificare le parti logiche dell'indirizzo RAM di una memoria da 256 MB, indirizzabile per byte, nel caso sia collegata ad una memoria cache associativa a gruppi, con 4 posizioni per gruppo, da 32KB in cui ogni posizione immagazzina un blocco di memoria di 16 byte.
  - Descrivere i passaggi coinvolti nella conversione di un indirizzo logico in uno fisico, assumendo la presenza di TLB. Spiegare le conseguenze di un "hit" o "miss" in ogni consultazione di tabella.
- 3) Elencare e **commentare** le micro istruzioni relative alla completa esecuzione (caricamento, decodifica, esecuzione) della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia **un BUS**, che l'istruzione sia composta da **una sola parola**, che  $\$xx(\%Exx)$  rappresenti un metodo di indirizzamento **indiretto a registro con spiazzamento** e che l'indirizzo del **salto** sia **relativo** (usare solamente le righe necessarie e commentare ogni istruzione):

CALL \$4(%EAX)	commento
1. ....	
2. ....	
3. ...	

  - Disegnare il diagramma temporale dell'evoluzione dei segnali del BUS necessari a realizzare l'arbitraggio tra una CPU e due dispositivi DMA chiamati DMA1 e DMA2. Assumere che la CPU abbia priorità maggiore di DMA1, il quale ha priorità maggiore di DMA2. Come stato iniziale assumere che il BUS sia occupato da DMA1 e che sia CPU che DMA2 chiedano l'utilizzo.
- 4) Riportare la Tassonomia di Flynn sulle architetture parallele e dire a quali realizzazioni odierne corrispondono le tre architetture possibili.
  - Discutere l'impatto che hanno su una architettura RISC o CISC le tre parti della formula che descrive il tempo di esecuzione ( $T_{cpu}$ ) di un programma composto da  $N$  istruzioni eseguite alla frequenza  $f$ .