

Architettura degli Elaboratori

struttura lezioni registrate

Franco Fummi
Luca Geretti



UNIVERSITÀ
di **VERONA**
Dipartimento
di **INFORMATICA**

Version 1.0

01 - Modello di Von Neumann

- Modello
 - schema e componenti
- Caratteristiche
 - dati e istruzioni
- CPU didattica semplificata
 - ciclo F-D-E
 - collegamento registri/memoria

02 - Programmazione Assembly

- Struttura istruzione
 - opcode
 - operandi
 - metodi di indirizzamento
- Istruzioni principali
 - gestione memoria
 - test
 - salto
 - aritmetica
 - generiche
- Relazioni con linguaggio C
 - If/else
 - cicli for/while
 - chiamate a sottoprogramma
- Gestione memoria
 - Struttura memoria
 - pila

03 - CPU Cablata e Microprogrammata

- CPU didattica (libro)
 - struttura
 - bus interno
 - CPI
- CPU cablata
 - generazione segnali di controllo
 - WMFC
 - CPU 3 BUS
 - schema decodificatore dei segnali
- CPU microprogrammata
 - schema CPU con micromemoria
 - generazione micro istruzioni

04 - Architettura LC3

- ISA:
 - struttura istruzioni
 - esempi di istruzioni
 - metodi di indirizzamento
 - ciclo esteso F - D - E
 - struttura unità di controllo
- Progetto data-path:
 - istruzioni di calcolo, gestione memoria, salto
 - flussi di dati tra registri per ogni istruzione
 - esempi di interpretazione codice binario
 - struttura data-path completo

05 - Metodi di I/O e BUS

- Memory mapped I/O:
 - struttura dispositivo di I/O
 - codice assembly per accesso a dispositivo di I/O
 - accesso basato su polling
 - esempio di tempo di accesso
 - limiti dell'accesso basato su polling
- Interrupt:
 - dispositivo di I/O con interrupt
 - bus di controllo per interrupt
 - ISR
- DMA
 - dispositivo di I/O per DMA
 - applicabilità
 - requisiti DMA per bus
- BUS
 - arbitraggio
 - daisy-chain
 - bus sincrono
 - bus asincrono

06 – Processi e Interrupt

- Multitasking
 - time sharing
 - supervisor call (SVC)
 - context switch
 - tempo u, s, r
- Stati di un processo
 - diagramma
 - esecuzione U e S
 - attesa
 - pronto
 - preemption
- Interrupt
 - contesto di interrupt
 - interrupt annidati
 - priorità
 - passaggio parametri su stack
 - codice atomico

07 - Memorie RAM

- Componente di memoria
 - Struttura generale
 - Organizzazione come matrice di bit
- Memoria SRAM
 - Struttura logica
 - Struttura in tecnologia CMOS
- Memoria DRAM
 - Struttura della cella DRAM
 - Segnali RAS e CAS
 - Modo veloce di pagina
 - DRAM sincrona
 - Tempo di latenza e banda passante
- Banchi di memoria

08 - Memorie ROM, Magnetiche e Ottiche

- Memorie ROM
 - La cella ROM
 - PROM, EPROM, EEPROM
 - Flash
- Memorie Magnetiche
 - Accenni su nastri magnetici
 - Dischi magnetici
- Dischi Ottici
 - CD-ROM, CD-R, CD-RW
 - DVD e Blu-Ray

09 – Gerarchia di Memoria

- Confronto tra memorie
 - tipi di memorie
 - tecnologia
 - accesso
 - velocità
 - dimensione
 - Costo
- Gerarchia di memoria
 - località spaziale
 - località temporale
 - gerarchia

10 – Memoria Cache

- Principi fondamentali
 - Gruppo e posizione
 - Cache hit
 - Cache miss
- Schema di indirizzamento
 - Diretto
 - Associativo
 - Associativo a gruppi
- Esempio di indirizzamento
 - Diretto
 - Associativo
 - Associativo a gruppi

11 – Memoria Virtuale

- Ruolo e relazione con cache
- Struttura di memoria virtuale
 - MMU
 - Pagina
- Tabella delle pagine
 - Traduzione
 - Bit di validità e modifica
- Translation Lookaside Buffer
- Il fault di pagina
 - I casi di fallimento
 - Bit di uso
 - Modalità di scrittura
- Spazio di processo e protezione

13 – Architetture RISC vs CISC

- Differenze fra le architetture
- Vantaggi e svantaggi
- La pipeline nelle CPU CISC
 - CPU Intel Core i7
- Interconnessione in CPU CISC
- Esempi esecuzione istruzioni
 - Istruzione di ADD fra registri
 - Istruzione di AND su memoria

14 – Architetture Parallele

- Tempo di CPU
- Parallelismo a livello di istruzione
 - architetture superscalari
 - architetture VLIW
- Parallelismo a livello di processo
 - architetture CPU parallele
 - architetture multi core
- Parallelismo a livello di algoritmo
 - architetture GPU
- Tassonomia di Flynn
 - SISD – SIMD - MIMD