

Cognome: **Nome:** **Matricola:**

Note: *le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.*

- 1) Si realizzi un Datapath in grado di effettuare il conteggio verso l'alto oppure il conteggio verso il basso, in base al valore dell'ingresso ad 1 bit chiamato UP. Si assuma che il valore del conteggio sia memorizzato in 5 bit. L'ingresso RST resetta il conteggio a 0 quando RST=1, mentre l'uscita OVER/UNDER va posta a 1 se il conteggio vale 0 a causa di un overflow o un underflow. Si dispone in libreria dei blocchi elementari sommatore, sottrattore, controllo di uguaglianza, multiplexer e registro.

- Disegnare il modello di Huffman nel caso di macchina di Mealy e di Moore

- 2) Si consideri una cache con hit rate per le istruzioni 90% ed hit rate per i dati 80%. Il tempo di accesso alla cache è 1 ciclo, il tempo di accesso alla memoria è 18 cicli. Si consideri un programma in cui il 20% delle istruzioni è composto di accessi a memoria. Si ipotizza per semplicità che sia per miss di lettura che per miss di scrittura si perda 1 ciclo extra per il secondo accesso alla cache (oltre al tempo di accesso a memoria). Si calcoli lo speedup dovuto alla presenza di tale cache rispetto ad una architettura senza cache.

- Come funziona l'indirizzamento indiretto dell'LC-3?

- 3) Elencare e **commentare** le micro istruzioni relative alla completa esecuzione (caricamento, decodifica, esecuzione) della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia **un BUS**, che l'istruzione sia composta da **una sola parola**, che $\$xx(\%Exx)$ rappresenti un metodo di indirizzamento **indiretto a registro con spiazzamento** e che l'indirizzo del salto sia **assoluto** (usare solamente le righe necessarie e commentare ogni istruzione):

| | JZ $\$8(\%EAX)$ | commento |
|-----|-----------------|----------|
| 1. | | |
| 2. | | |
| 3. | | |
| 4. | | |
| 5. | | |
| 6. | | |
| 7. | | |
| 8. | | |
| 9. | | |
| 10. | | |
| 11. | | |
| 12. | | |
| 13. | | |
| 14. | | |
| 15. | | |
| 16. | | |
| 17. | | |
| 18. | | |

- Disegnare il diagramma temporale dell'evoluzione dei segnali di un BUS **asincrono** per realizzare la **lettura** di un dato da Memoria sotto il controllo della CPU.

-
- 4) Riportare la Tassonomia di Flynn sulle architetture parallele e dire a quali realizzazioni odierne corrispondono le tre architetture possibili.

- Discutere l'impatto che hanno su una architettura RISC o CISC le tre parti della formula che descrive il tempo di esecuzione (T_{cpu}) di un programma composto da N istruzioni eseguite alla frequenza f .