

Dennis Teles dos Santos

Relatório do Estágio Supervisionado

Aluno: Dennis Teles dos Santos

RA: 09.03046-8

Curso: Engenharia Eletrônica

Série: 6º ano

SÃO CAETANO DO SUL

2015

Dennis Teles dos Santos

Relatório do Estágio Supervisionado

Relatório de estágio apresentado à Escola de Engenharia Mauá do Centro Universitário do Instituto Mauá de Tecnologia como parte da exigência da disciplina Estágio Supervisionado Obrigatório, sob a orientação do Prof. Vanderlei Cunha Parro. O Estágio foi realizado no Núcleo de Sistemas Eletrônicos Embarcados do Instituto Mauá de Tecnologia pelo programa de Iniciação Científica e o projeto financiado pelo CNPq sob a coordenação do CITAR (Circuitos Integrados Tolerantes à Radiação).

Instituto Mauá de Tecnologia – IMT

Engenharia Eletrônica

Programa de Iniciação Científica

Orientador: Vanderlei Cunha Parro

Coorientador: Rafael Corsi Ferrão

SÃO CAETANO DO SUL

2015

Dennis Teles dos Santos
Relatório do Estágio
Supervisionado/ Dennis Teles dos Santos. – SÃO CAETANO DO SUL, 2015-
45 p. : il. (algumas color.) ; 30 cm.

Orientador: Vanderlei Cunha Parro

Relatório de Estágio Supervisionado – Instituto Mauá de Tecnologia – IMT
Engenharia Eletrônica
Programa de Iniciação Científica, 2015.

1. Aplicação SpaceWire. 2. Comunicação aeroespacial. 2. Conversores. I. Vanderlei Cunha Parro, II. Instituto Mauá de Tecnologia III. Faculdade de Engenharia Eletrônica.
IV. Aplicação SpaceWire.

Dennis Teles dos Santos

Relatório do Estágio Supervisionado

Relatório de estágio apresentado à Escola de Engenharia Mauá do Centro Universitário do Instituto Mauá de Tecnologia como parte da exigência da disciplina Estágio Supervisionado Obrigatório, sob a orientação do Prof. Vanderlei Cunha Parro. O Estágio foi realizado no Núcleo de Sistemas Eletrônicos Embarcados do Instituto Mauá de Tecnologia pelo programa de Iniciação Científica e o projeto financiado pelo CNPq sob a coordenação do CITAR (Circuitos Integrados Tolerantes à Radiação).

Relatório aprovado. SÃO CAETANO DO SUL, ____ de _____ de 2015:

Vanderlei Cunha Parro
Orientador

Examinador

SÃO CAETANO DO SUL
2015

*“Não vos amoldeis às estruturas deste mundo,
mas transformai-vos pela renovação da mente,
a fim de distinguir qual é a vontade de Deus:
o que é bom, o que Lhe é agradável, o que é perfeito.
(Bíblia Sagrada, Romanos 12, 2)*

Sumário

Introdução	9
I APRESENTAÇÃO DA EMPRESA	11
1 LOCAL DA REALIZAÇÃO DAS ATIVIDADES	13
1.1 O Instituto Mauá de Tecnologia (IMT)	13
1.2 O Núcleo de Sistemas Eletrônicos Embarcados (NSEE)	14
2 O PROJETO CITAR (CIRCUITOS INTEGRADOS TOLERANTES À RADIAÇÃO)	15
2.1 Sobre o CITAR	15
II DESCRIÇÃO DAS ATIVIDADES	17
3 DESCRIÇÃO DAS ATIVIDADES DESENVOLVIDAS NO ESTÁGIO	19
3.1 Introdução	19
3.2 Objetivo	19
3.3 Materiais e métodos	19
3.4 Estudos, testes e simulações do codec SpaceWire	21
3.5 Arquitetura do sistema	23
3.6 Construção do hardware (Placa Filha)	25
3.7 Implementação, simulação e teste do módulo digital-analógico com o conversor D/A MCP4922	28
III CONSIDERAÇÕES FINAIS	33
4 ATIVIDADES A REALIZAR	35
5 CONCLUSÃO	37
REFERÊNCIAS	39

APÊNDICES

41

APÊNDICE A – DIAGRAMA ESQUEMÁTICO DA PLACA FILHA 43

Introdução

Este relatório tem como objetivo descrever as atividades desenvolvidas por Dennis Teles dos Santos, aluno do Curso de Engenharia Eletrônica da Escola de Engenharia Mauá, como parte da exigência da disciplina Estágio Supervisionado Obrigatório pertencente ao sexto ano do período noturno.

O estágio foi desenvolvido no Núcleo de Sistemas Eletrônicos Embarcados (NSEE) do Instituto Mauá de Tecnologia pelo programa de Iniciação Científica (IC) ligado ao projeto de pesquisa financiado pelo CNPq sob a coordenação do CITAR (Circuitos Integrados Tolerantes à Radiação). O projeto proposto no âmbito da meta 2 - Circuito Integrado SpaceWire visa desenvolver uma aplicação aeroespacial de exemplo (bancada) utilizando o protocolo de comunicação SpaceWire.

O projeto permitiu a realização de atividades relacionadas a área da Engenharia Eletrônica, bem como o uso e aperfeiçoamento do conhecimento adquirido durante o Curso de Engenharia Eletrônica oferecido pela Escola de Engenharia Mauá.

Este relatório contém uma breve descrição sobre o NSEE e do projeto CITAR. Também possui uma descrição detalhada das atividades realizadas pelo aluno durante o período da Iniciação Científica. Por fim, o relatório é encerrado com uma conclusão relativa ao estágio.

Parte I

Apresentação da Empresa

1 Local da realização das atividades

As atividades realizadas durante o período do estágio foram feitas no Núcleo de Sistemas Eletrônicos Embarcados (NSEE), laboratório localizado no Instituto Mauá de Tecnologia (IMT). Este capítulo terá uma breve descrição sobre o NSEE e o IMT.

1.1 O Instituto Mauá de Tecnologia (IMT)

Fundado em 11 de dezembro de 1961, o Instituto Mauá de Tecnologia (IMT) é uma entidade privada, sem fins lucrativos, e dedicada ao ensino e à pesquisa científica e tecnológica, com a finalidade de formar recursos humanos altamente qualificados para a contribuição do desenvolvimento do País.(INSTITUTO..., S/Data)

O IMT, com campi em São Paulo e São Caetano do Sul (Figura 1), mantém duas unidades: Centro Universitário e Centro de Pesquisas. O Centro Universitário oferece cursos de graduação em Administração, Design e Engenharia. Na pós-graduação, são oferecidos cursos de aperfeiçoamento, especialização e MBA nas áreas de Administração, Gestão e Engenharia e é desenvolvido programa de Mestrado em processos químicos e bioquímicos. O Centro de Pesquisas, há mais de 45 anos, desenvolve tecnologia para atendimento das necessidades da indústria.(ALUNOS..., 2015)



Figura 1: Vista aérea do *Campus* do IMT de São Caetano do Sul.

INSTITUTO Mauá de Tecnologia. Disponível em: <http://www.institutodeengenharia.org.br/site/universidades/detalhes/id_sessao/66/id_universidade/4/Instituto-Mauá-de-Tecnologia>. Acesso em: 8 out. 2015.

ALUNOS do Instituto Mauá de Tecnologia iniciam construção de satélite em miniatura para pesquisas espaciais. Disponível em: <<http://maua.br/imprensa/press-releases/528-alunos-do-imt-iniciam-construcao-de-satelite-em-miniatura-para-pesquisas-espaciais>>. Acesso em: 7 out. 2015.

1.2 O Núcleo de Sistemas Eletrônicos Embarcados (NSEE)

Para saber um pouco mais sobre o novo laboratório Núcleo de Sistemas Eletrônicos Embarcados (NSEE), antes de tudo é preciso entender que sistemas embarcados são uma classe de sistemas digitais voltados e desenvolvidos para aplicações específicas, apresentando, frequentemente, restrições de processamento em tempo real. Apesar da complexidade do tema, esse tipo de tecnologia já faz parte de objetos do nosso cotidiano, como GPS e telefones celulares e vem sendo cada dia mais utilizada nas áreas automotiva, espacial, industrial e de entretenimento.

Criado no início do ano de 2010, o Núcleo coordenado pelo professor Vanderlei Cunha Parro, além de ter como objetivo o estudo e o desenvolvimento desse tipo de sistema, também possui outros temas de interesse, como aplicações em processamento de sinais, controle digital e experimentos aeroespaciais.(CAMPUS..., 2010)

O laboratório possui vários computadores e um amplo espaço para realizações de diversos projetos. Possui também componentes e equipamentos eletrônicos que auxiliam nas diversas tarefas, como fontes de alimentação, multímetro e osciloscópio. Há também o almoxarifado de componentes e equipamentos eletrônicos no piso superior que oferece um suporte a mais ao NSEE e, consequentemente, aos projetos realizados no laboratório.

O ambiente do NSEE também favorece o estudo e aprendizado. Os alunos e pesquisadores procuram sempre ajudar um ao outro em suas dificuldades fazendo com que todos possam crescer juntos.

2 O projeto CITAR (Circuitos Integrados Tolerantes à Radiação)

O projeto desenvolvido durante o estágio está no plano da Meta 2 do projeto CITAR. Uma breve descrição sobre o CITAR será apresentada a seguir.

2.1 Sobre o CITAR

O Centro de Tecnologia da Informação Renato Archer - CTI, inaugurou o Projeto CITAR – Circuitos Integrados Tolerantes à Radiação, no dia 15 de julho de 2013 nas instalações do BBP - Brazilian Business Park, um espaço que abriga o Centro de Inovação da cidade de Atibaia - SP. A cerimônia (Figura 2) contou com a presença do Ministro da Ciência, Tecnologia e Inovação Marco Antonio Raupp, além de outras autoridades.

O Projeto CITAR, conta com financiamento da Agência Brasileira de Inovação - FINEP e é executado em um esforço de cooperação entre o CTI Renato Archer e outras instituições de pesquisa e ensino: o Instituto Nacional de Pesquisas Espaciais (INPE), a Agência Espacial Brasileira (AEB), o Instituto de Física da USP (IFUSP) e o Instituto de Estudos Avançados (IEAv). Trata-se da primeira ação multínstitucional brasileira para o desenvolvimento de circuitos integrados tolerantes à radiação, destinados a aplicações em satélites científicos, que colocará Atibaia no mapa da produção e desenvolvimento de tecnologia aeroespacial brasileira.

Com um orçamento de R\$ 20 milhões provenientes da FINEP, o projeto CITAR tem a duração total de 24 meses e conta com a participação de uma equipe multiprofissional formada por mais de 40 pessoas. Os recursos são utilizados na contratação da equipe de desenvolvimento, capacitação e treinamento de profissionais, aquisição de equipamentos para infraestrutura de projetos e testes e na fabricação e qualificação de componentes. Para o diretor do CTI Renato Archer, Victor Pellegrini Mammana, o projeto é um grande passo para as instituições partícipes e para toda a produção tecnológica brasileira.

Toda essa iniciativa conta com pleno apoio do Governo Federal, na figura do Ministério da Ciência, Tecnologia e Inovação (MCTI), do Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) e do Programa CI Brasil.

O maior objetivo do Projeto CITAR é consolidar, no Brasil, a competência para a realização do ciclo completo de desenvolvimento compreendendo as etapas de especificação, projeto, simulação, layout, envio para fabricação, encapsulamento, teste e qualificação de Circuitos Integrados tolerantes a radiações, para aplicações aeroespaciais e afins. As

atividades serão focadas no desenvolvimento de CI's demandados pelo programa espacial brasileiro, indicados pelo INPE. (CENPRA, 2013)

Figura 2: Cerimonônia de inauguração do projeto CITAR.



Fonte: site do CTI Centro de Tecnologia da Informação Renato Archer.

Este texto foi retirado da URL <<http://www.cenpra.gov.br/ultimas-noticias/264-cti-renato-archer-inaugura-projeto-de-tecnologia-espacial-na-cidade-de-atibaia-sp>>. Acesso em: 7 out. 2015.
Figura retirada da URL <<http://www.cti.gov.br/dtsd/gesiti/75-semana-nacional-de-ciencia-e-tecnologia-2014-saiu-na-midia/259-ministro-da-ciencia-tecnologia-e-inovacao-participa-de-inauguracao-de-projeto-de-tecnologia-espacial>>. Acesso em: 7 out. 2015

Parte II

Descrição das atividades

3 Descrição das atividades desenvolvidas no estágio

Neste capítulo são descritas, de modo detalhado, todas as atividades desenvolvidas pelo aluno Dennis Teles dos Santos durante o período de estágio pelo programa de Iniciação Científica ligado ao projeto CITAR no âmbito da meta 2, realizado no laboratório NSEE do Instituto Mauá de Tecnologia.

3.1 Introdução

Durante o período de estágio, o aluno participou do programa de Iniciação Científica financiado pelo CNPq, sob orientação do professor Vanderlei Cunha Parro e da coorientação do Engenheiro Rafael Corsi Ferrão formado pela Mauá no ano de 2011.

Para a realização e conclusão do projeto o aluno desempenhou as seguintes atividades: Construção de um hardware, firmware e software.

3.2 Objetivo

O projeto está no âmbito da meta 2 do projeto CITAR (ver figura 3) e tem como objetivo desenvolver um hardware de uso de bancada capaz de ler e escrever em conversores A/D e D/A e em saídas e entradas digitais. O dispositivo será conectado em um nó SpaceWire (protocolo de comunicação aeroespacial amplamente utilizado). A arquitetura proposta do projeto pode ser visualizada na figura 4.

3.3 Materiais e métodos

Para o desenvolvimento do projeto foi utilizado:

- Computador
- Software Xilinx ISE
- Placa de prototipagem GR-PCI-XC5V
- Cabo SpaceWire

Figura 3: Projeto CITAR - Meta 2.

Projeto CITAR: Meta 2

Título: Circuito Integrado SpaceWire

Característica: Circuito Digital

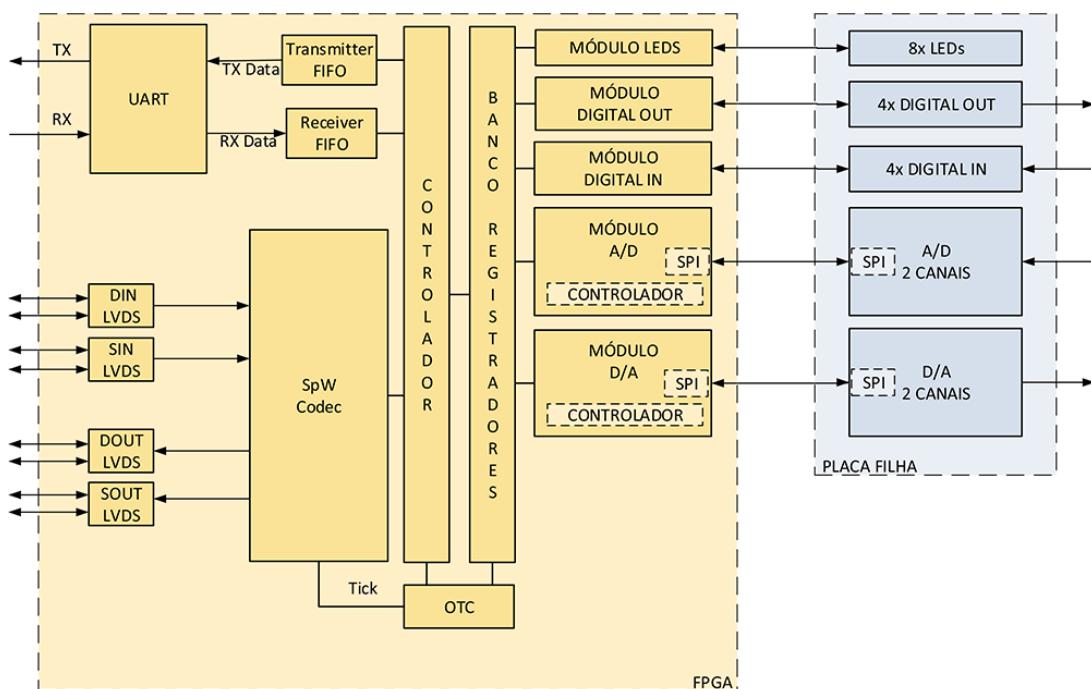
Função: Interface de comunicação de rede, segundo protocolo SpaceWire da ESA (ECCS)

Aplicação: Este protocolo possibilitará a engenharia responsável em desenvolver sistemas eletrônicos para satélite recorrerem ao uso desta como meio de comunicação entre equipamentos com redução de volume, massa e com maior velocidade.



Fonte: site do IEAV Instituto de Estudos Avançados (2010, p. 9).

Figura 4: Projeto CITAR - Meta 2.



Fonte: Elaborada pelo autor.

Figura retirada da URL <http://www.ieav.cta.br/peice2010/Apresentacoes_PEICE%202010_pdf/2010-11-29/0102-Saulo.pdf>. Acesso em: 7 out. 2015.

Inicialmente foi realizado um estudo sobre as propriedades do protocolo SpaceWire. Em seguida, foram criados algumas aplicações utilizando o protocolo para melhor compreensão. Depois foi projetado a arquitetura proposta (Figura 4) que possibilita o acesso aos conversores via protocolo SpW. Para todos os subsistemas um cenário de testes foi projetado, garantindo o perfeito funcionamento do sistema.

3.4 Estudos, testes e simulações do codec SpaceWire

O primeiro passo escolhido foi estudar sobre o protocolo de comunicação SpaceWire. Verificar seu funcionamento, os dados de entrada e de saída, a estrutura necessária para a sua aplicação, entre outros. O estudo se baseou inicialmente através da leitura do documento *Space engineering: SpaceWire – Links, nodes, routers and networks*¹, o qual descreve detalhadamente como devem ser construídos todos os níveis para sua implementação (nível das camadas física, de sinal, de caracteres, de pacotes de dados etc.). Procurou-se através deste estudo ter uma visão geral do protocolo, lembrando que o foco é a sua utilização e não a construção do mesmo.

O codec SpaceWire utilizado para estudo de teste e simulação foi desenvolvido por Jorge Luiz Nabarrete em seu trabalho de pós-doutorado no Instituto Mauá de Tecnologia em 2012.

Um dos primeiros testes com o codec foi verificar seu funcionamento ligando a saída do mesmo em sua entrada (loopback test). A simulação pôde ser visualizada através do software ISim (ISE Simulator) da Xilinx. Foram observadas várias características deste protocolo através desta simulação, entre elas, a taxa de envio de dados no início da transmissão e a alta prioridade no envio de TimeCode como está indicado na Figura 5.

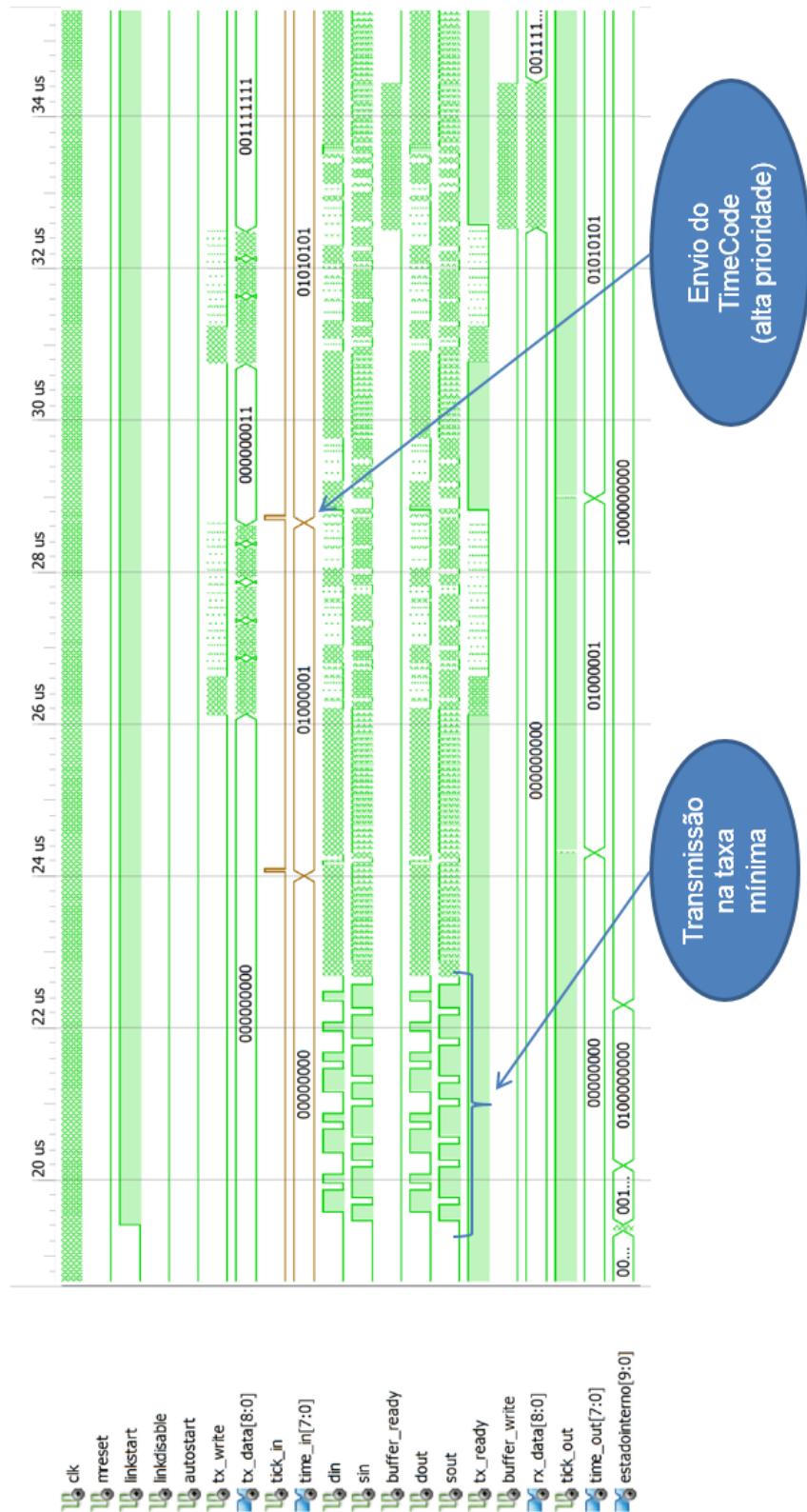
Outro teste realizado foi conectar o codec SpW que estava sendo analisado com o codec SpW que o coorientador Rafael Corsi Ferrão estava utilizando em seu projeto com a placa de desenvolvimento *Altera DE4 Development and Education Board*². Vale lembrar que os codecs SpW são de desenvolvedores diferentes. Após configurar a frequência de transmissão, vimos que os codecs se comunicavam corretamente.

Através da leitura, dos testes e simulações conseguiu-se criar uma boa base para o uso do protocolo SpaceWire e com isso dar prosseguimento no projeto.

¹ Space engineering: SpaceWire – Links, nodes, routers and networks <http://www.ecss.nl/forums/ecss_templates/default.htm?target=http://www.ecss.nl/forums/ecss/dispatch.cgi/standards/docProfile/100302/d2006080804754/No/t100302.htm>

² Altera DE4 Development and Education Board <<http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=138&No=\501&PartNo=1>>

Figura 5: Simulação codec SpW com interligação da saída com a entrada.



Fonte: Elaborada pelo autor.

3.5 Arquitetura do sistema

Após o estudo e análise do protocolo SpaceWire, iniciou-se o projeto da arquitetura do sistema. O objetivo desta etapa é estabelecer, de forma mais detalhada, os sinais de entrada e saída bem como os componentes a serem utilizados no sistema e suas interligações.

No inicio, a arquitetura proposta buscava mostrar de uma forma geral, o objetivo do projeto, como pode ser visualizada na figura 6.

Para a implementação do projeto, necessitou-se de uma arquitetura mais detalhada com os blocos necessários mais definidos. Após algumas modificações, chegou-se a arquitetura geral final que pode ser visualizada na figura 7. Pode-se observar a estrutura dos blocos que estão contidos na FPGA e os blocos na Placa Filha³.

Também foi feito uma pequena arquitetura (figura 8) mostrando com maior detalhe a comunicação entre os módulos A/D e D/A com seus respectivos conversores. Essa pequena arquitetura ajudou na implementação do código VHDL dos módulos, pois permitiu visualizar as entradas e saídas necessárias da comunicação SPI (Serial Peripheral Interface) com os conversores.

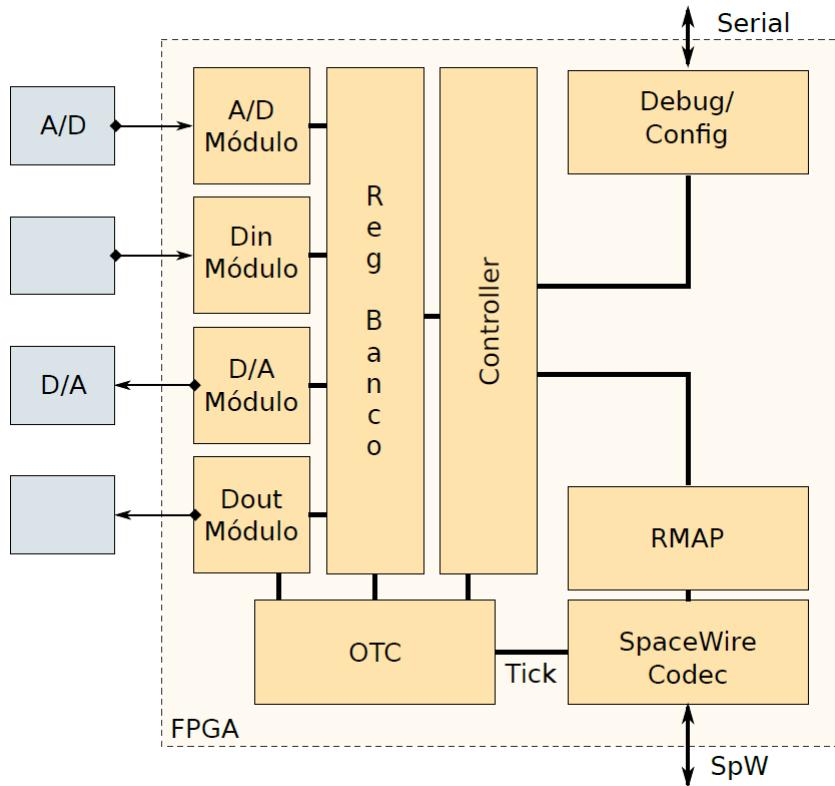
Os conversores utilizados no projeto são: o analógico-digital MCP3204⁴ e o digital-analógico MCP4922⁵, ambos da Microchip. Foram escolhidos estes conversores pois oferecem interface de comunicação SPI, possuem no mínimo dois canais de leitura/escrita e uma boa resolução (12 bits). Procurou-se com estes conversores criar uma aplicação que pudesse ser bem genérica, podendo conectá-los a quatro equipamentos como motores e sensores.

³ Placa Filha: Nome dado a placa construída no projeto, a qual contém leds, saídas e entradas digitais e os conversores A/D e D/A.

⁴ Datasheet do conversor A/D MCP3204: <<http://ww1.microchip.com/downloads/en/DeviceDoc/21298c.pdf>>. Acesso em: 12 out. 2015.

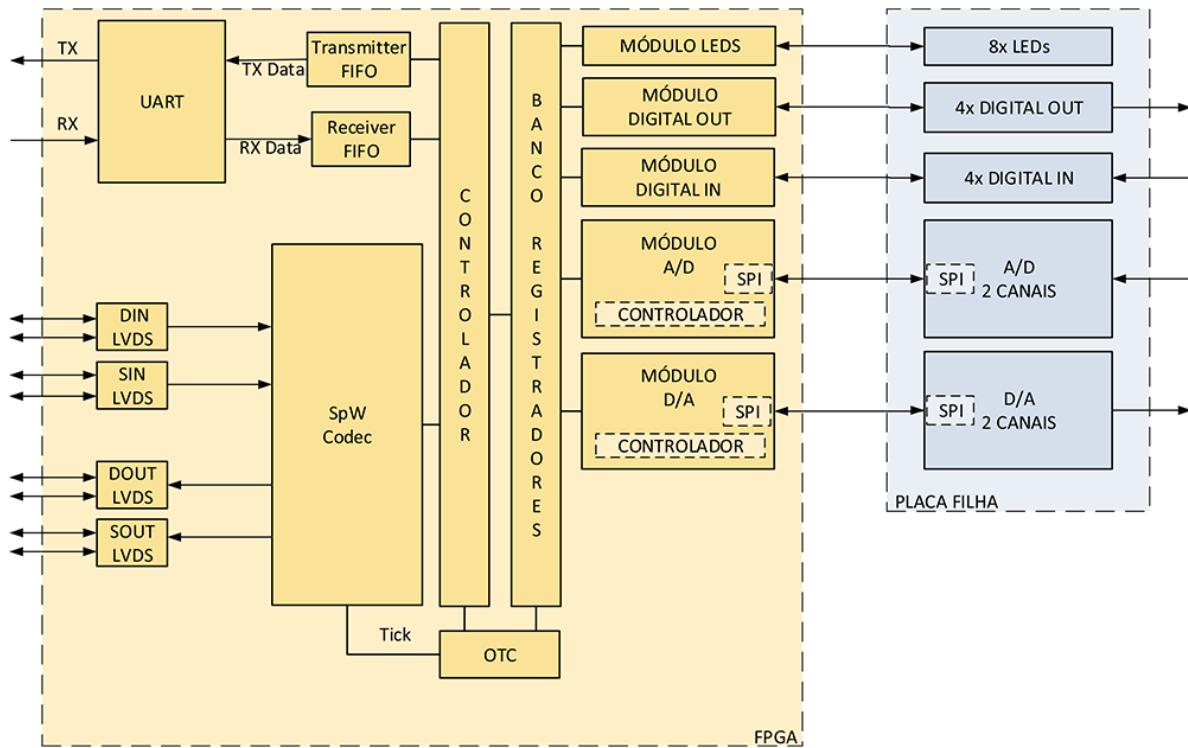
⁵ Datasheet do conversor D/A MCP4922: <<http://ww1.microchip.com/downloads/en/DeviceDoc/22250A.pdf>>. Acesso em: 12 out. 2015.

Figura 6: Primeira arquitetura do projeto Aplicação SpaceWire.



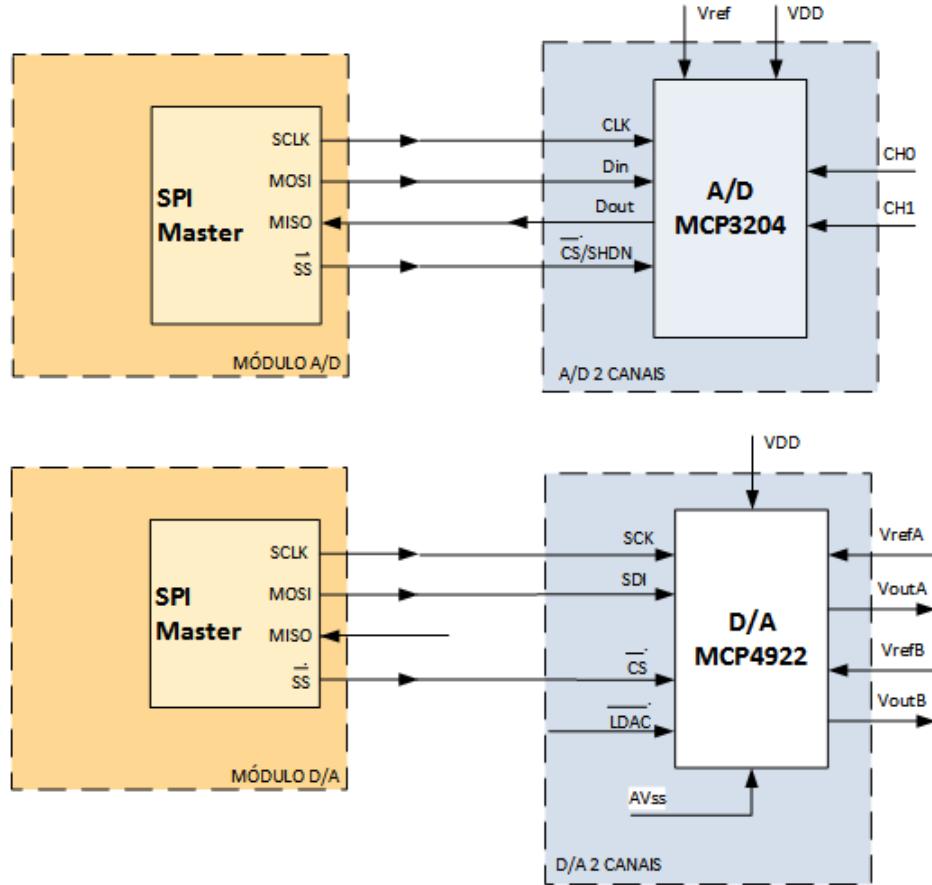
Fonte: Elaborada pelo autor.

Figura 7: Arquitetura geral do projeto Aplicação SpaceWire.



Fonte: Elaborada pelo autor.

Figura 8: Arquitetura entre os módulos A/D e D/A e seus respectivos conversores.



Fonte: Elaborada pelo autor.

3.6 Construção do hardware (Placa Filha)

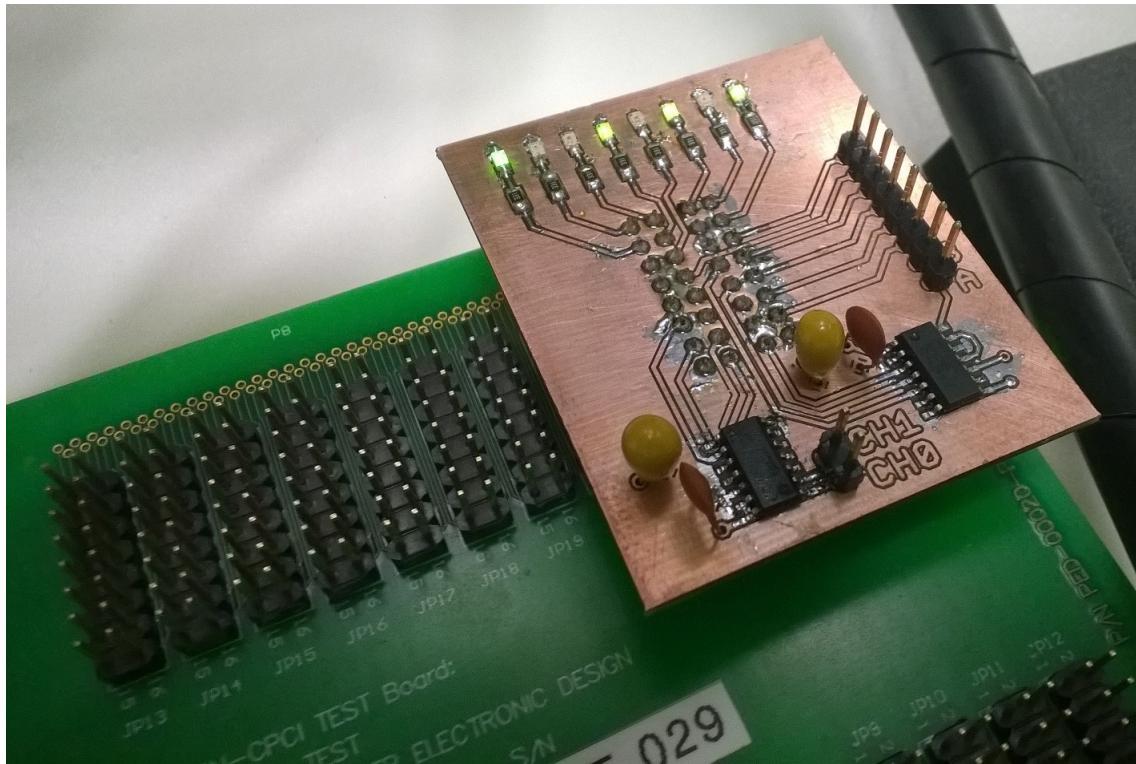
Foi construído um hardware, chamado Placa Filha (figura 9), contendo: oito leds, seis entradas/saídas digitais, um conversor A/D MCP3204 e um conversor D/A MCP4922. Esta placa foi projetada com o intuito de ser conectada a placa de desenvolvimento GR-PCI-XC5V através de uma placa expandidora de pinos GR-CPCI-TEST da Aeroflex Gaisler (figura 10 e figura 11).

A placa foi projetada utilizando o programa EAGLE PCB Design Software⁶ e confeccionada em uma máquina LPKF disponibilizada pelo Instituto Mauá de Tecnologia. O diagrama esquemático da placa está em anexo no Apêndice A no final do relatório.

Esta placa permite que testes práticos possam ser realizados e mostrar o real funcionamento do sistema.

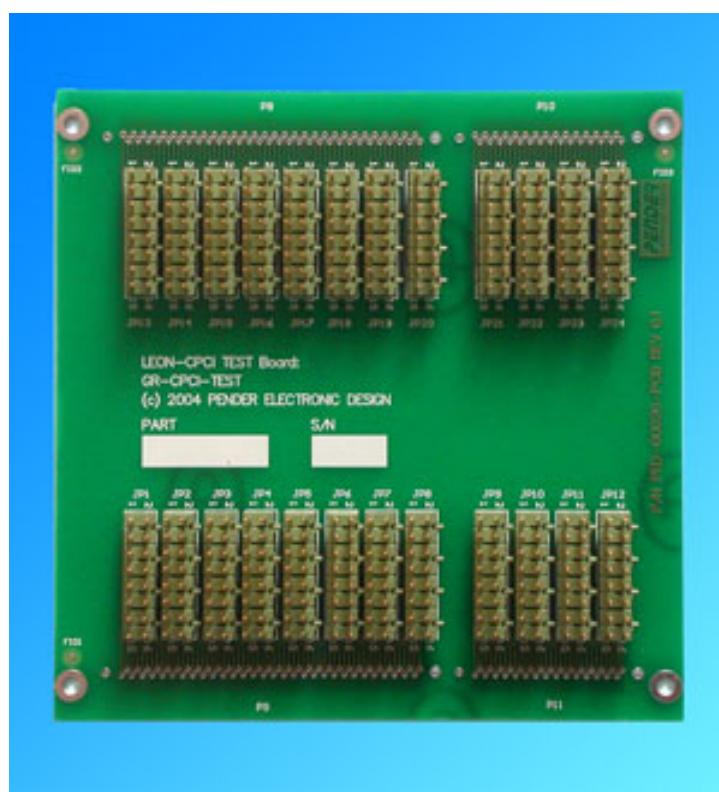
⁶ Informações sobre o CadSoft EAGLE: <<http://www.cadsoftusa.com/eagle-pcb-design-software/about-eagle/>>. Acesso em 12 out. 2015.

Figura 9: Foto da Placa Filha conectada na placa expansora GR-CPCI-TEST.



Fonte: Elaborada pelo autor.

Figura 10: GR-CPCI-TEST



Fonte: GAISLER.

Figura 11: Placa Filha, GR-PCI-TEST e GR-PCI-XC5V.



Fonte: Elaborada pelo autor.

3.7 Implementação, simulação e teste do módulo digital-analógico com o conversor D/A MCP4922

Através da Placa Filha pôde-se finalmente realizar testes com os conversores. Mas antes disso, é necessário fazer a implementação dos módulos e realizar simulações em software antes de efetivamente executá-los na prática. É muito importante o uso da simulação em software, pois se o subsistema não funcionar na simulação, muito provavelmente não funcionará na prática.

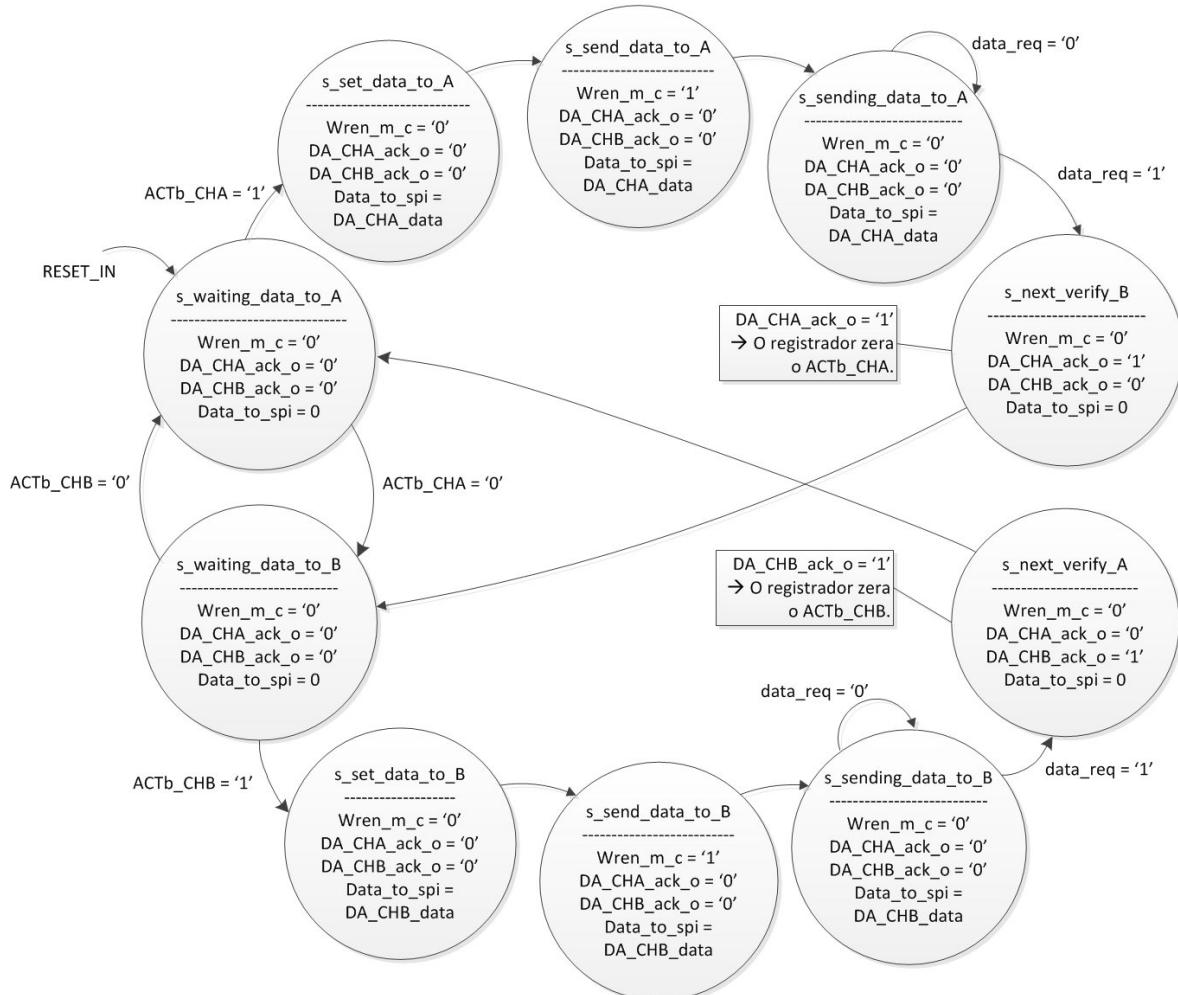
Para a implementação do módulo digital-analógico através da programação em VHDL, construiu-se, primeiramente, um diagrama de blocos do controlador do módulo para melhor compreensão e organização da estrutura do código. Este diagrama é mostrado na figura 12. Foi utilizado como referência para a construção do diagrama a máquina de Moore onde as saídas são determinadas pelo estado corrente apenas (e não pela entrada).

O controlador do módulo D/A controla os sinais do módulo SPI que é por onde os dados são enviados e recebidos do conversor. Inicialmente o controlador espera chegar um dado novo no registrador para começar o processo de envio ao canal especificado do conversor. Após iniciado o processo de envio do dado, o mesmo entra em um novo estado de espera até que o último bit seja enviado. Logo depois, o controlador verifica se há um dado a ser enviado ao outro canal do conversor, evitando assim com que um canal tenha maior prioridade do que o outro.

Após a implementação em código VHDL, realizou-se a simulação deste sistema através do software ISim (ISE Simulator) da Xilinx, mostrado na figura 13. Pode-se observar que quando o dado a ser enviado chega por completo ao registrador nos endereços 30, 31 e 32, o controlador manda este dado para o SPI, que por sua vez envia o dado ao conversor MCP4922 através do sinal spi_mosi_o. O pacote de dados completo é composto por quatro bits de configuração do conversor (quatro bits menos significativos do endereço 30), quatro bits mais significativos de dados (quatro bits menos significativos do endereço 32) e mais oito bits de dados restantes (endereço 31). O comando de escrita necessário para o conversor MCP4922 é mostrado na figura 14.

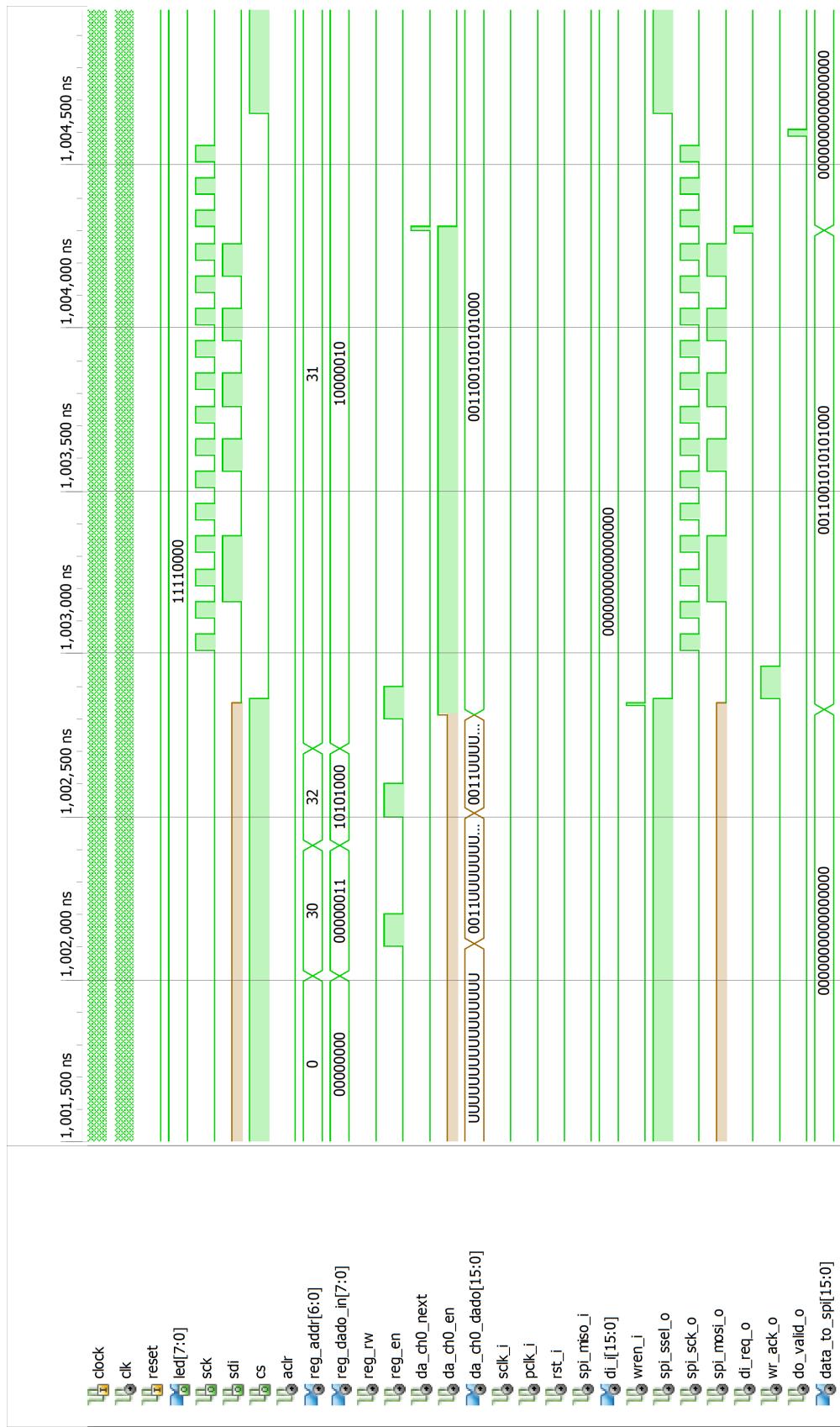
Por fim, foi realizado um teste na prática para ver este sistema funcionando. Neste teste estava sendo utilizado: o banco de registradores, o módulo A/D e o conversor A/D MCP4922. O registrador ficava recebendo dados em um endereço específico e enquanto isso o controlador do módulo verificava se havia um dado novo a ser enviado ao D/A. Toda vez que um dado era escrito no registrador, o controlador enviava este dado via SPI para o conversor MCP4922. O sinal analógico do conversor pôde ser observado através de um osciloscópio. A foto do teste realizado na prática pode ser visualizada na figura 15.

Figura 12: Diagrama de blocos do controlador do módulo digital-analógico.



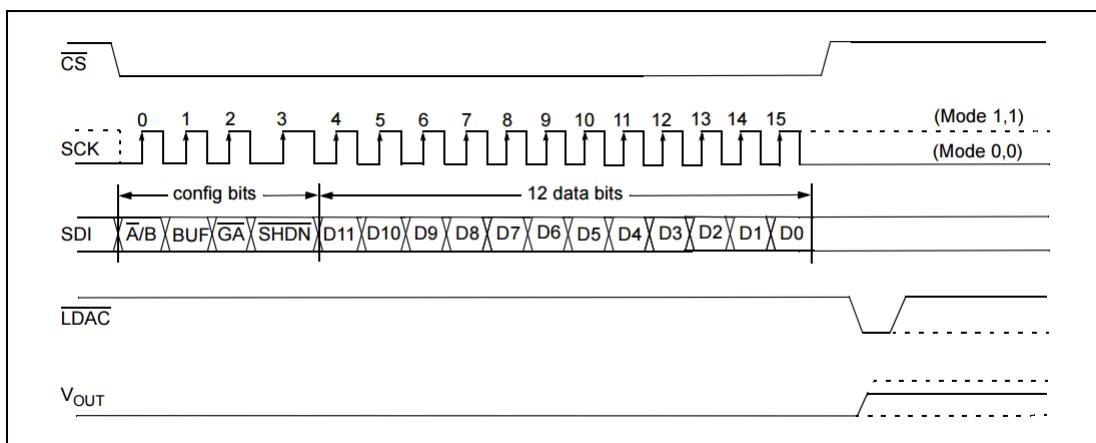
Fonte: Elaborada pelo autor.

Figura 13: Simulação do módulo digital-analógico utilizando o software ISim.



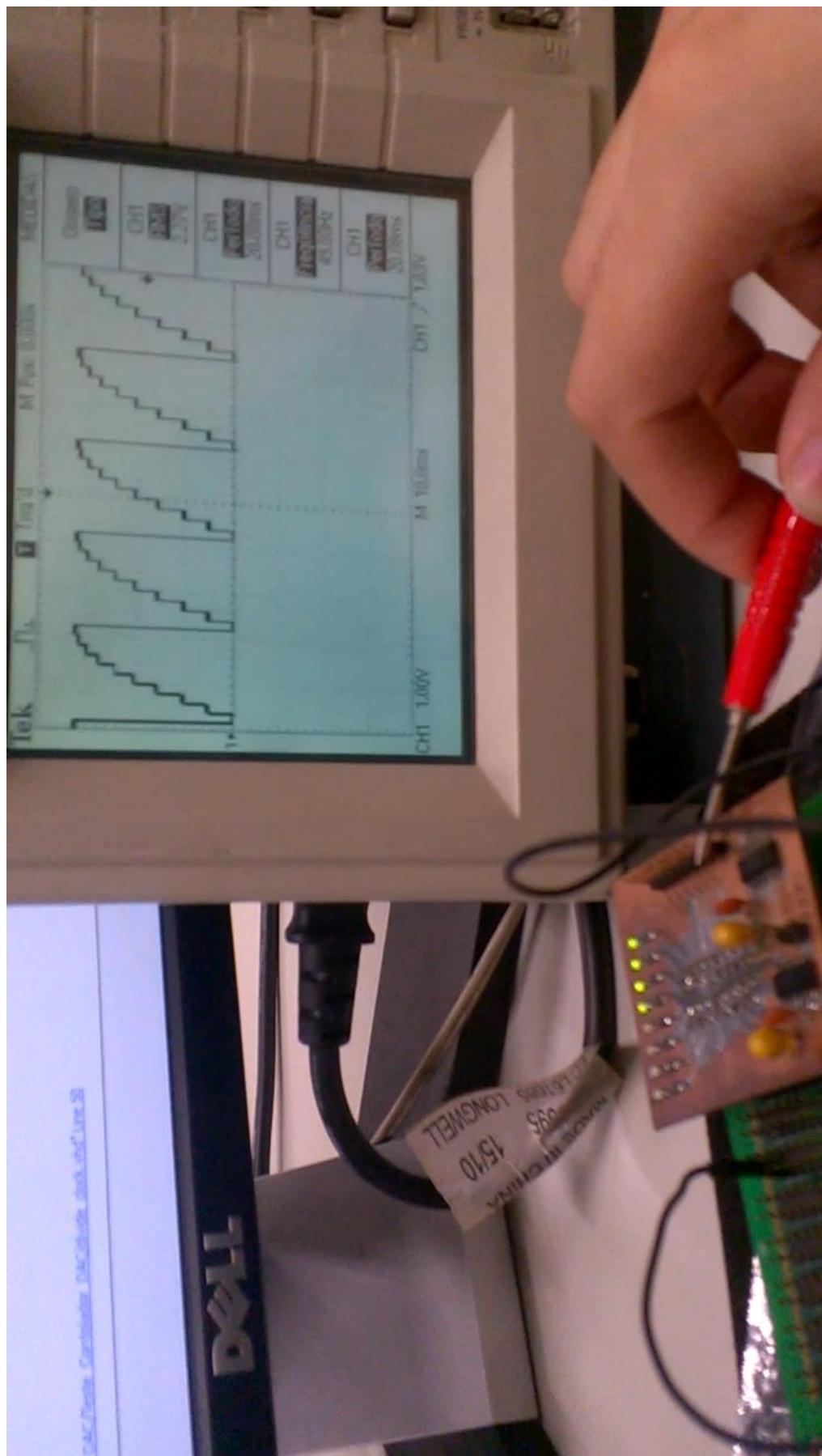
Fonte: Elaborada pelo autor.

Figura 14: Comando de escrita para o conversor MCP4922.



Fonte: Elaborada pelo autor.

Figura 15: Teste prático do controlador D/A MCP4922 utilizando osciloscópio.



Fonte: Elaborada pelo autor.

Parte III

Considerações finais

4 Atividades a realizar

Maecenas non massa. Vestibulum pharetra nulla at lorem. Duis quis quam id lacus dapibus interdum. Nulla lorem. Donec ut ante quis dolor bibendum condimentum. Etiam egestas tortor vitae lacus. Praesent cursus. Mauris bibendum pede at elit. Morbi et felis a lectus interdum facilisis. Sed suscipit gravida turpis. Nulla at lectus. Vestibulum ante ipsum primis in faucibus orci luctus et ultrices posuere cubilia Curae; Praesent nonummy luctus nibh. Proin turpis nunc, congue eu, egestas ut, fringilla at, tellus. In hac habitasse platea dictumst.

5 Conclusão

Sed consequat tellus et tortor. Ut tempor laoreet quam. Nullam id wisi a libero tristique semper. Nullam nisl massa, rutrum ut, egestas semper, mollis id, leo. Nulla ac massa eu risus blandit mattis. Mauris ut nunc. In hac habitasse platea dictumst. Aliquam eget tortor. Quisque dapibus pede in erat. Nunc enim. In dui nulla, commodo at, consectetuer nec, malesuada nec, elit. Aliquam ornare tellus eu urna. Sed nec metus. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas.

Phasellus id magna. Duis malesuada interdum arcu. Integer metus. Morbi pulvinar pellentesque mi. Suspendisse sed est eu magna molestie egestas. Quisque mi lorem, pulvinar eget, egestas quis, luctus at, ante. Proin auctor vehicula purus. Fusce ac nisl aliquam ante hendrerit pellentesque. Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos hymenaeos. Morbi wisi. Etiam arcu mauris, facilisis sed, eleifend non, nonummy ut, pede. Cras ut lacus tempor metus mollis placerat. Vivamus eu tortor vel metus interdum malesuada.

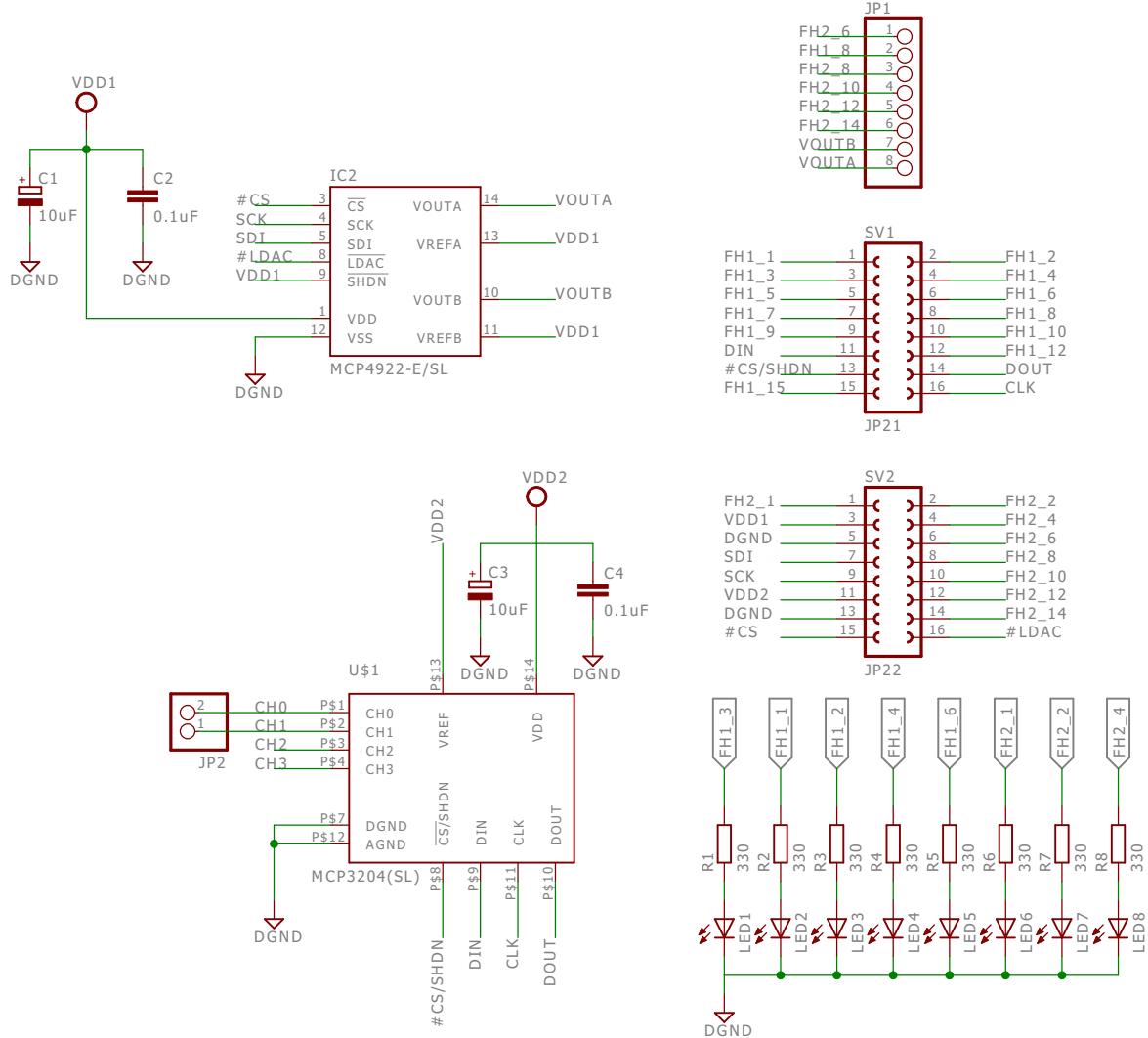
Sed eleifend, eros sit amet faucibus elementum, urna sapien consectetuer mauris, quis egestas leo justo non risus. Morbi non felis ac libero vulputate fringilla. Mauris libero eros, lacinia non, sodales quis, dapibus porttitor, pede. Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos hymenaeos. Morbi dapibus mauris condimentum nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Etiam sit amet erat. Nulla varius. Etiam tincidunt dui vitae turpis. Donec leo. Morbi vulputate convallis est. Integer aliquet. Pellentesque aliquet sodales urna.

Referências

Apêndices

APÊNDICE A – Diagrama esquemático da Placa Filha

Na próxima página é anexado o diagrama esquemático da Placa Filha. Para projetá-lo foi utilizado o programa EAGLE PCB Design Software.



TITLE: PlacaFilha

Description:

PlacaFilha desenvolvida para o projeto de iniciação científica Exemplo de Aplicação SpaceWire. Utilizada na placa de desenvolvimento GR-PCI-XC5V LEON PCI.

Possui conversores A/D (MCP3204) e D/A (MCP4922), seis saídas/entradas digitais e oito leds.

Author: Dennis Teles

REV:
0

Date: 03/08/2015 20:11

Sheet: 1/1

Dennis Teles dos Santos
RA: 09.03046-8
IMT-Instituto Mauá de Tecnologia

Vanderlei Cunha Parro
Orientador

Examinador