
Глава 1

Введение в SystemVerilog

Эта глава предоставляет обзор SystemVerilog.
Темы этой главы включают:

- Происхождение SystemVerilog.
- Технические свойства которые перешли в SystemVerilog.
- Ключевые особенности SystemVerilog.

1.1 Происхождение SystemVerilog

SystemVerilog расширяет Verilog

SystemVerilog это стандартный набор расширений IEEE 1364-2005 Verilog Standard (обычно называют как “Verilog-2005”). Расширения SystemVerilog которые описаны в этой книге нацелены на разработку и написание синтезируемых моделей. Эти расширения интегрируют многие свойства языков SUPERLOG и C. SystemVerilog также содержит много расширений для верификации больших проектов, интеграционных свойств языков SUPERLOG, VERA C, C++, VHDL языков вместе с OVA и PSL утверждениями. Эти утверждения верификации есть в книге SystemVerilog for Verification. Вся эта интеграция, созданная SystemVerilog на много превосходит сумму всех его индивидуальных компонентов, создавая новый тип инженерного языка, языка описания и верификации аппаратуры (Hardware Description and Verification Language) или HDVL. Использование единственного, унифицированного языка позволяет инженерам моделировать большие, сложные проекты, и верифицировать их на правильное функционирование.

Accellera организация стандартов

SystemVerilog начинался как Accellera стандарт

Спецификация улучшений SystemVerilog началась с группы стандартов под покровительством Accellera Standards Organization, неже ли напрямую IEEE. Accellera это некоммерческая организация цель которой поддержка развития и использования языков автоматизированного электронного дизайна Electronic Design Automation (EDA). Accellera это сочетание организаций VHDL International и Open Verilog International. Accellera спонсирует группы по стандартам IEEE 1076 VHDL и IEEE 1364 Verilog. Также, Accellera спонсирует комитеты по разработке и исследованию языков. SystemVerilog это результат одного из таких комитетов. Accellera получает финансирование от компаний включающих в себя несколько ведущих продавцов программного обеспечения EDA и несколько ведущих электронных корпораций. Информацию об Accellera, о её членах и текущих проектах можно найти на сайте www.accellera.org.

SystemVerilog базируется на проверенной технологии

Accellera основала улучшения SystemVerilog на проверенных технологиях. Различные компании предоставили технологию, которая была тщательно проверена и интегрирована в SystemVerilog. Основная польза предоставленных технологий в том, что улучшения SystemVerilog уже проверены в работе на моделировании и верификации больших проектов.

1.1.1 Поколения стандарта SystemVerilog

Accellera SystemVerilog 3.0 расширила способность моделирования

Основная часть SystemVerilog была выпущена как Accellera стандарт в июне 2002 под заголовком **SystemVerilog 3.0**. Этот первый выпуск стандарта SystemVerilog позволил EDA компаниям добавлять расширения SystemVerilog к существующим симуляторам, компиляторам синтеза и другим инженерным инструментам. Целью первого выпуска стандарта SystemVerilog было расширение синтезируемых конструкций Verilog, и позволить моделирование аппаратного обеспечения на высоком уровне абстракции. Эти концепции рассмотрены в этой книге.

SystemVerilog это третье поколение Verilog

SystemVerilog начинался с версии 3.0 чтобы показать что SystemVerilog это третье основное поколение языка Verilog. Verilog-1995 это первое поколение, которое представляет стандартизацию оригинального языка Verilog основанного Филом Мурби (Phil Moorby) в начале 1980-х. Verilog-2001 это второе поколение Verilog, и SystemVerilog это третье поколение. Приложение

С этой книги содержит больше подробностей по истории языков описания аппаратуры и развития Verilog которое привело к SystemVerilog.

Accellera SystemVerilog 3.1a расширяет возможности верификации

Основное новшество расширений SystemVerilog 3.1 было выпущено в мае 2003. В этот релиз SystemVerilog 3.1 добавлено существенное количество возможностей верификации в SystemVerilog. Эти тестбенч расширения освещены в книге SystemVerilog for Verification.

Accellera SystemVerilog 3.1a подается в IEEE

Accellera продолжала улучшать стандарт SystemVerilog 3.1, работая с ведущими Electronic Design Automation (EDA) компаниями по реализации спецификации SystemVerilog. Были определены несколько дополнительных конструкций по моделированию и верификации. В мае 2004 финальный черновой вариант Accellera SystemVerilog был одобрен и назывался **Accellera SystemVerilog 3.1a**

SystemVerilog 3.1a подается в IEEE

В июне 2004 после одобрения SystemVerilog 3.1a , Accellera подаёт стандарт SystemVerilog в IEEE Standards Association (IEEE-SA), которая сопровождает стандарт Verilog 1364 standart. Accellera работает с IEEE для формирования новых стандартных требований для обзора и стандартизации расширений SystemVerilog. Номер проекта для SystemVerilog назначен как P1800 (“P” в стандартных номерах IEEE означает “proposed” и убирается когда IEEE официально одобрит стандарт).

IEEE 1800-2005 является официальным стандартом SystemVerilog

IEEE-SA сформировала рабочую группу P1800 Working Group для обзора и подготовки документации SystemVerilog 3.1a для полной IEEE стандартизации. Рабочая группа сформировала несколько комитетов, которые интенсивно работали в течение нескольких месяцев. P1800 Working Group завершила работу а марте 2005, и выпустила черновой бюллетень стандарта P1800 для голосования членами IEEE-SA. Процесс голосования и

финального одобрения был завершён в октябре 2005, и в ноябре 2005 был выпущен официальный стандарт IEEE 1800-2005. Смотри страницу xxvii для получения информации по руководству IEEE 1800-2005 SystemVerilog Reference Manual (LRM).

IEEE 1364-2005 есть базовый язык для SystemVerilog 1800-2005

IEEE-SA начала работать над следующей ревизией стандарта IEEE 1364 Verilog standard. С одобрения Accelera, IEEE-SA организация решила сразу не добавлять расширения SystemVerilog в Verilog 1364. Вместо этого, было решено оставить расширения SystemVerilog как отдельный документ. Чтобы гарантировать, что руководство для базового языка Verilog и руководство для расширений SystemVerilog остаются синхронизованными, IEEE-SA распускает 1364 Working Group и создаёт 1800 SystemVerilog Working Group ответственную за 1364 Verilog reference manual. 1800 Working Group формирует подкомитет для обновления стандарта 1364 Verilog standard параллельно со спецификацией P1800 SystemVerilog reference manual. Большая часть работы над 1364 сводилась к уменьшению опечаток. Большинство расширений для Verilog были специфицированы в стандарте P1800. 1800 SystemVerilog Working Group выпустила черновой бюллетень для обновления стандарта Verilog P1364 одновременно с бюллетенем для нового стандарта P1800 SystemVerilog. Оба стандарта были одобрены одновременно. Руководство по 1364-2005 Verilog Language есть официальный базовый язык для SystemVerilog 1800-2005.

1.1.2 Направления способствовавшие созданию SystemVerilog

SystemVerilog пришёл благодаря нескольким направлениям

- The SUPERLOG Extended Synthesizable Subset (SUPERLOGESS), from Co-Design Automation
- The OpenVERA™ verification language from Synopsys
- PSL assertions (which began as a donation of Sugar assertions from IBM)
- OpenVERA Assertions (OVA) from Synopsys
- The DirectC and coverage Application Programming Interface(APIs) from Synopsys
- Separate compilation and \$readmem extensions from Mentor Graphics
- Tagged unions and high-level language features from BlueSpec

SUPERLOG om Co-Design

В 2001, Co-Design Automation (который был приобретен Synopsys в 2002) передал Accellera SUPERLOG Extended Synthesizable Subset. Это способствовало созданию улучшений аппаратного моделирования в SystemVerilog. Accellera организовала комитет Verilog++, который позже был переименован в комитет SystemVerilog для создания стандарта по

улучшениям для Verilog HDL. Appendix C содержит более полную историю языка SUPERLOG.

OpenVERA и DirectC от Synopsys

В 2002 Synopsys передаёт OpenVERA testbench, OpenVERA Assertions (OVA), и DirectC для Accellera, как компонент к SUPERLOG ESS. Эти компоненты значительно расширяют верификационные возможности языка Verilog.

Комитет Accellera SystemVerilog также специфицировал дополнительный дизайн и расширения по верификации для языка Verilog, которые не являлись частью этих основных компонент.

SystemVerilog обратно совместим с Verilog

Две главные цели комитета SystemVerilog внутри Accellera, это поддержка полной обратной совместимости с существующим Verilog HDL, и поддержка основной концепции Verilog HDL.

1.2 Ключевые улучшения SystemVerilog для аппаратного дизайна

Следующий список показывает некоторые из наиболее важных улучшений которые SystemVerilog добавляет к Verilog HDL для разработки и верификации аппаратного обеспечения: Список показывает несколько ключевых особенностей, которые помогут в написании синтезируемых аппаратных моделей.

- Интерфейсы для инкапсуляции сообщения и протокола внутри проекта
- С подобные типы данных, такие как **int**
- Типы определяемые пользователем, используя **typedef**
- Перечисляемые типы
- Приведение к типу
- Структуры и объединения
- Пакеты для определений, разделяемых блоками

- Объявления единицы компиляции с внешней видимостью
- ++, --, += и другие операторы
- Явные процедурные блоки
- Модификатор приоритетности и unique модификатор
- Улучшенные программные выражения
- Передача параметров по ссылке в задачах, функциях и модулях

1.3 Резюме

SystemVerilog объединяет аппаратный дизайн и языки верификации в форме расширений для Verilog HDL. Эти расширения предоставляют новые мощные возможности для моделирования аппаратного обеспечения на RTL, системном и архитектурном уровнях, а также для верификации функциональности модели.