

컴퓨터 공학 기초 실험2 보고서

실험제목: Simple Bus & Memory

실험일자: 2019년 11월 05일 (화)

제출일자: 2019년 11월 11일 (월)

학 과: 컴퓨터정보공학과

담당교수: 이준환 교수님

실습분반: 화요일 0, 1, 2

학 번: 2015722031

성 명: 박 태 성

1. 제목 및 목적

A. 제목

Simple Bus & Memory

B. 목적

여러 component 들 간에 data 를 전송 할 수 있도록 연결해주는 component인 bus, 그리고 address에 기반하여 data를 저장하는 하드웨어인 Random Access Memory(RAM) 을 구현하면서, memory-mapped I/O의 원리를 이해하고, 더 나아가 컴퓨터 시스템 구조에 대해 학습하는 데 목적을 둔다. 검증을 통해 system의 문제의 원인을 찾고 문제를 해결하는 능력을 배양하는 데 목적을 둔다.

2. 원리(배경지식)

A. RAM

RAM은 address에 기반하여 data를 저장하는 하드웨어이다. Bus로부터 address와 signal을 입력으로 받아 동작을 수행한다. 이때, bus는 slave이다. Chip enable과 write enable을 통해 address에 data를 read 또는 write 한다. Address는 5bit의 bandwidth를 가지며, data는 32bit의 bandwidth를 갖는다.

B. BUS

BUS는 여러 component 들 간에 data 를 전송 할 수 있도록 연결해주는 component이다. BUS는 arbiter와 address decoder로 구성된다. Arbiter는 master를 결정하는 grant signal을 출력한다. Address decoder는 master로부터 address를 받아서 slave를 선택한다. Address region에 따라서 slave를 구분한다. 본 과제의 BUS는 2개의 master와 2개의 slave를 가지고 있다. Address는 8bit의 bandwidth를 가지며, data는 32bit의 bandwidth를 갖는다.

Memory Map	
Address Range	Component
0x00 ~ 0x1F	Slave 1
0x20 ~ 0x3F	Slave 2

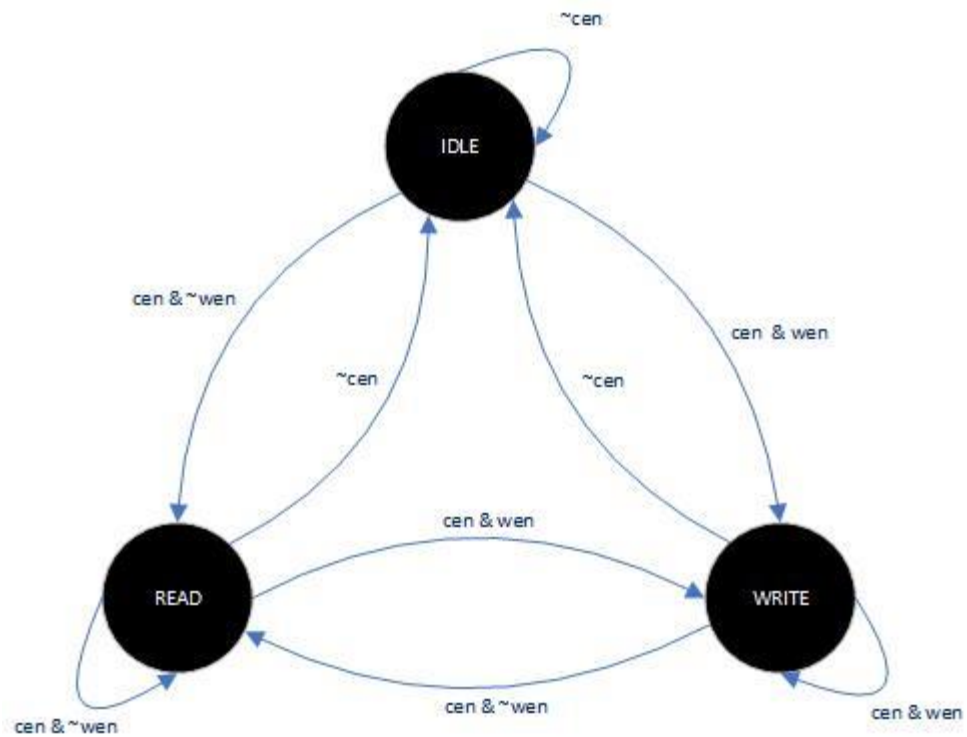
3. 설계 세부사항

A. RAM

i. State description

State	Description
IDLE	쉬고 있는, 대기 상태, 초기 상태
READ	해당 address로부터 data 읽기
WRITE	해당 address에 data 쓰기

ii. State transition diagram



iii. I/O configuration

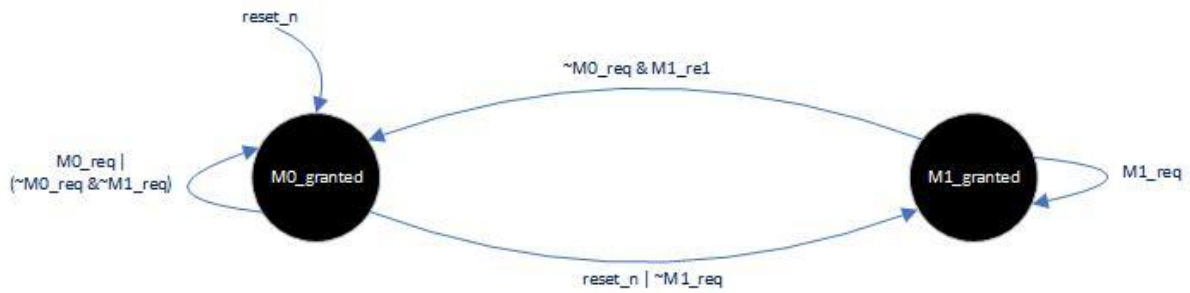
Module	Port	Name	Bandwidth	Description
RAM	Input	clk	1-bit	Clock
		cen	1-bit	Chip enable
		wen	1-bit	Write enable
		addr	5-bits	Address
		din	32-bits	Data in
	Output	d_out	32-bits	Data out

B. BUS

i. State description

State	Description
M0_granted	M0에게 권한 부여, 허가
M1_granted	M1에게 권한 부여, 허가

ii. State transition diagram



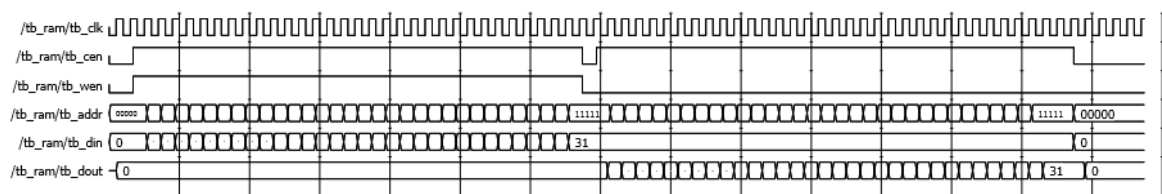
iii. I/O configuration

Module	Port	Name	Bandwidth	Description
Bus	Input	clk	1-bit	Clock
		reset_n	1-bit	Active low에 동작
		m0_req	1-bit	Master 0 request
		m0_wr	1-bit	Master 0 write/read
		m0_address	8-bits	Master 0 address
		m0_dout	32-bits	Master 0 data output
		m1_req	1-bit	Master 1 request
		m1_wr	1-bit	Master 1 write/read
		m1_address	8-bits	Master 1 address
		m1_dout	32-bits	Master 1 data output
		s0_dout	32-bits	Slave 0 data output
		s1_dout	32-bits	Slave 1 data output
	Output	m0_grant	1-bit	Master 0 grant
		m1_grant	1-bit	Master 1 grant
		m_din	32-bits	Master data input
		s0_sel	1-bit	Slave 0 select
		s1_sel	1-bit	Slave 1 select
		s_address	8-bits	Slave address
		s_wr	1-bit	Slave write/read
		s_din	32-bits	Slave data input

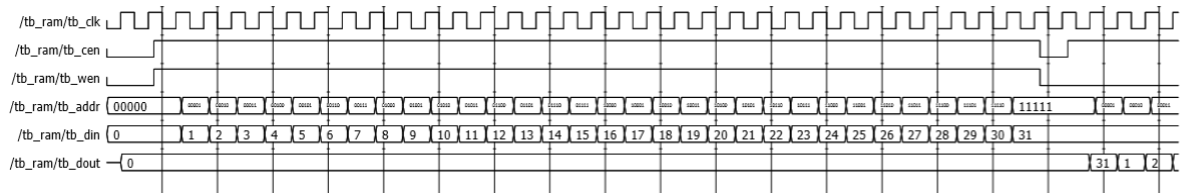
4. 설계 검증 및 실험 결과

A. 시뮬레이션 결과

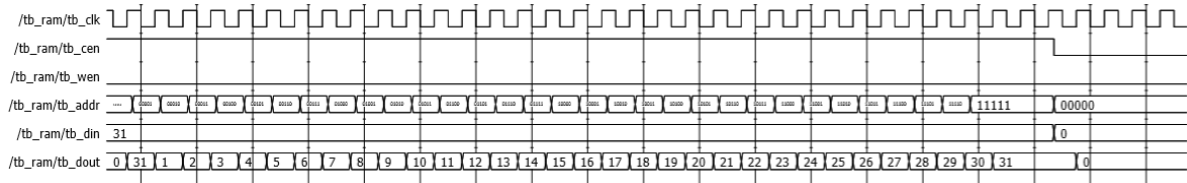
i. RAM



본 과제의 RAM은 32bit data 32개를 write하고 read할 수 있다. 모든 경우에 write과 read가 정상적으로 이루어 지는지 확인한 simple test bench이다.

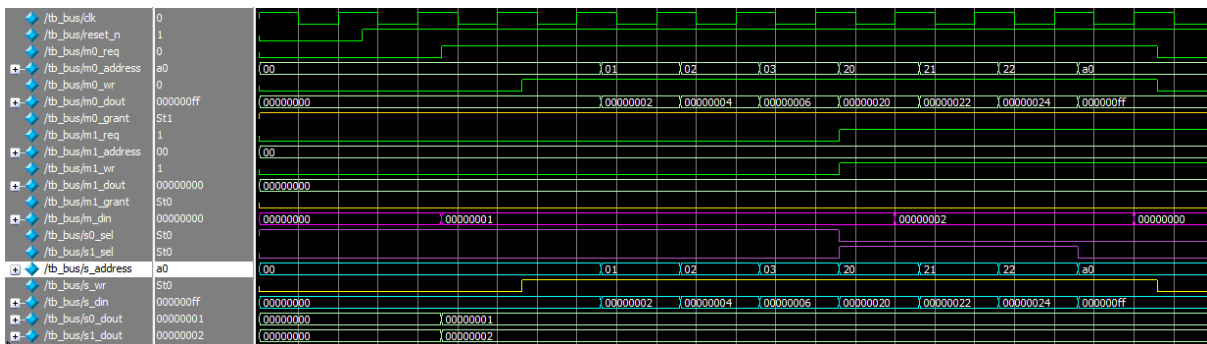


Write operation이 정상적으로 진행된다. Write operation 동안은 dout = 0이다.

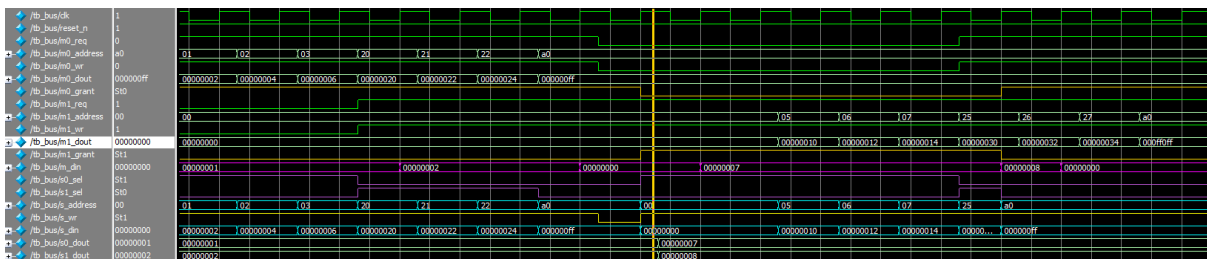


Read operation이 정상적으로 진행된다. 특정 address에 저장되어 있던 data가 dout으로 출력된다. Cen이 0이라면 모든 operation을 중지하며, dout은 0이다.

ii. BUS



BUS에 연결되어 있는 master와 slave가 없기 때문에 직접 값을 넣어 검증하였다. Master 0가 granted일 때의 wave form이다. Master 0의 wr, address, dout이 mux에서 선택되는 것을 확인하였다. Address에 따라 slave가 선택되어 m_din으로 그 결과가 출력되는 것을 확인하였다.

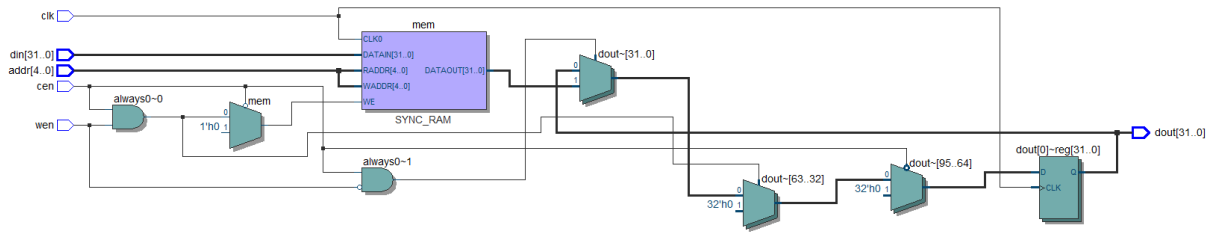


Master 1 granted일 때의 wave form이다.

B. 합성(synthesis) 결과

i. RAM

1. RTL Viewer



Behavioral하게 코드를 작성하였다.

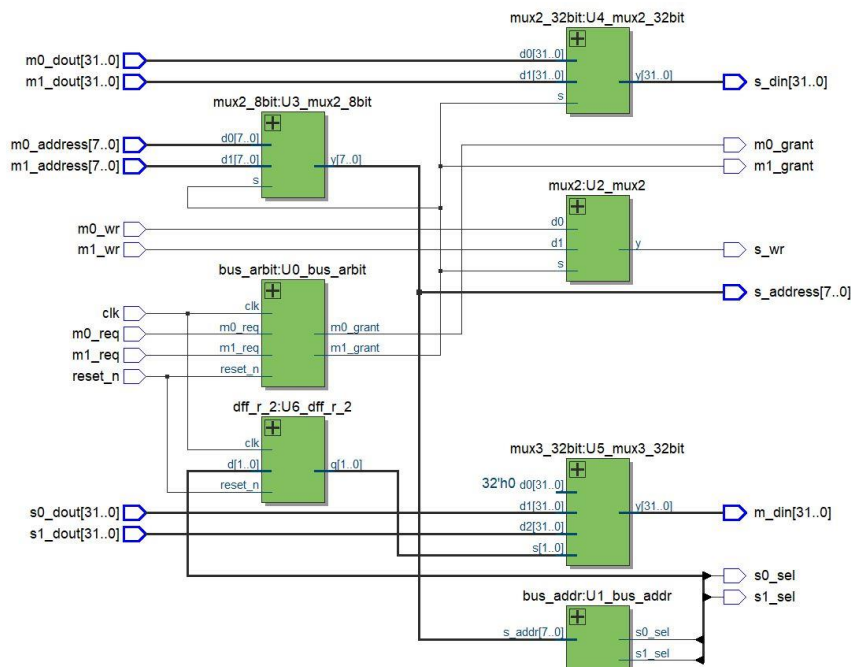
2. Flow Summary

Flow Summary	
Flow Status	Successful - Sun Nov 03 23:46:29 2019
Quartus Prime Version	15.1.0 Build 185 10/21/2015 SJ Lite Edition
Revision Name	ram
Top-level Entity Name	ram
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	524 / 41,910 (1 %)
Total registers	1056
Total pins	72 / 499 (14 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

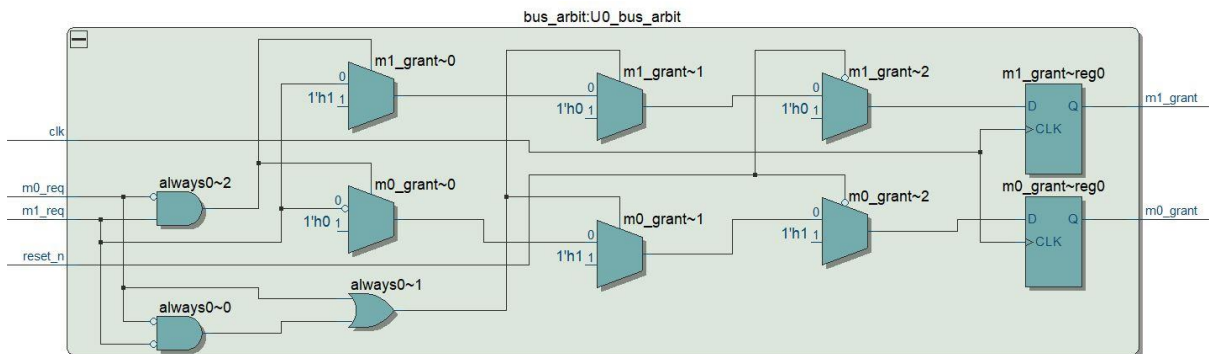
RAM의 flow summary이다. 총 pin의 개수는 72개이다.

ii. BUS

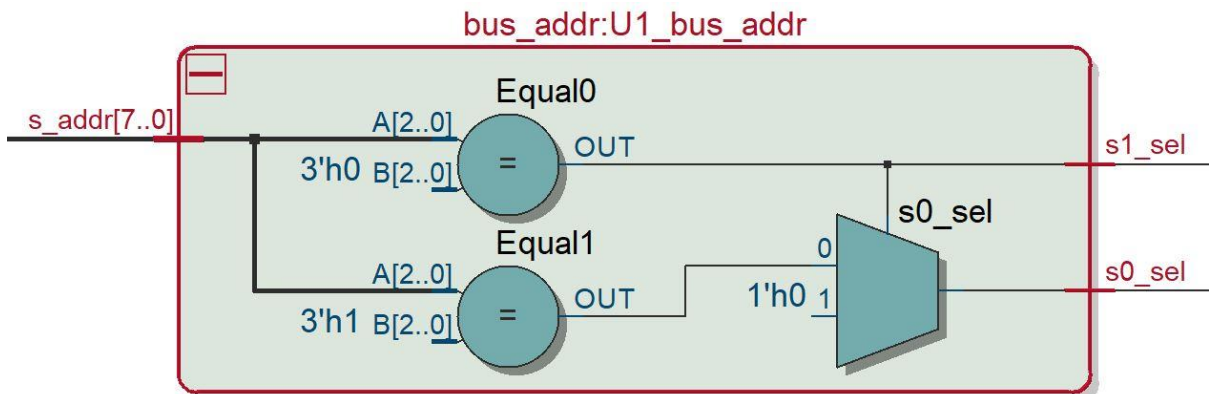
1. RTL Viewer



BUS top module의 RTL Viewer이다.



Behavioral하게 작성한 bus의 arbiter이다.



마찬가지로 behavioral하게 작성한 bus의 address decoder이다.

iii. Flow Summary

Flow Summary	
Flow Status	Successful - Mon Nov 04 10:20:47 2019
Quartus Prime Version	15.1.0 Build 185 10/21/2015 SJ Lite Edition
Revision Name	bus
Top-level Entity Name	bus
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	40 / 41,910 (< 1 %)
Total registers	4
Total pins	227 / 499 (45 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

Bus의 Flow Summary이다. 총 pin의 개수는 227개가 사용된다.

5. 고찰 및 결론

A. 고찰

BUS의 m0_grant를 mux의 selection signal로 주어 mux가 m0_grant가 1일 때, master 1의 wr, address, dout을 출력하는 문제가 있었다. 이는 mux의 구조를 수정하거나 mux의 selection signal을 m1_grant로 수정하여 해결하였다. 비슷한 문제가 address decoder에서 발생했다. Selection signal을 6-to-1 mux에 잘못입력하여 원하던 결과가 출력되지 않았다. 여러 개의 slave selection signal을 concatenate하는 과정의 오류가 원인이었는데 이를 해결하여 올바른 wave form을 출력하였다.

B. 결론

BUS의 slave를 추가하여 좀 더 많은 component 간의 data 전송을 구현해 볼 수 있겠다. 새로운 component 추가가 어렵지 않아 project의 bus 구성에 활용할 수 있을 것으로 기대한다.

6. 참고문헌

이준환/디지털 논리회로 2/광운대학교 컴퓨터정보공학부/컴퓨터공학기초실험2 – Memory & Bus 강의 및 실습자료/ 2019-2학기