



XILINX

ALL PROGRAMMABLE™

Módulo VGA para bus PLB de MicroBlaze

Ing. Alejandro J. Moya

apinom94@yahoo.com

SUMARIO:

- Descripción general de la interfaz VGA
- Módulo IP VGA desarrollado
 - Estructura interna y operación
 - Funcionalidades
 - Comandos de operación
- Utilización de periféricos para *MicroBlaze*
- Comunicación I2C
- Conclusiones

Video Graphics Array (VGA)

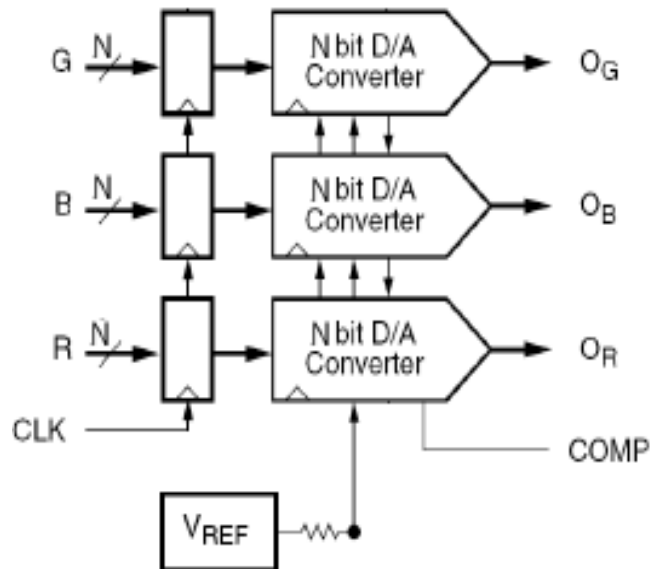
- Estándar para visualización ANALÓGICA de imágenes y video
- Conector DB15 para señales de colores (RGB) y sincronismo
- Alto grado de difusión en comparación con otros estándares como HDMI o DVI
- Solo 5 hilos fundamentales



Video Graphics Array (VGA)

Dos enfoques para el diseño...

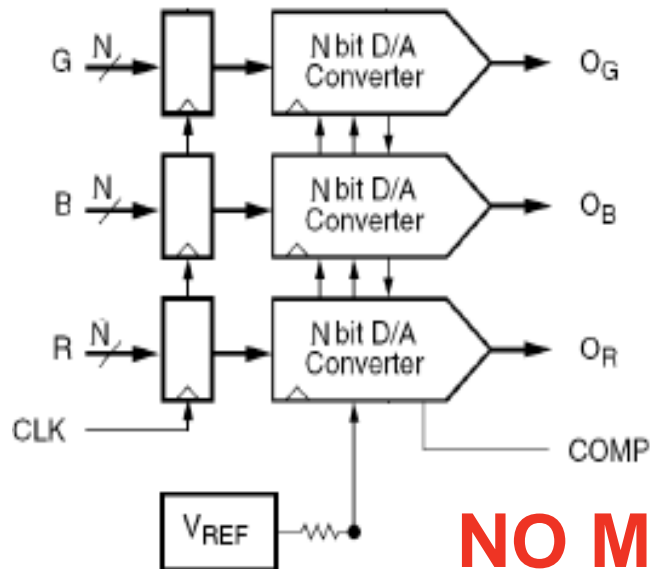
➤ Conversores DAC (resolución variable, más robusto)



Video Graphics Array (VGA)

Dos enfoques para el diseño...

➤ Conversores DAC (resolución variable, más robusto)

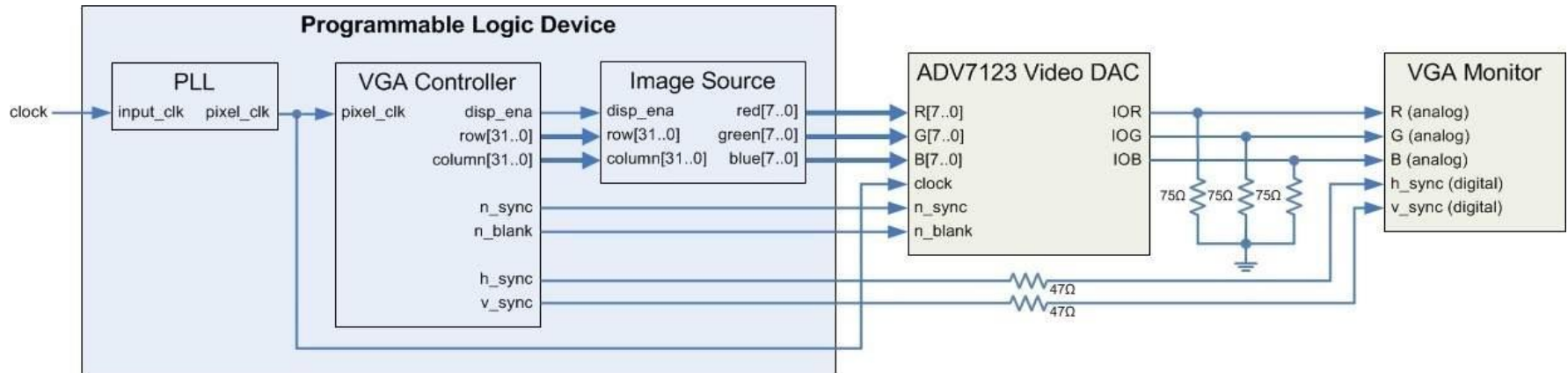


ANALOG DEVICES ADV7123

ON SEMICONDUCTOR FMS3818KRC

NO MANEJAN EL SINCRONISMO!!!

Video Graphics Array (VGA)



Video Graphics Array (VGA)

Dos enfoques para el diseño...

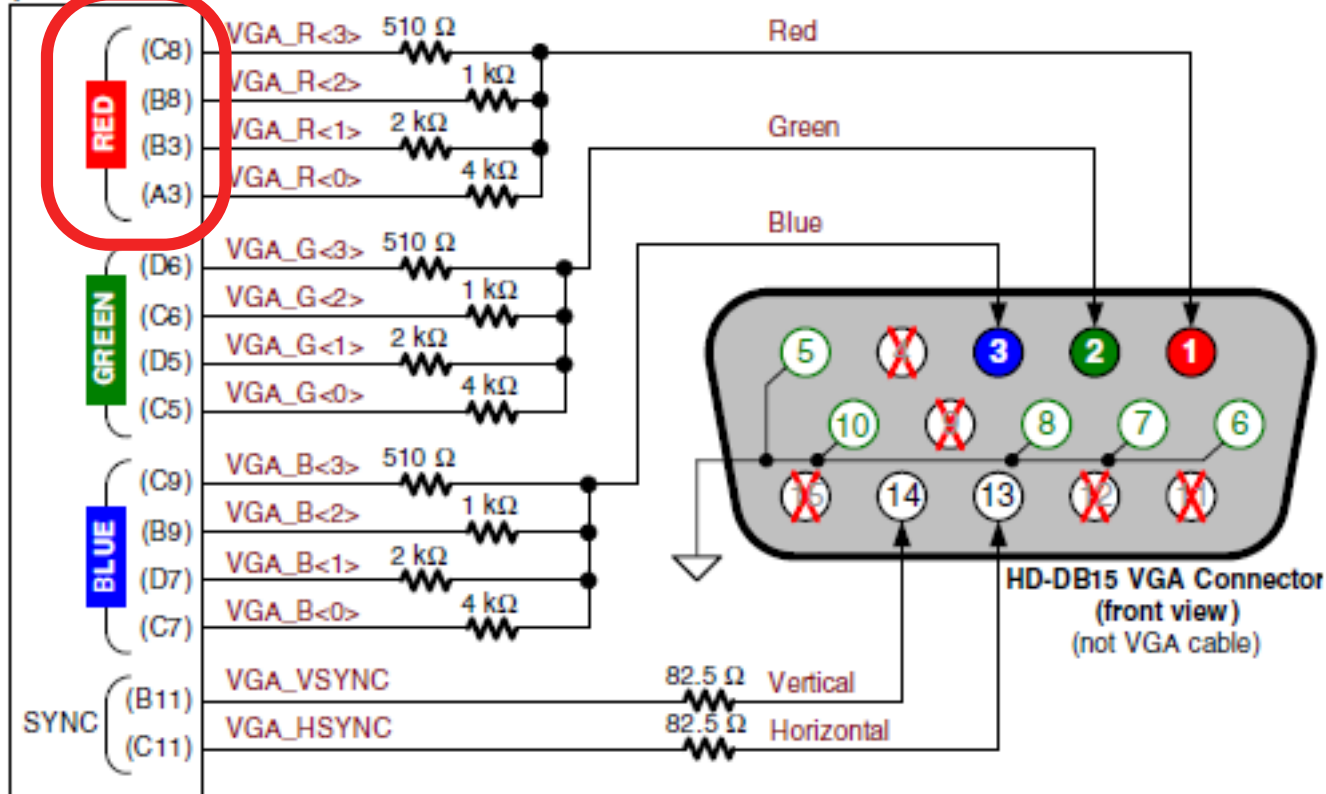
- **Arreglos resistivos (menos resolución, más simple y compacto)**

SENSIBLE A TEMPERATURA

POCA TOLERANCIA A FALLOS

Video Graphics Array (VGA)

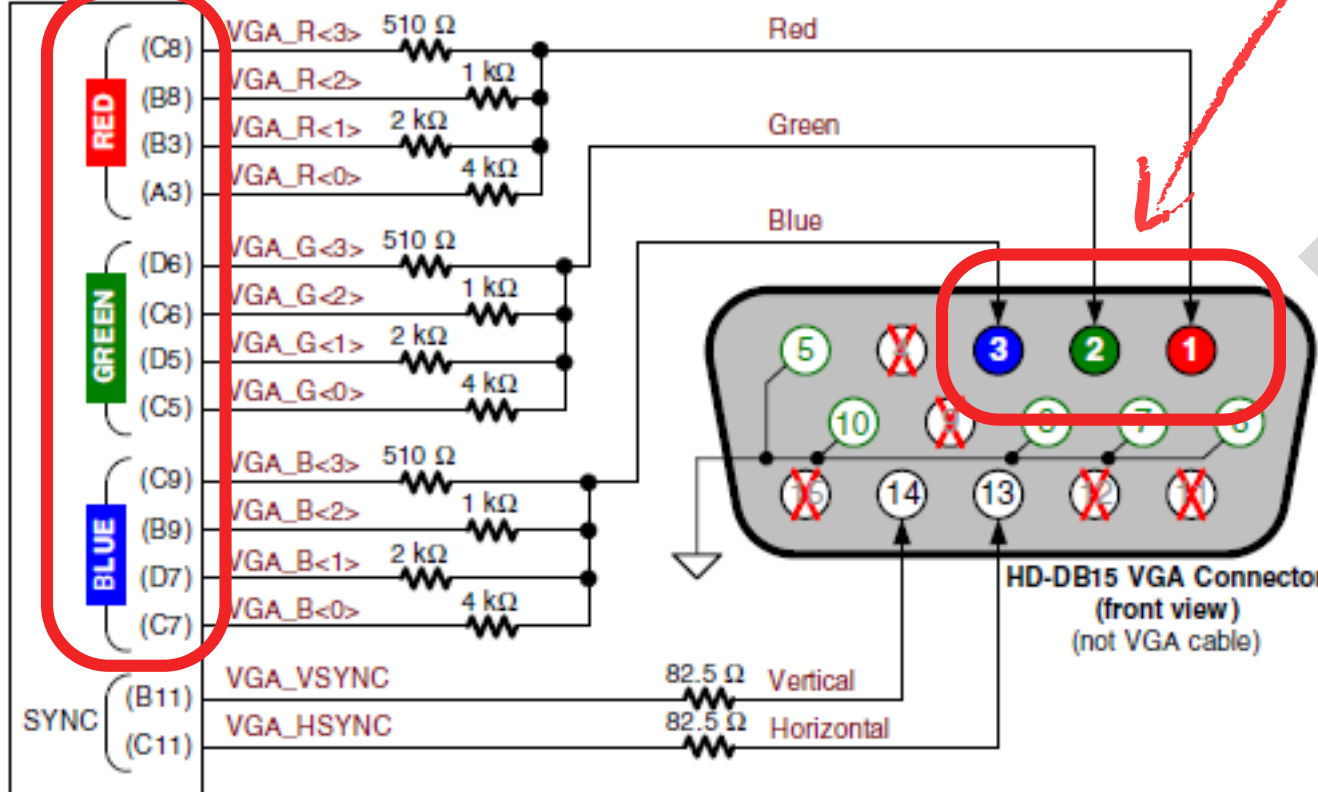
Spartan-3A FPGA



4bits/color

Video Graphics Array (VGA)

Spartan-3A FPGA

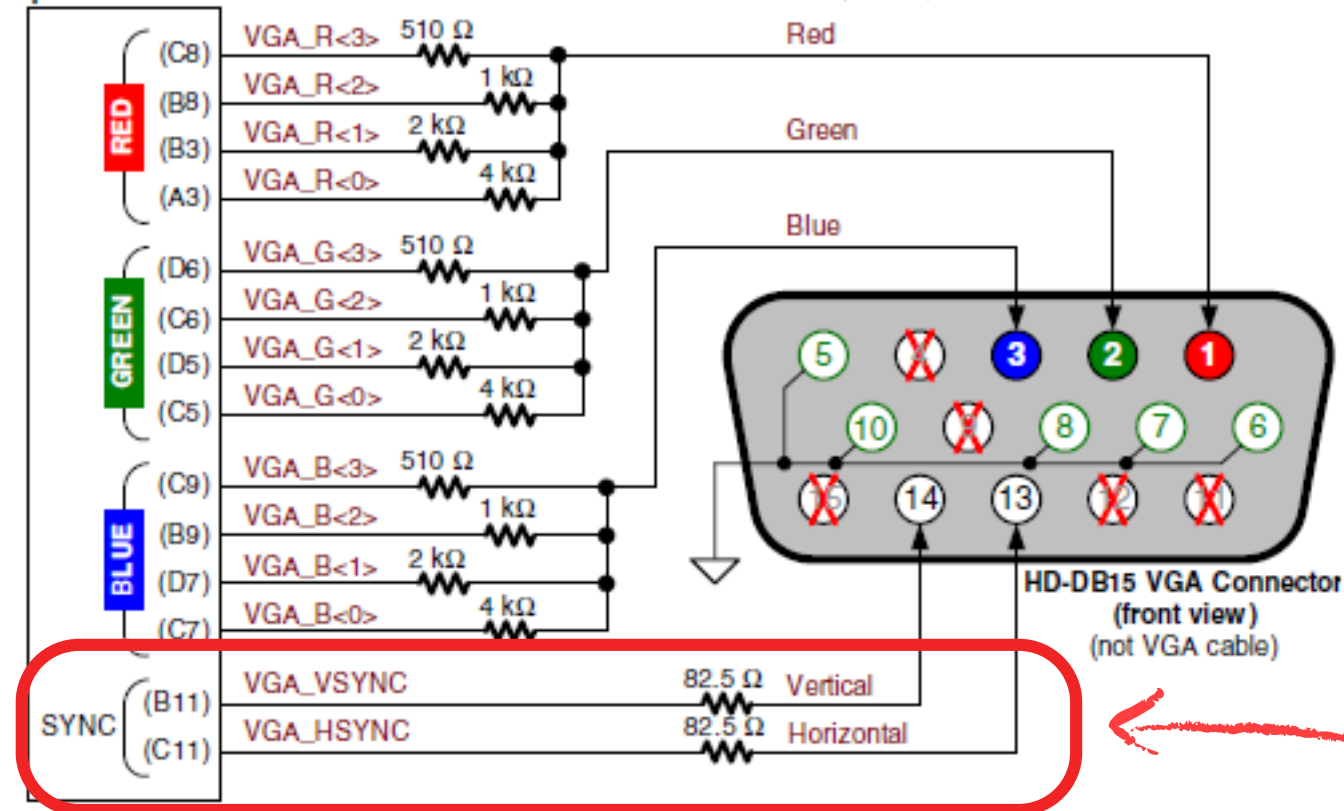


4bits/color

12bits para RGB

Video Graphics Array (VGA)

Spartan-3A FPGA



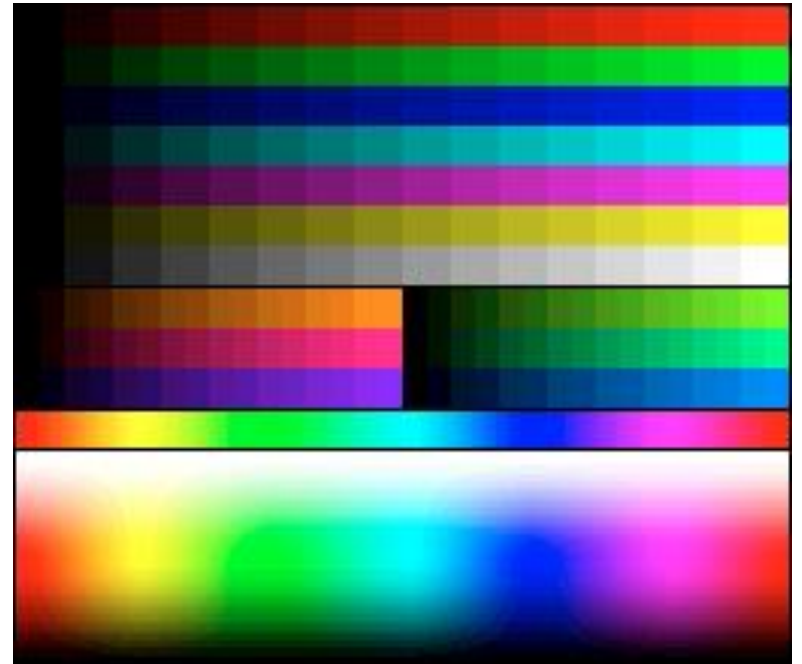
SINCRONISMO!!!

Video Graphics Array (VGA)



16x16x16 = 4096 colores

VGA_R[3:0]	VGA_G[3:0]	VGA_B[4:0]	Resulting Color
0000	0000	0000	Black
0000	0000	1111	Blue
0000	1111	0000	Green
0000	1111	1111	Cyan
1111	0000	0000	Red
1111	0000	1111	Magenta
1111	1111	0000	Yellow
1111	1111	1111	White



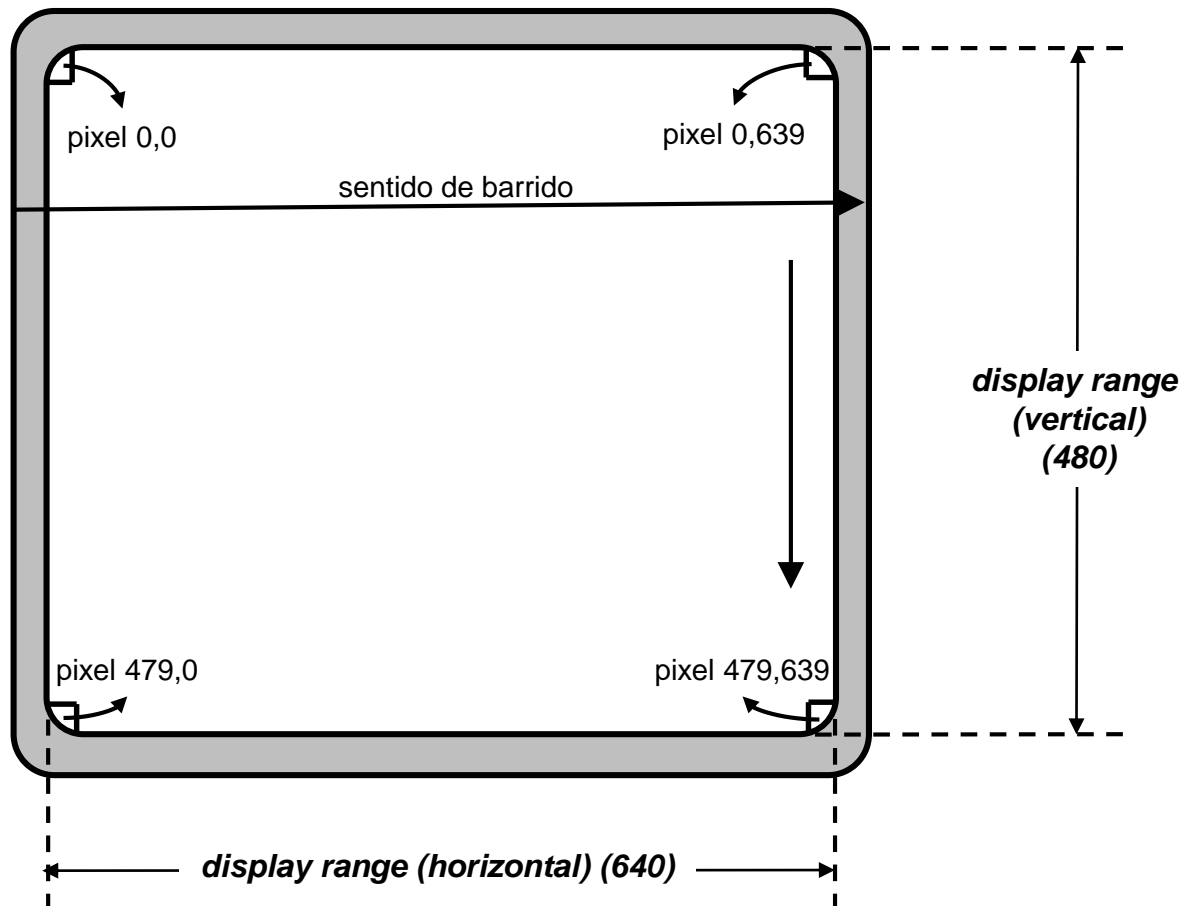
Video Graphics Array (VGA)

El problema del sincronismo...



BARRIDO DE PANTALLA

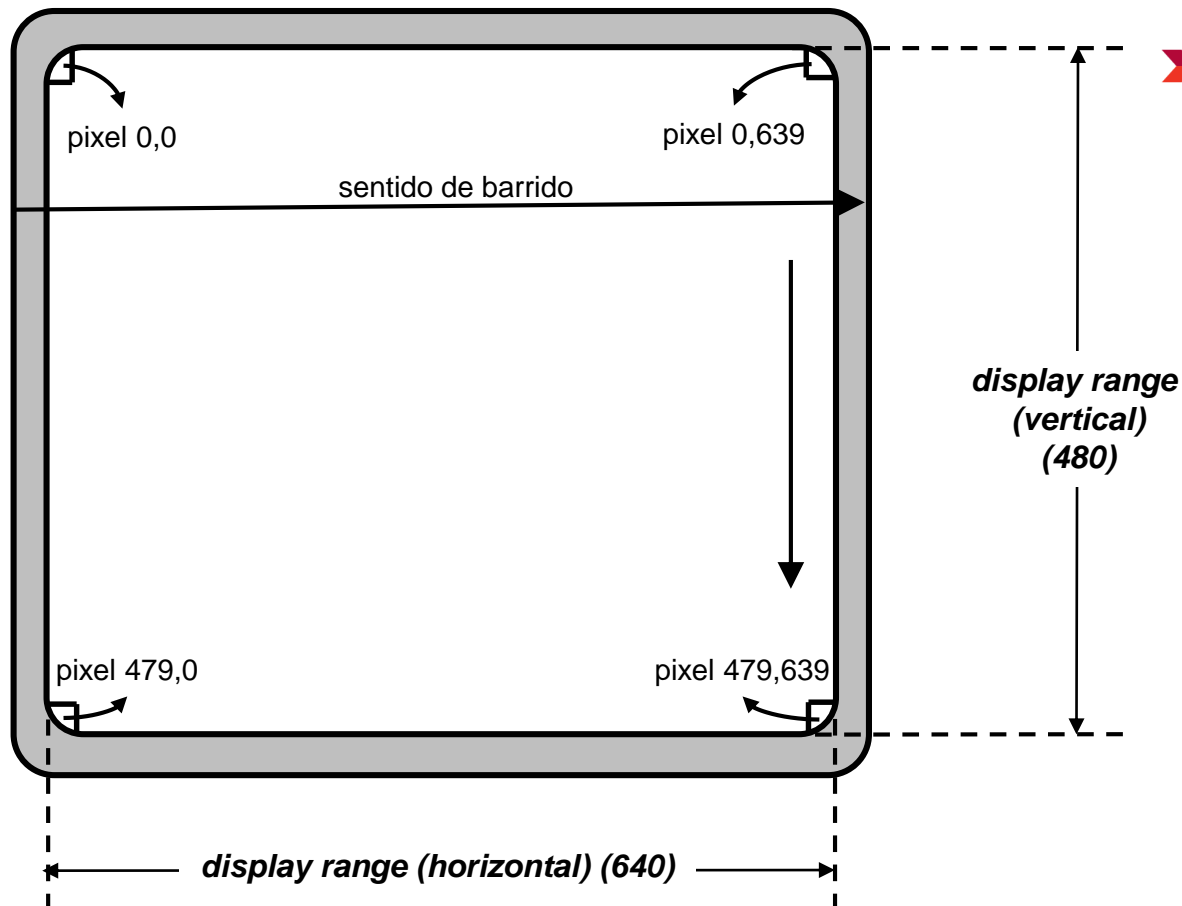
- MATRIZ DE PÍXELES [HR:VR]
- DIVIDIDA EN SECCIONES



BARRIDO DE PANTALLA

PARAMETROS DE REFRESCAMIENTO ESPECÍFICOS

- MATRIZ DE PÍXELES [HR:VR]
- DIVIDIDA EN SECCIONES

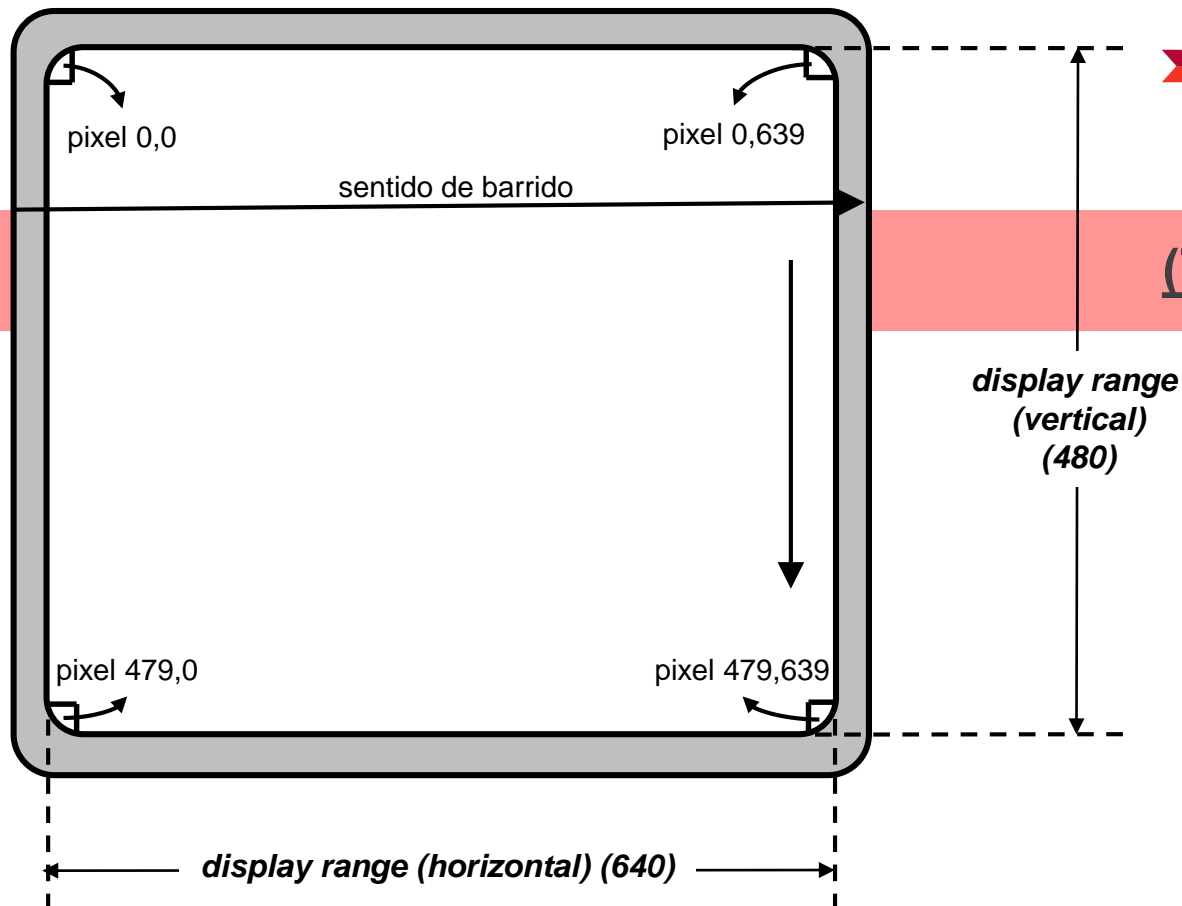


- Frecuencia de
refrescamiento
vertical.

BARRIDO DE PANTALLA

- MATRIZ DE PÍXELES [HR:VR]
- DIVIDIDA EN SECCIONES

PARAMETROS DE
REFRESCAMIENTO
ESPECÍFICOS

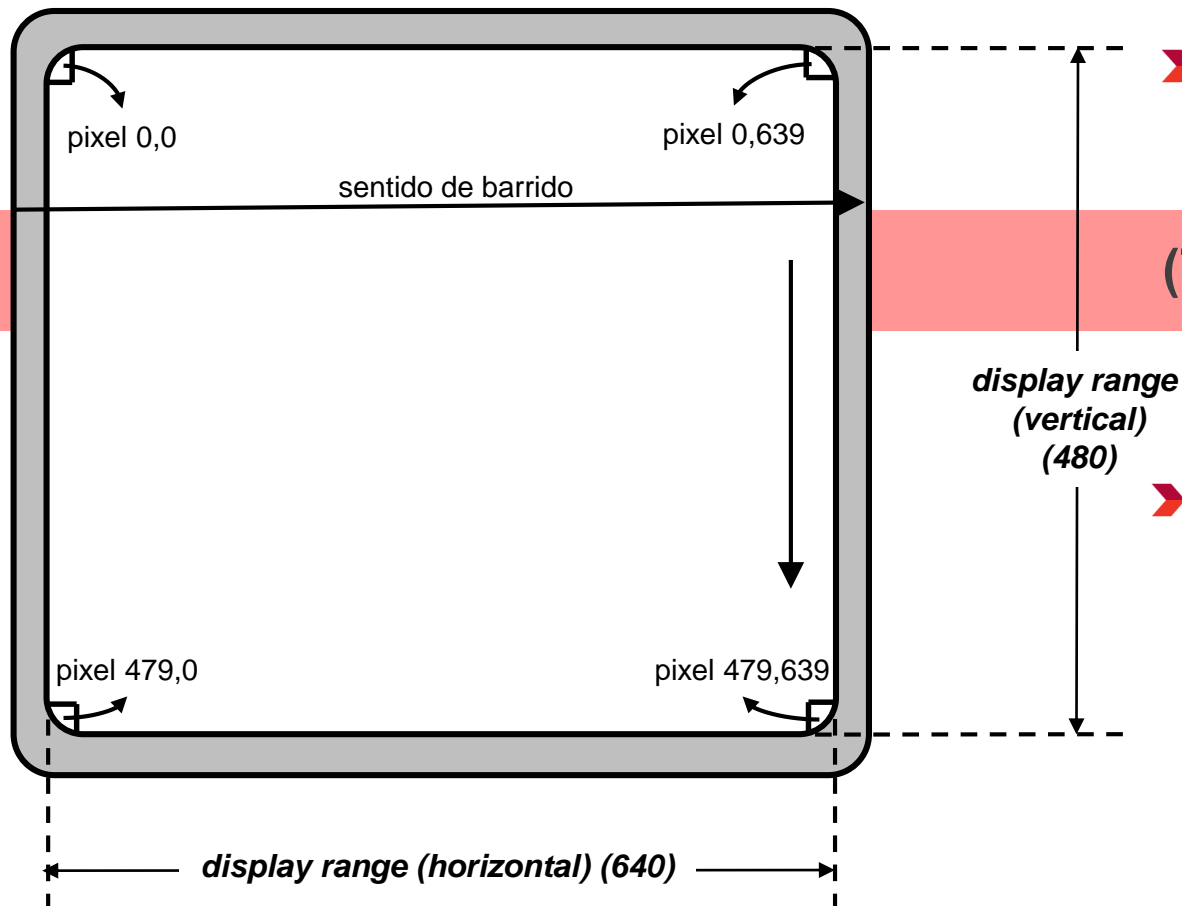


- Frecuencia de
refrescamiento
vertical.
(TYP: 50Hz, 60Hz...)

BARRIDO DE PANTALLA

- MATRIZ DE PÍXELES [HR:VR]
- DIVIDIDA EN SECCIONES

PARAMETROS DE
REFRESCAMIENTO
ESPECÍFICOS



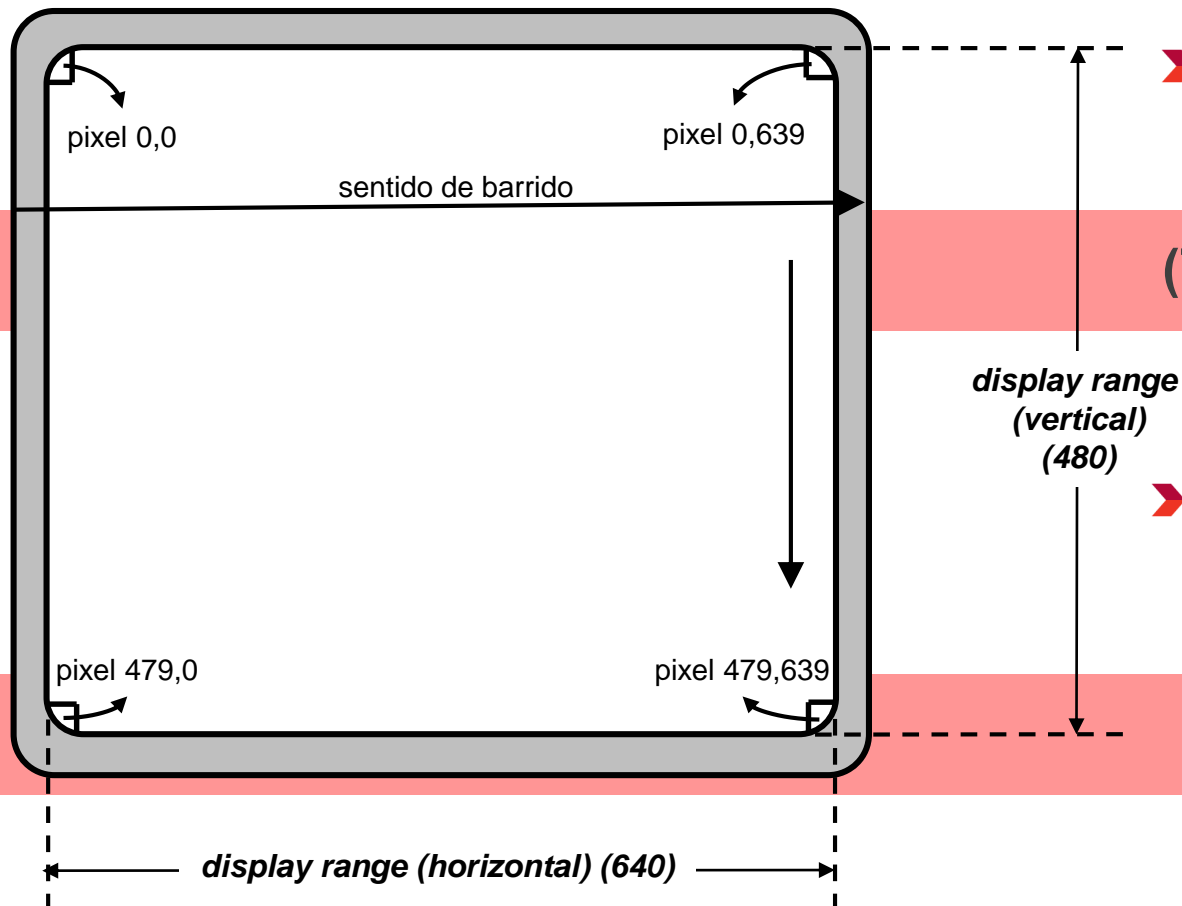
- Frecuencia de
refrescamiento
vertical.
(TYP: 50Hz, 60Hz...)

- Frecuencia de
refrescamiento
horizontal.

BARRIDO DE PANTALLA

- MATRIZ DE PÍXELES [HR:VR]
- DIVIDIDA EN SECCIONES

PARAMETROS DE
REFRESCAMIENTO
ESPECÍFICOS



- Frecuencia de
refrescamiento
vertical.
(TYP: 50Hz, 60Hz...)

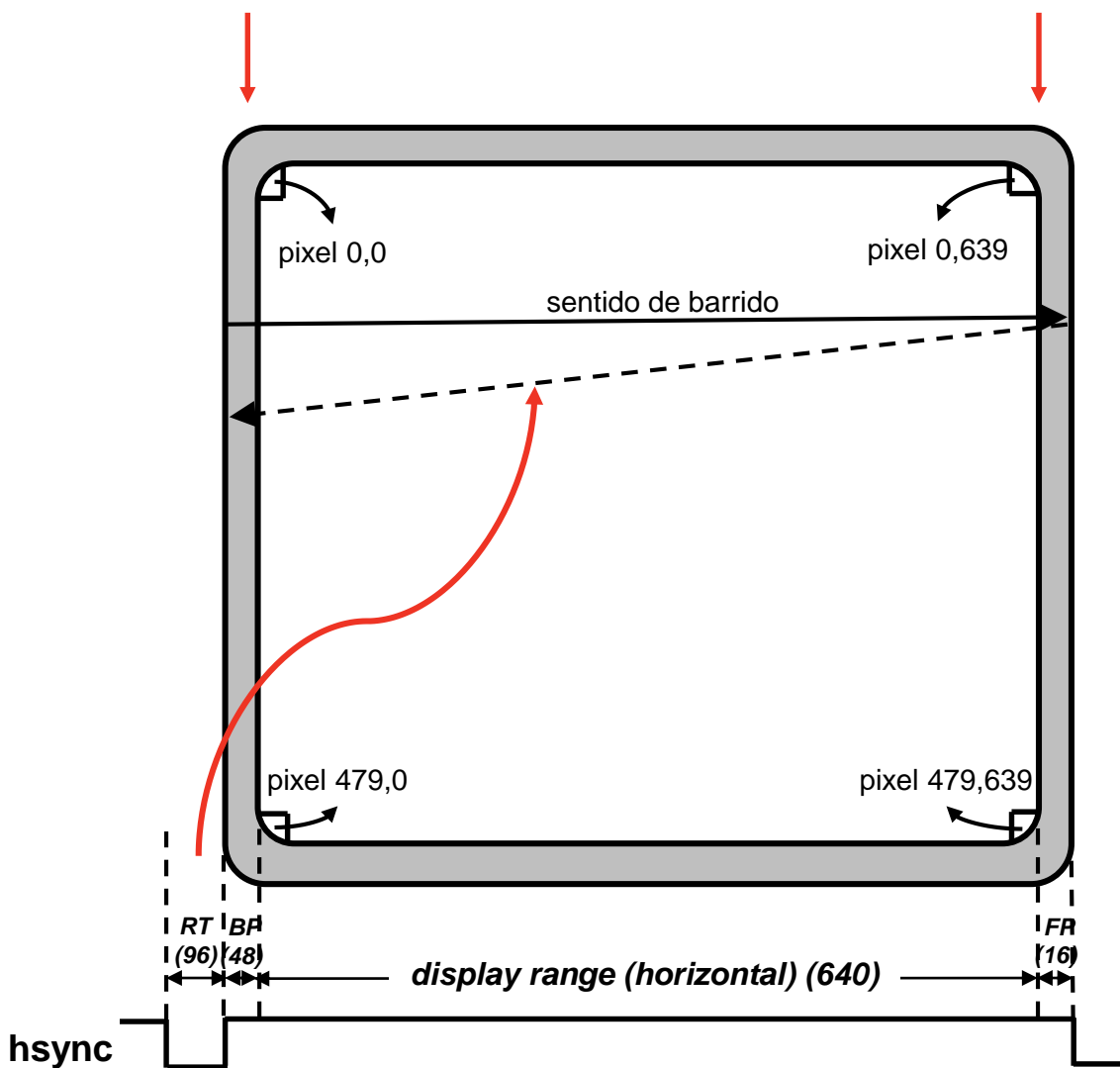
- Frecuencia de
refrescamiento
horizontal.
(DEPENDE DE
RESOLUCIÓN)

BARRIDO DE PANTALLA

BORDE IZQUIERDO
(BACK PORCH)

BORDE DERECHO
(FRONT PORCH)

HORIZONTAL

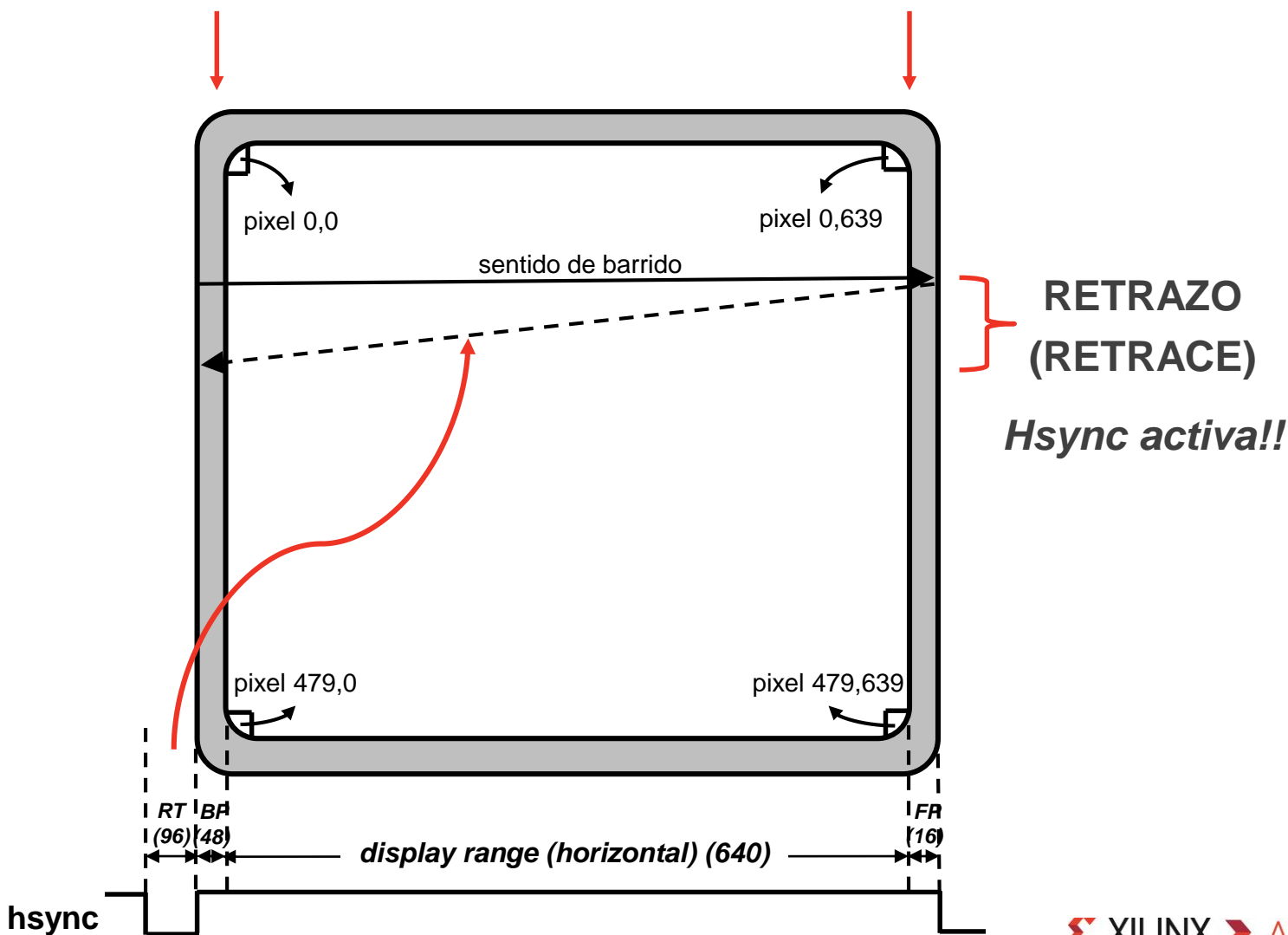


BARRIDO DE PANTALLA

BORDE IZQUIERDO
(BACK PORCH)

BORDE DERECHO
(FRONT PORCH)

HORIZONTAL

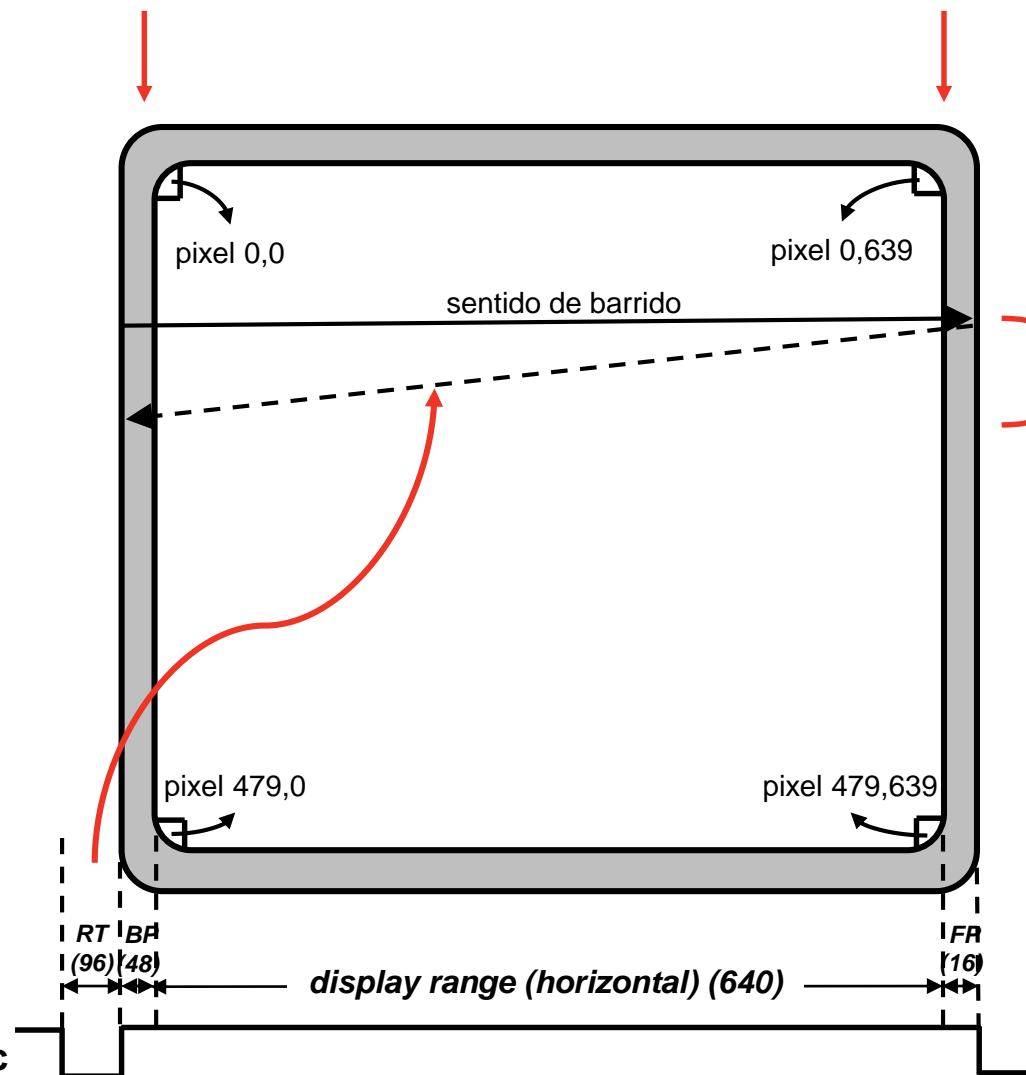


BARRIDO DE PANTALLA

BORDE IZQUIERDO
(BACK PORCH)

BORDE DERECHO
(FRONT PORCH)

HORIZONTAL



RETRAZO
(RETRACE)

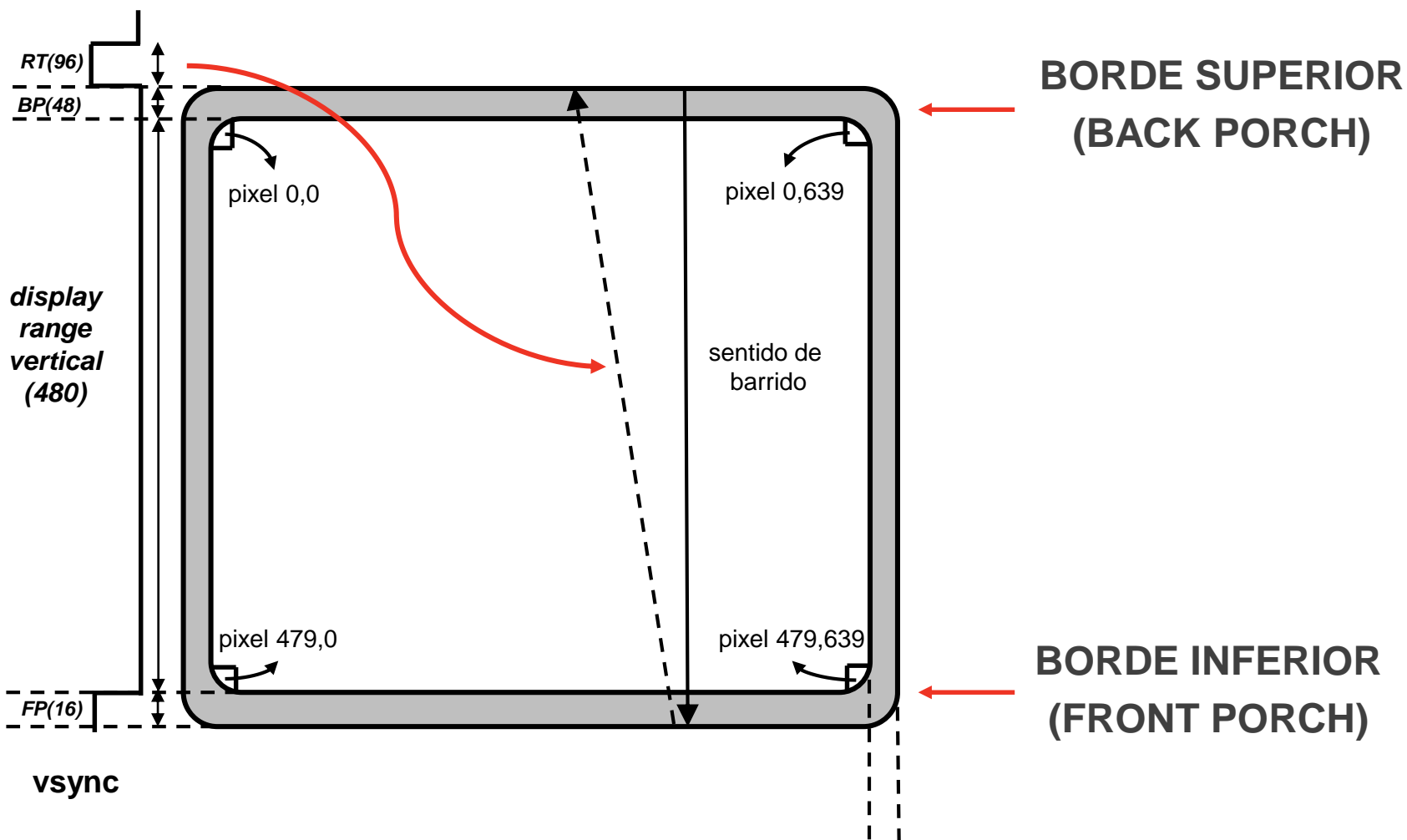
Hsync activa!!



**EN ESTAS ZONAS
NO SE MUESTRA
INFORMACIÓN DE
VIDEO**

BARRIDO DE PANTALLA

VERTICAL

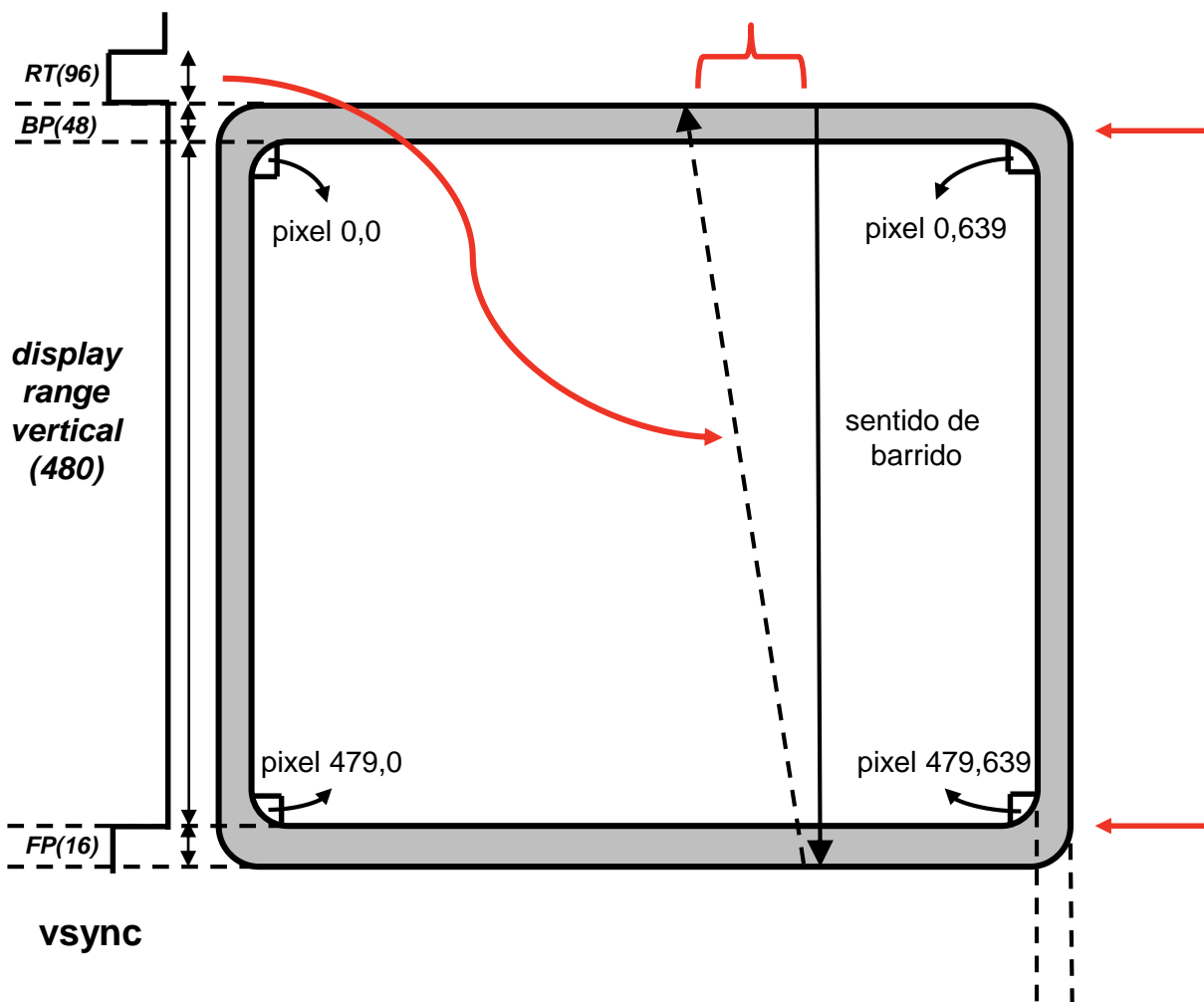


BARRIDO DE PANTALLA

Vsync activa!!

RETRAZO
(RETRACE)

VERTICAL



**BORDE SUPERIOR
(BACK PORCH)**



**EN ESTAS ZONAS
NO SE MUESTRA
INFORMACIÓN DE
VIDEO**

**BORDE INFERIOR
(FRONT PORCH)**

BARRIDO DE PANTALLA

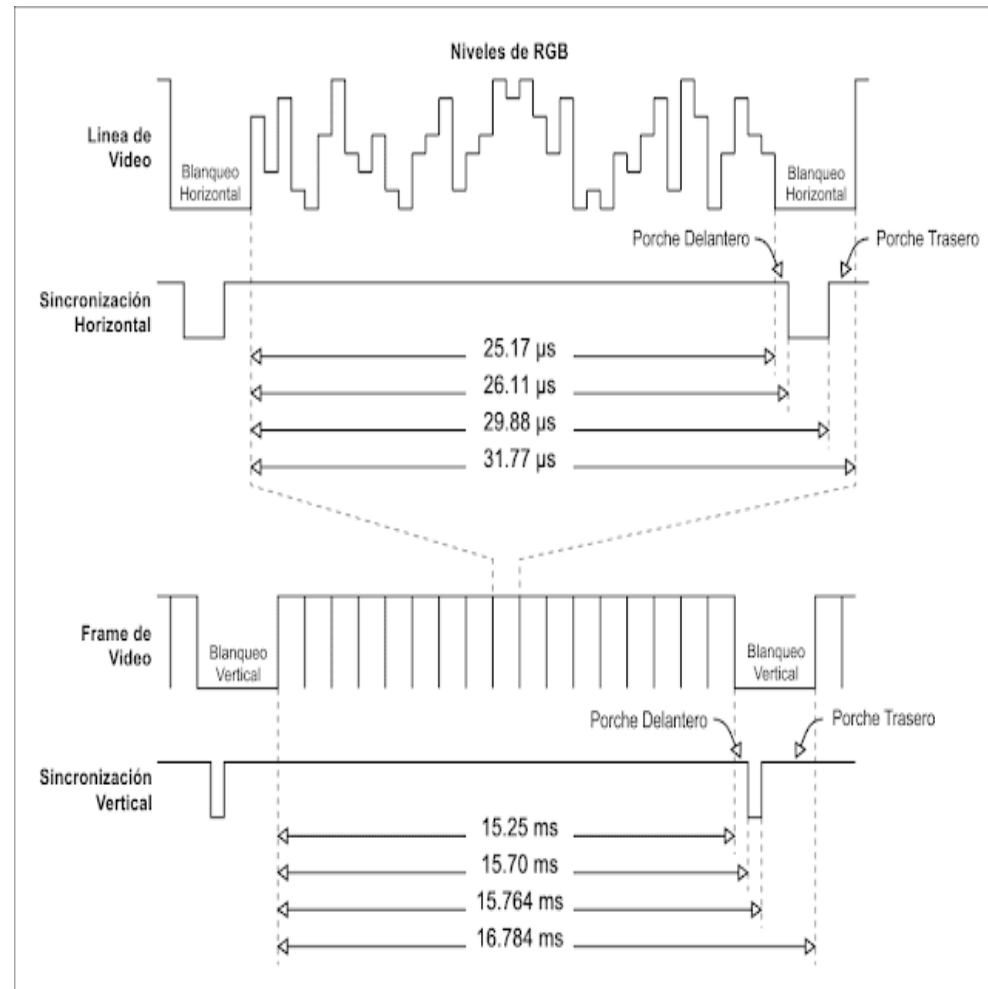
➤ PARÁMETROS TEMPORALES PARA RESOLUCIÓN 640x480x12

HORIZONTAL

Scanline part	Pixels	Time [μs]
Visible area	640	25.422045680238
Front porch	16	0.63555114200596
Sync pulse	96	3.8133068520357
Back porch	48	1.9066534260179
Whole line	800	31.777557100298

VERTICAL

Frame part	Lines	Time [ms]
Visible area	480	15.253227408143
Front porch	10	0.31777557100298
Sync pulse	2	0.063555114200596
Back porch	33	1.0486593843098
Whole frame	525	16.683217477656



BARRIDO DE PANTALLA

➤ PARÁMETROS TEMPORALES PARA RESOLUCIÓN 640x480x12

HORIZONTAL

Scanline part	Pixels	Time [µs]
Visible area	640	25.422045680238
Front porch	16	0.63555114200596
Sync pulse	96	3.8133068520357
Back porch	48	1.9066534260179
Whole line	800	31.777557100298

FRECUENCIA DE
PIXEL ~25 MHZ

VERTICAL

Frame part	Lines	Time [ms]
Visible area	480	15.253227408143
Front porch	10	0.31777557100298
Sync pulse	2	0.063555114200596
Back porch	33	1.0486593843098
Whole frame	525	16.683217477656

FRECUENCIA DE
REFRESCAMIENTO
~60 HZ

BARRIDO DE PANTALLA

➤ PARÁMETROS TEMPORALES PARA RESOLUCIÓN 640x480x12

HORIZONTAL

Scanline part	Pixels	Time [μs]
Visible area	640	25.422045680238
Front porch	16	0.63555114200596
Sync pulse	96	3.8133068520357
Back porch	48	1.9066534260179
Whole line	800	31.777557100298

← TAMAÑO DE LÍNEA
(PIXELES)

VERTICAL

Frame part	Lines	Time [ms]
Visible area	480	15.253227408143
Front porch	10	0.31777557100298
Sync pulse	2	0.063555114200596
Back porch	33	1.0486593843098
Whole frame	525	16.683217477656

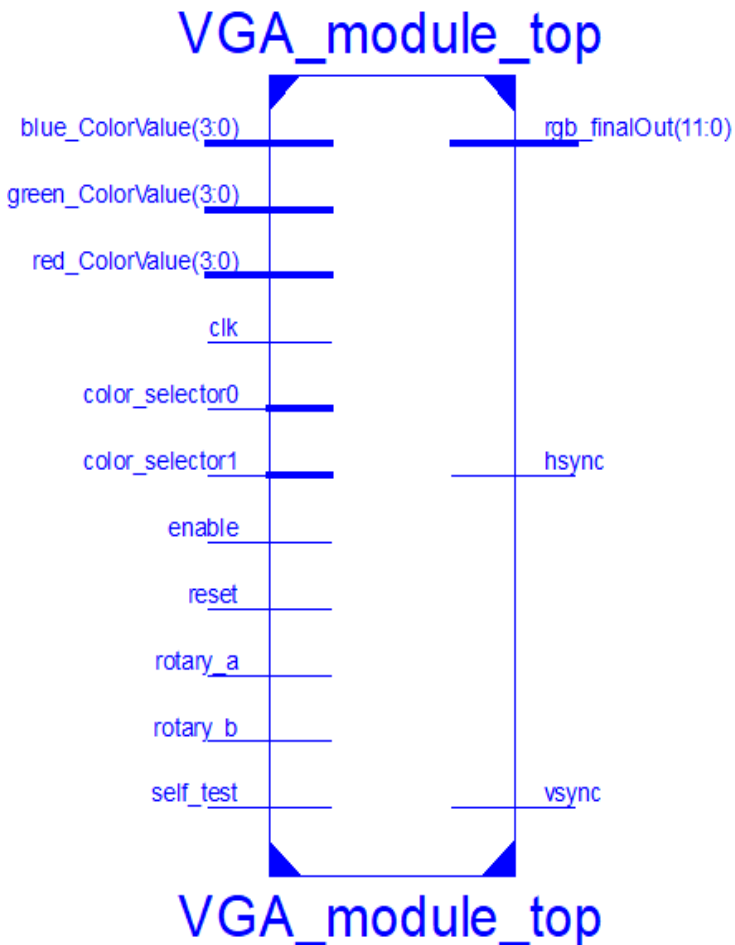
← CANTIDAD DE LÍNEAS

Módulo IP VGA desarrollado

Características generales...

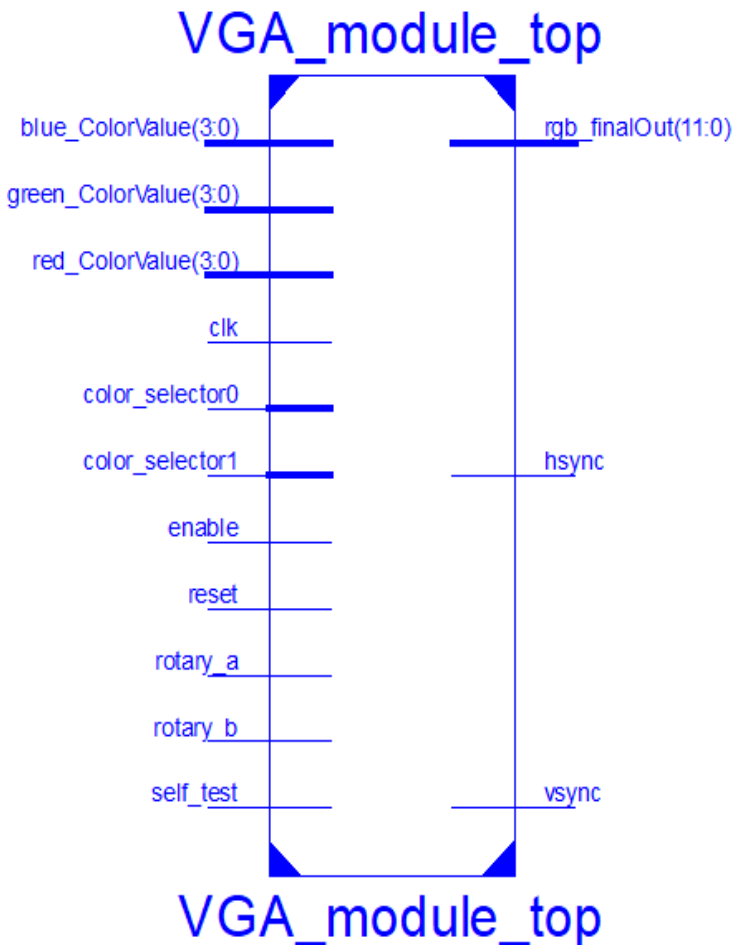
- Resolución de 640x480 con 12 bits de profundidad de color
- Señales hsync y vsync activas a nivel bajo
- Función netamente demostrativa

Módulo IP VGA desarrollado

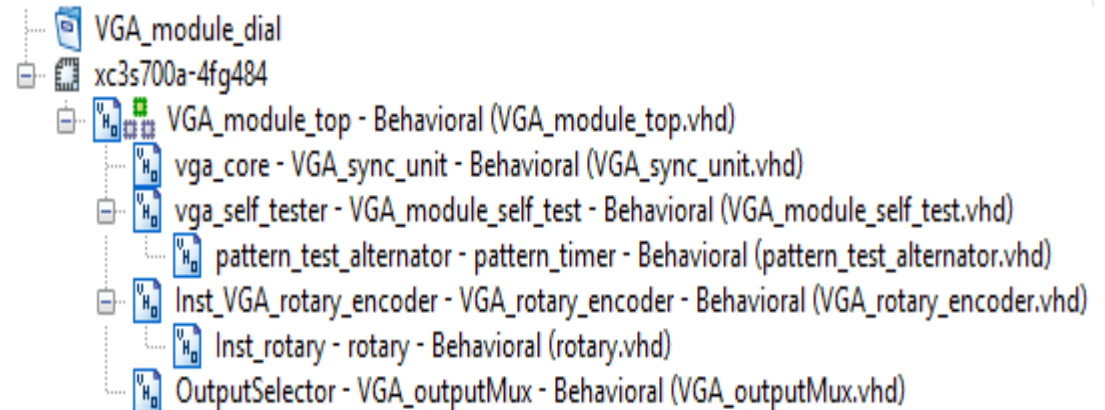


Device Utilization Summary (estimated values)				[+]
Logic Utilization	Used	Available	Utilization	
Number of Slices	197	5888	3%	
Number of Slice Flip Flops	123	11776	1%	
Number of 4 input LUTs	379	11776	3%	
Number of bonded IOBs	34	372	9%	
Number of GCLKs	1	24	4%	

Módulo IP VGA desarrollado

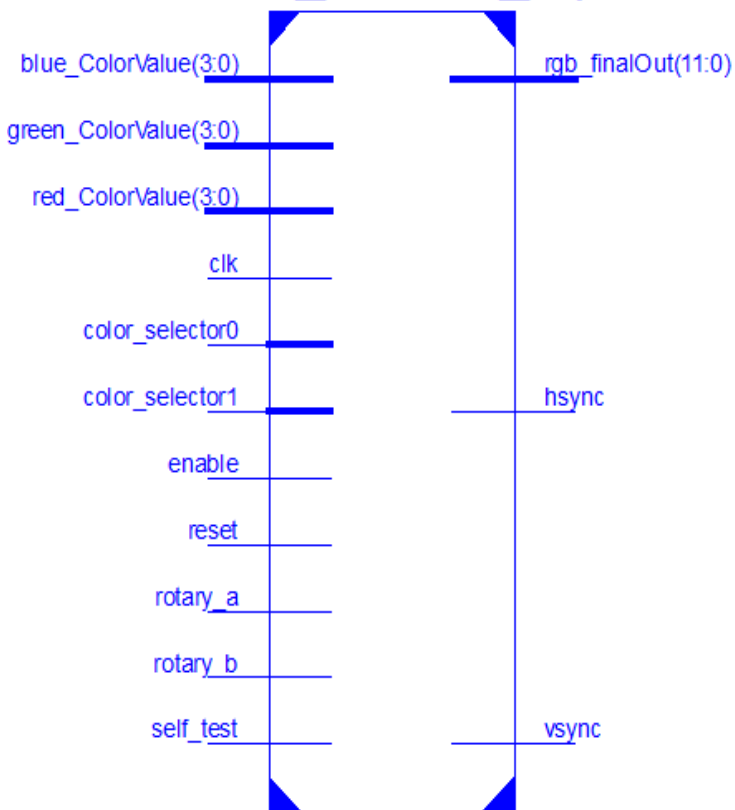


Hierarchy



Módulo IP VGA desarrollado

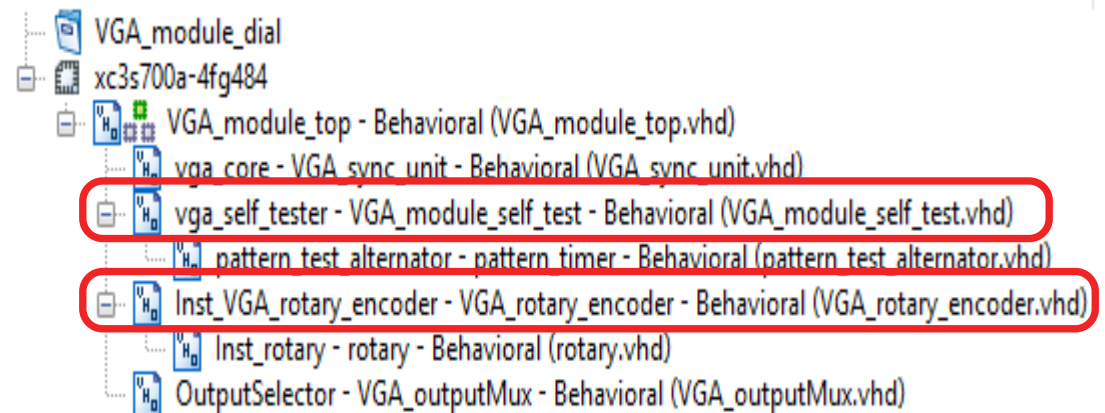
VGA_module_top



VGA_module_top

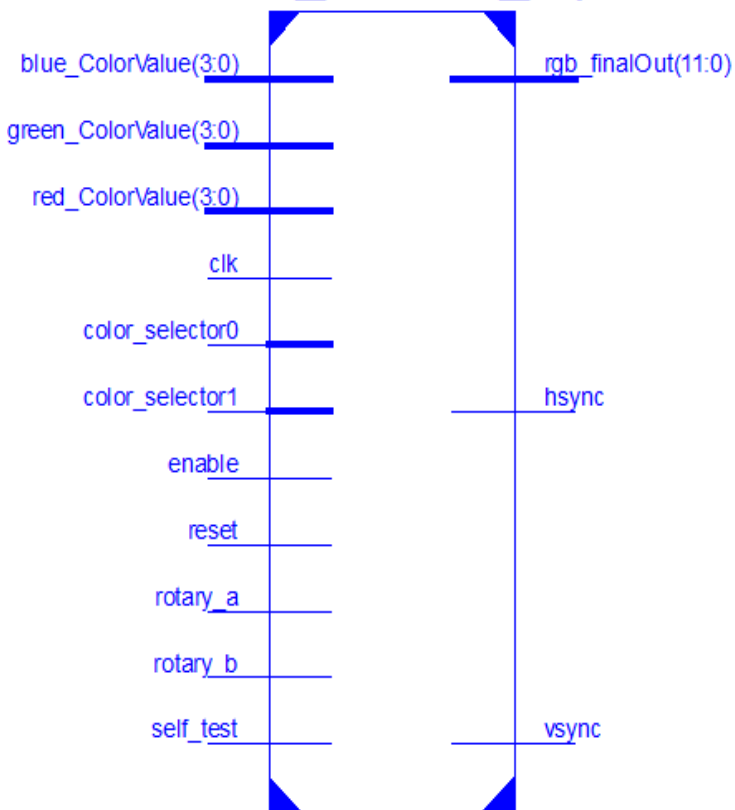
FUNCIONALIDADES

Hierarchy



Módulo IP VGA desarrollado

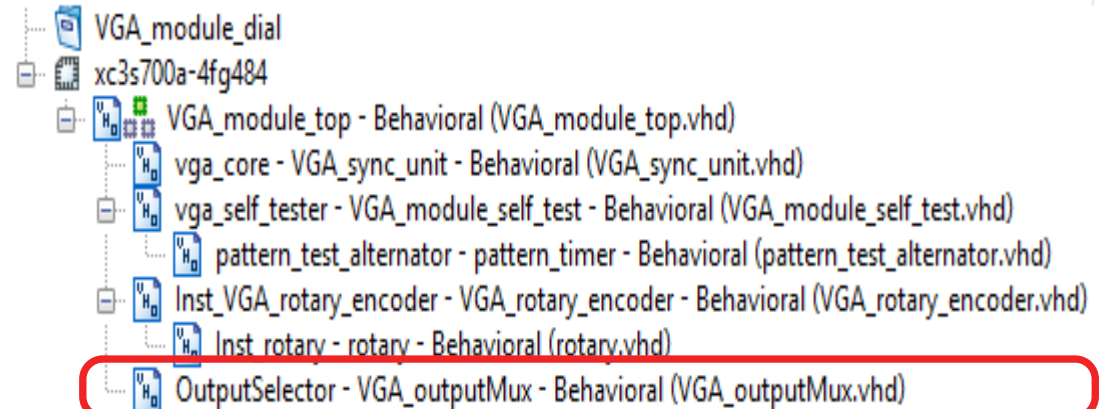
VGA_module_top



VGA_module_top

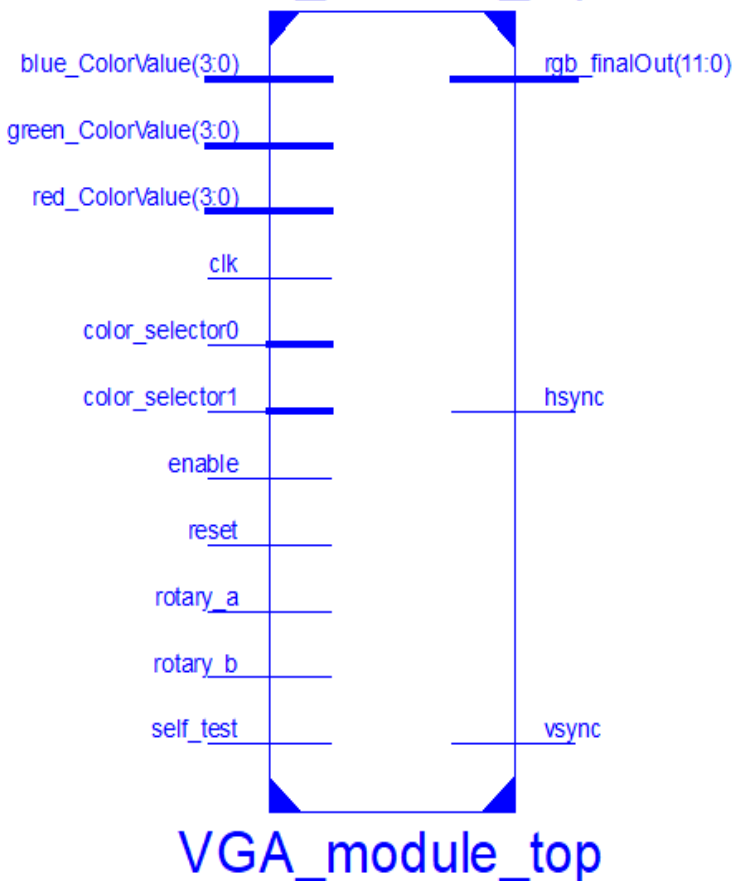
SELECTOR DE SALIDA FINAL

Hierarchy



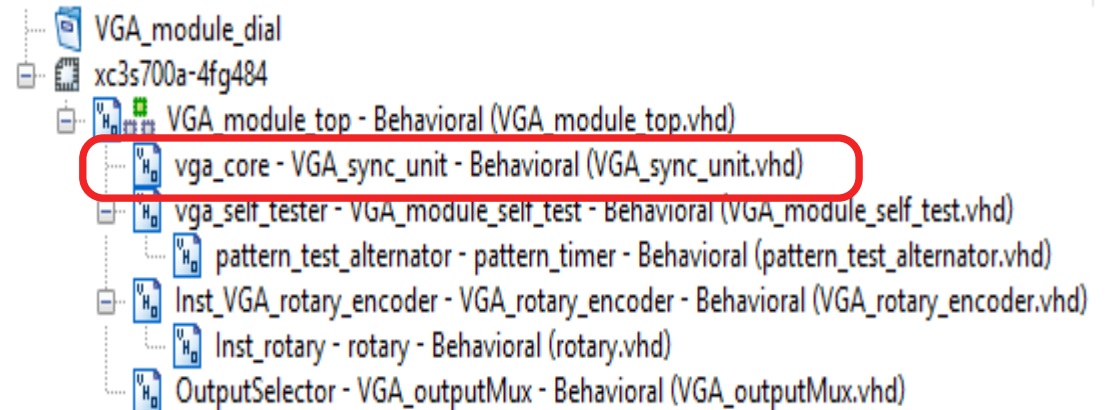
Módulo IP VGA desarrollado

VGA_module_top

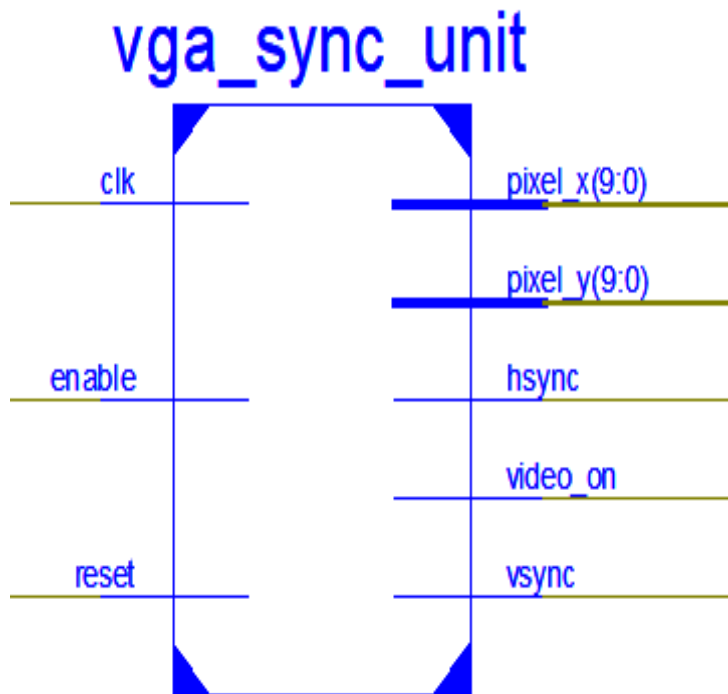


NÚCLEO DEL CONTROLADOR

Hierarchy



VGA_sync_unit



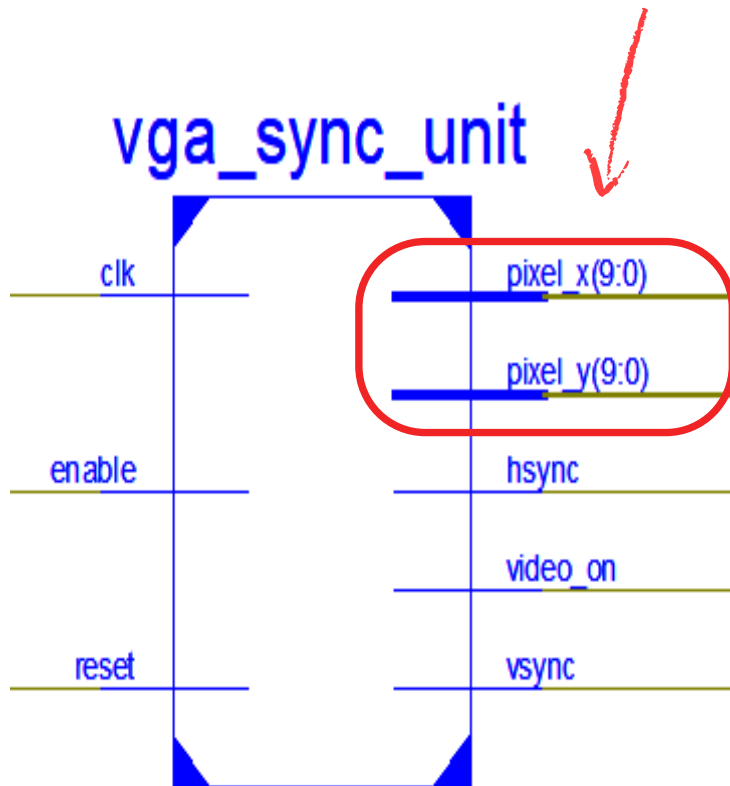
➤ Control de las señales de sincronismo *hsync* y *vsync* según regiones de la pantalla



**ACTIVAS A NIVEL
BAJO !!!**

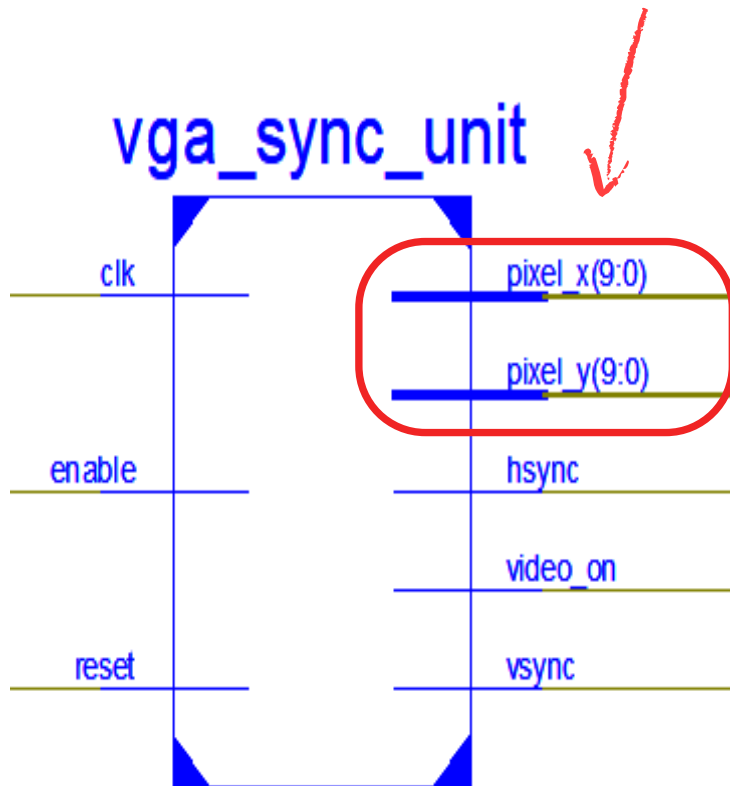


VGA_sync_unit



- Control de las señales de sincronismo *hsync* y *vsync* según regiones de la pantalla
- Contadores binarios ascendentes para las coordenadas de cada pixel.

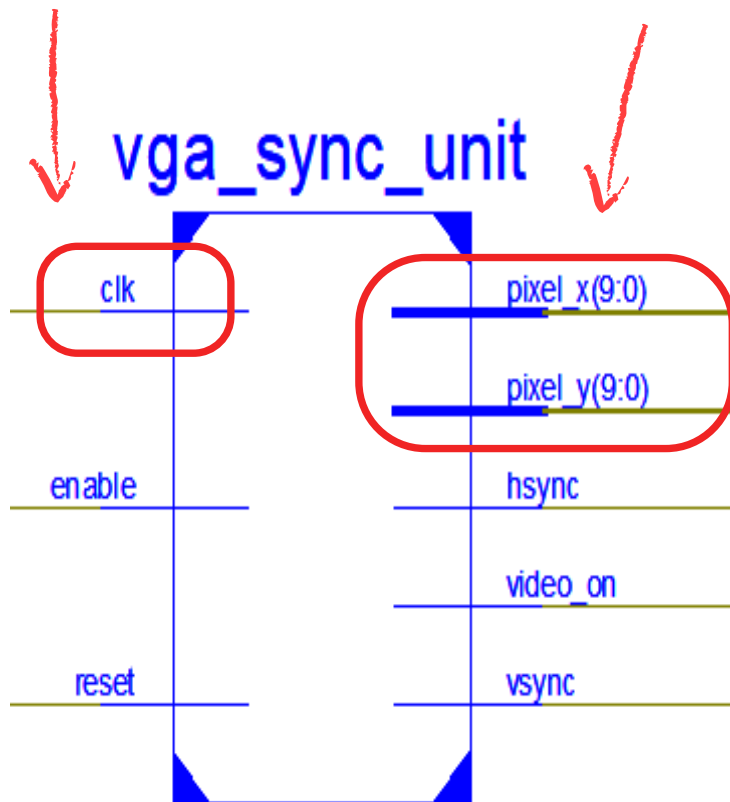
VGA_sync_unit



- Control de las señales de sincronismo *hsync* y *vsync* según regiones de la pantalla
- Contadores binarios ascendentes para las coordenadas de cada pixel.

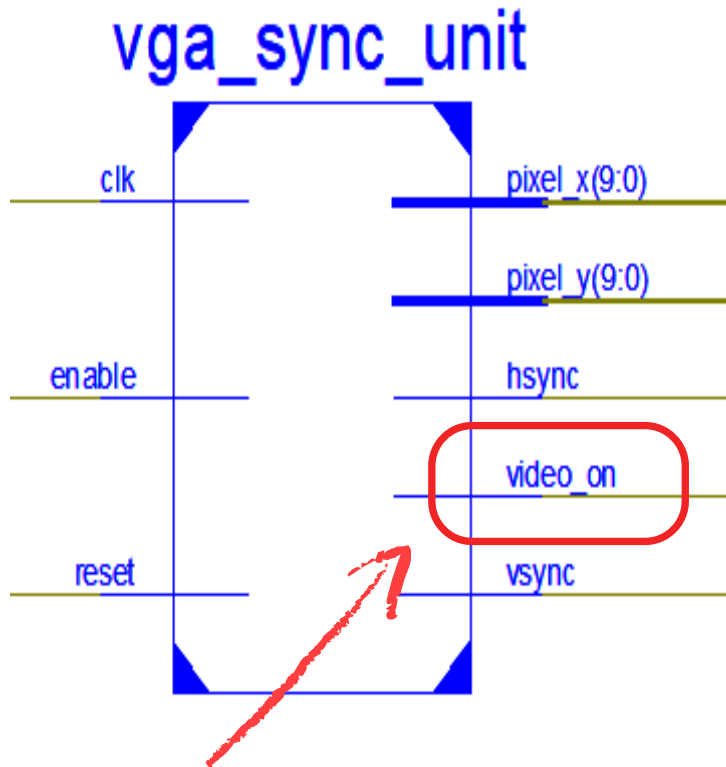
**Base 800 y 525
respectivamente**

VGA_sync_unit



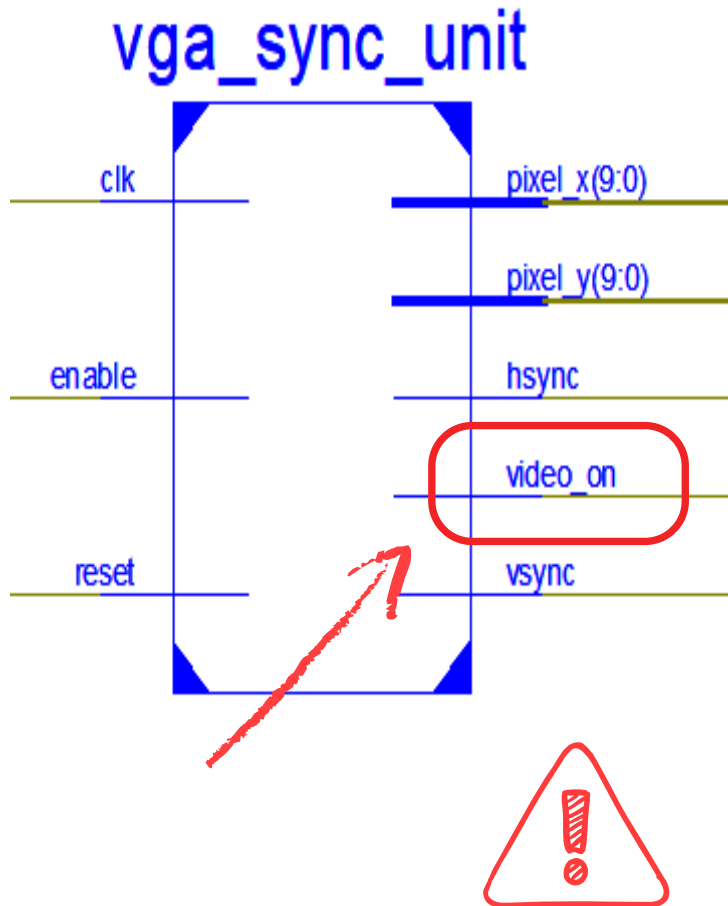
- Control de las señales de sincronismo *hsync* y *vsync* según regiones de la pantalla
- Contadores binarios ascendentes para las coordenadas de cada pixel.
- Divisor de frecuencia 50MHz /2 para los 25MHz de frecuencia de pixel (*pixel_tick*)

VGA_sync_unit



- Control de las señales de sincronismo *hsync* y *vsync* según regiones de la pantalla
- Contadores binarios ascendentes para las coordenadas de cada pixel.
- Divisor de frecuencia 50MHz /2 para los 25MHz de frecuencia de pixel (*pixel_tick*)
- Salida para indicar cuando se encuentra en una zona no visualizable en pantalla

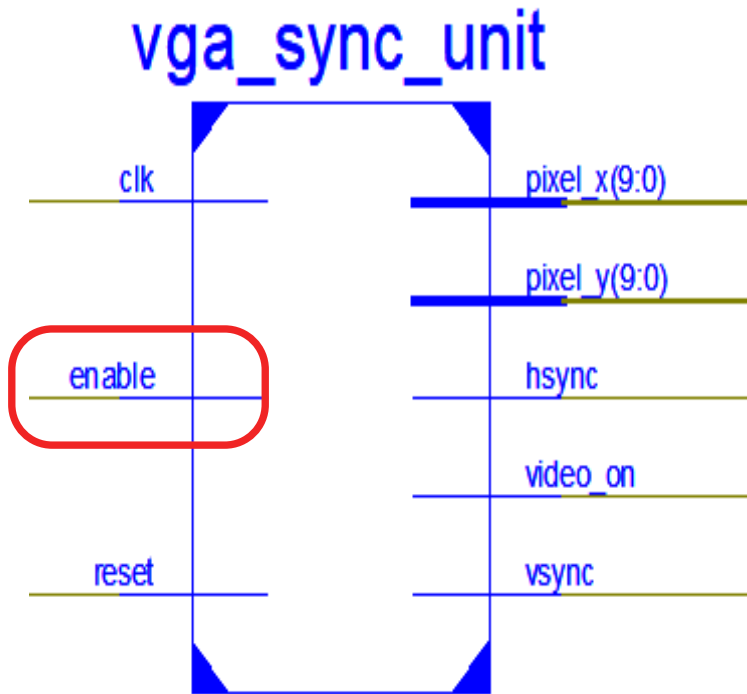
VGA_sync_unit



- Control de las señales de sincronismo *hsync* y *vsync* según regiones de la pantalla
- Contadores binarios ascendentes para las coordenadas de cada pixel.
- Divisor de frecuencia 50MHz /2 para los 25MHz de frecuencia de pixel (*pixel_tick*)
- Salida para indicar cuando se encuentra en una zona no visualizable en pantalla

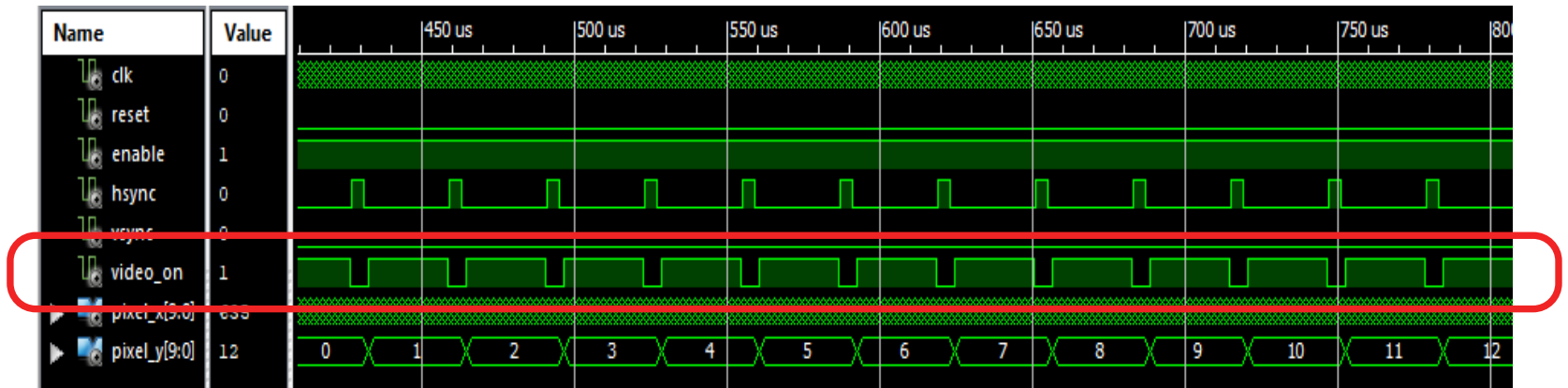
**IMPORTANTE PARA LOS DEMÁS
MÓDULOS QUE SI VISUALIZAN VIDEO**

VGA_sync_unit



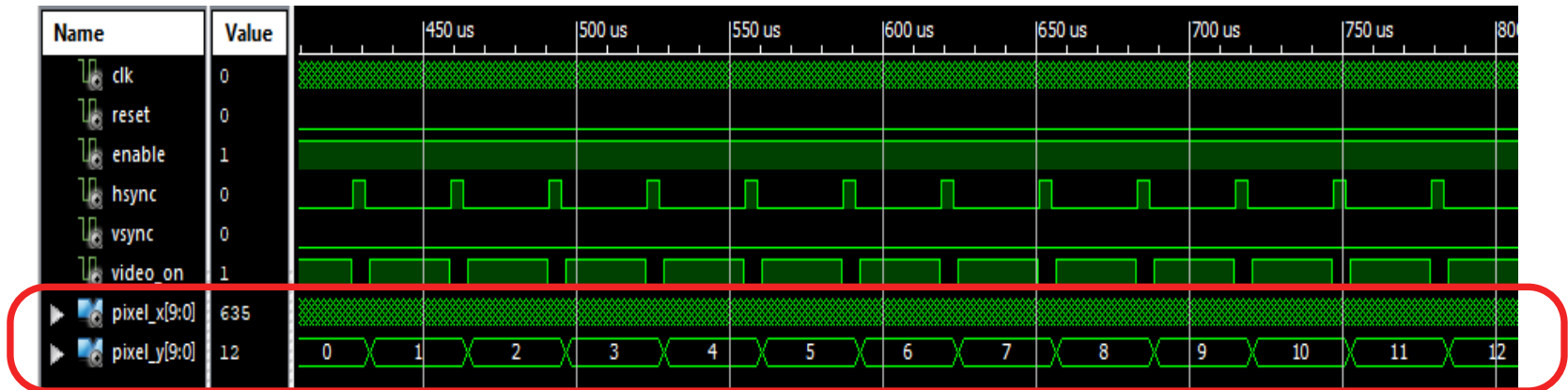
- Control de las señales de sincronismo *hsync* y *vsync* según regiones de la pantalla
- Contadores binarios ascendentes para las coordenadas de cada pixel.
- Divisor de frecuencia 50MHz /2 para los 25MHz de frecuencia de pixel (*pixel_tick*)
- Salida para indicar cuando se encuentra en una zona no visualizable en pantalla
- Entrada de habilitación global

VGA_sync_unit



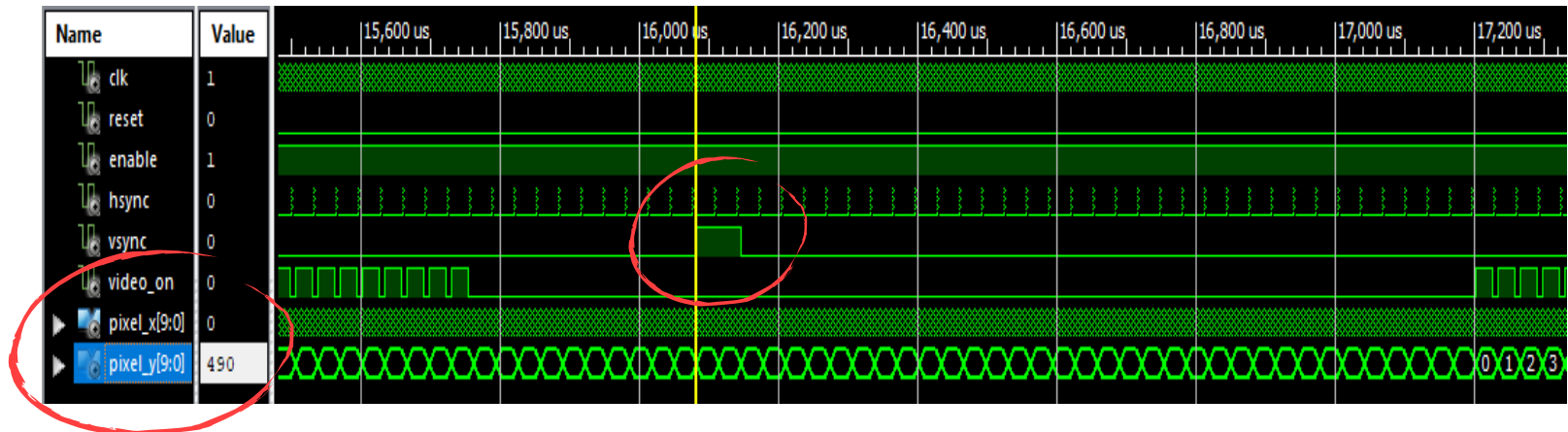
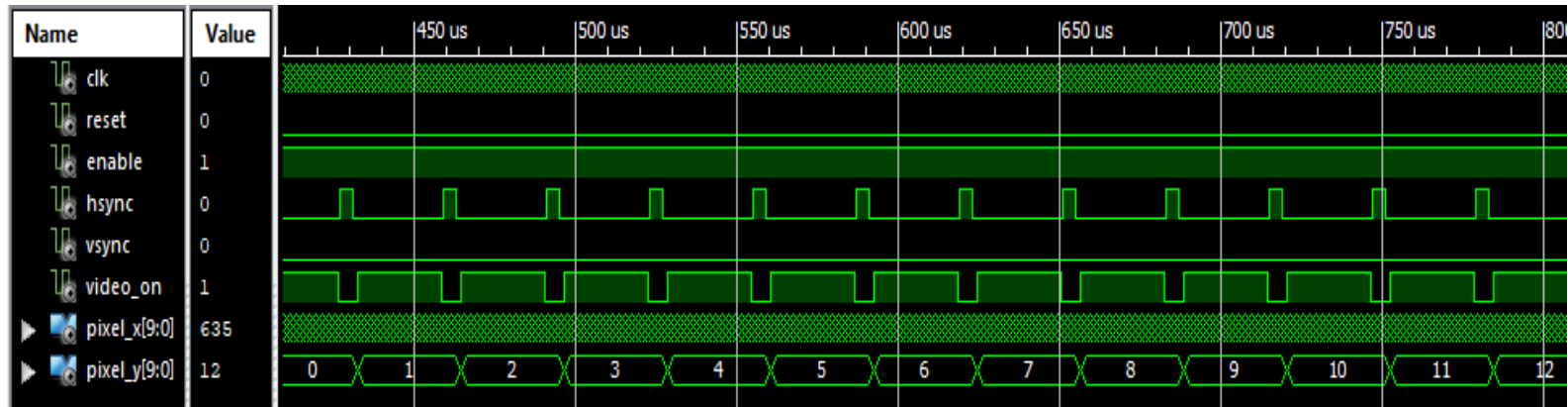
➤ Video_on activo en 1 solo en la zona visualizable de pantalla

VGA_sync_unit



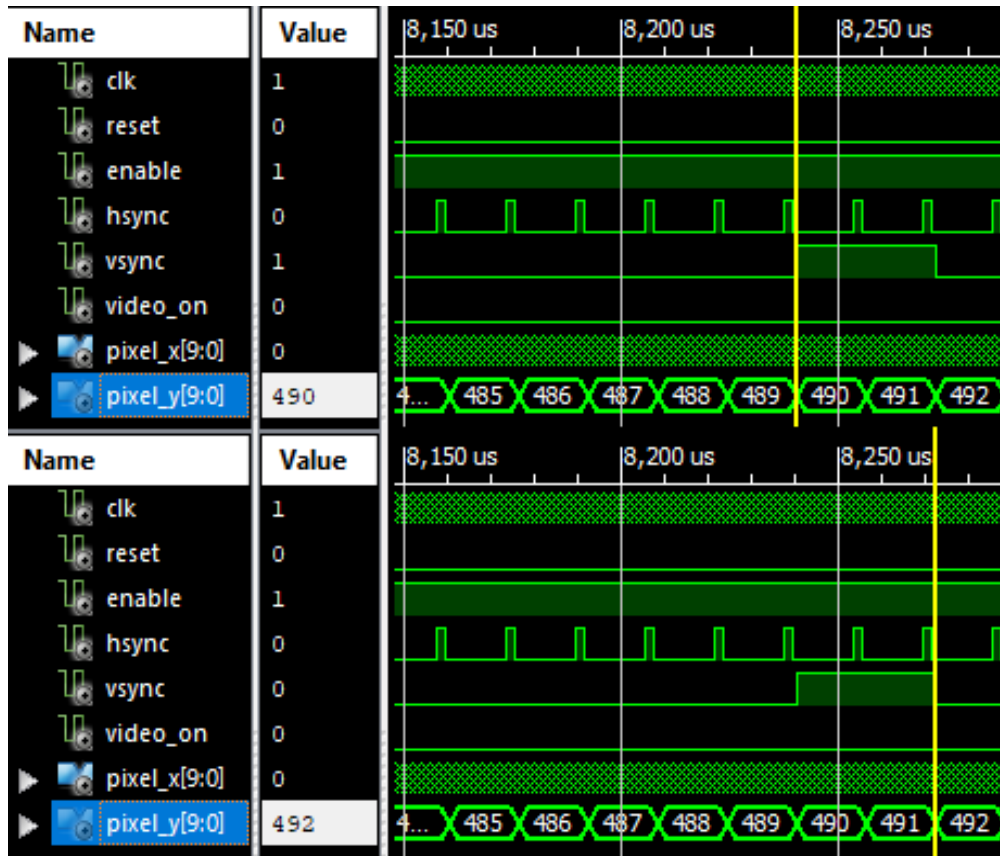
- Video_on activo en 1 solo en la zona visualizable de pantalla
- Por cada conteo vertical existen 800 conteos horizontales

VGA_sync_unit



v_sync se desactiva solo en zona de retrazo 480 + FP

VGA_sync_unit

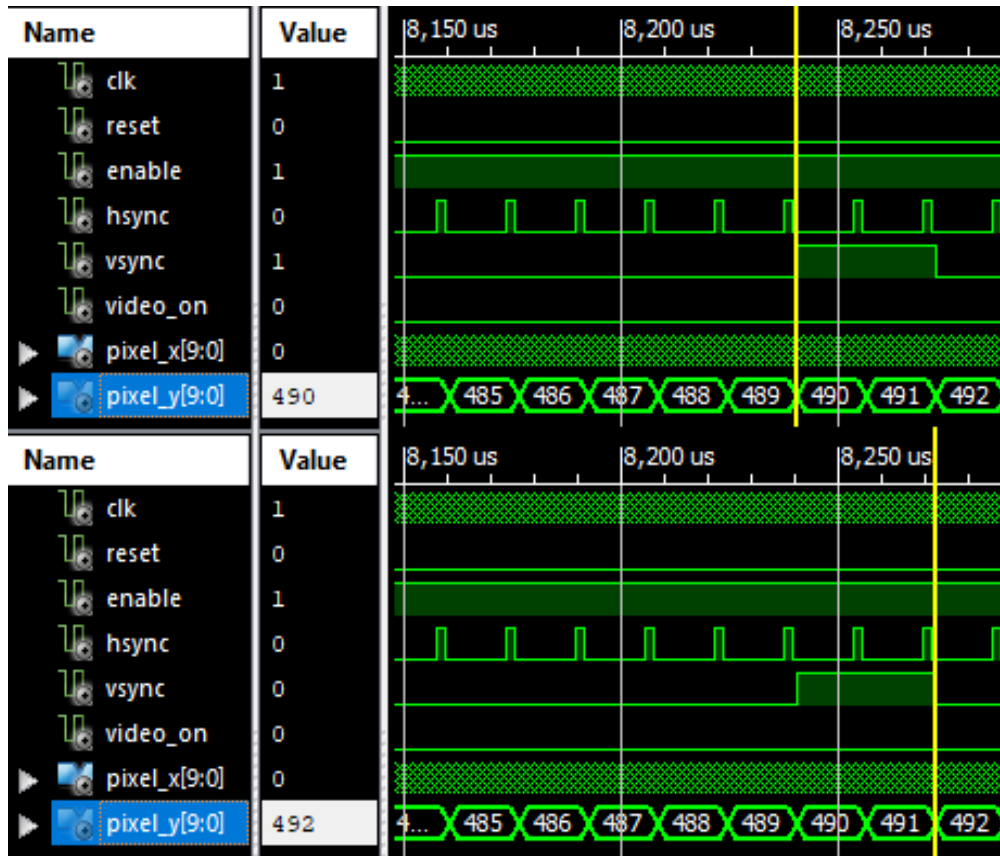


duración de 2 líneas

2 líneas, 2 pulsos de
hsync

video_on desactivado
desde la línea 480

VGA_sync_unit

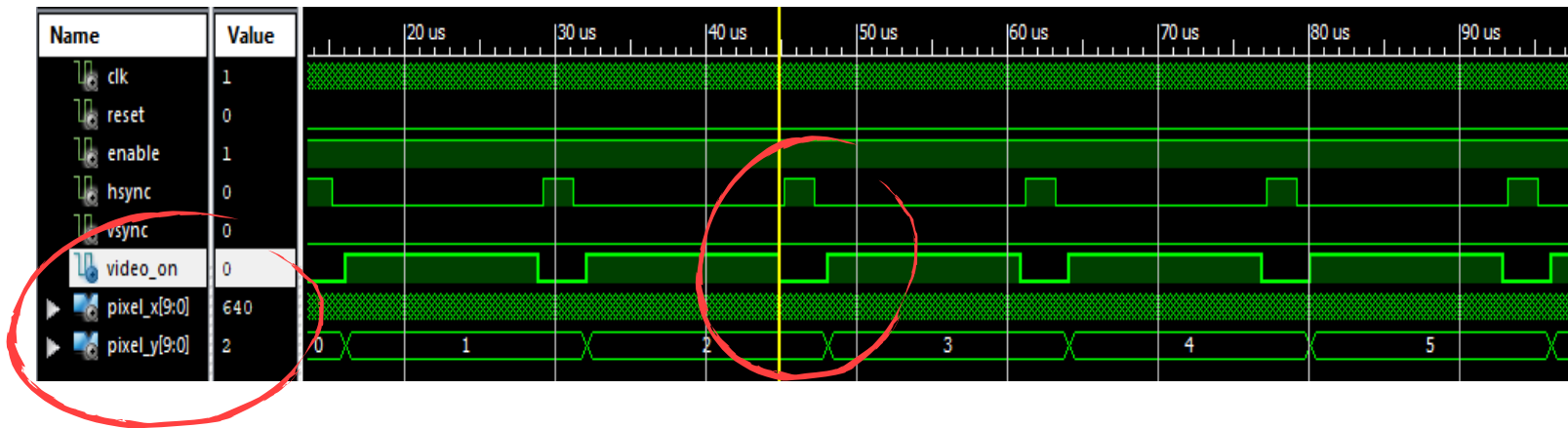


duración de 2 líneas

2 líneas, 2 pulsos de *hsync*

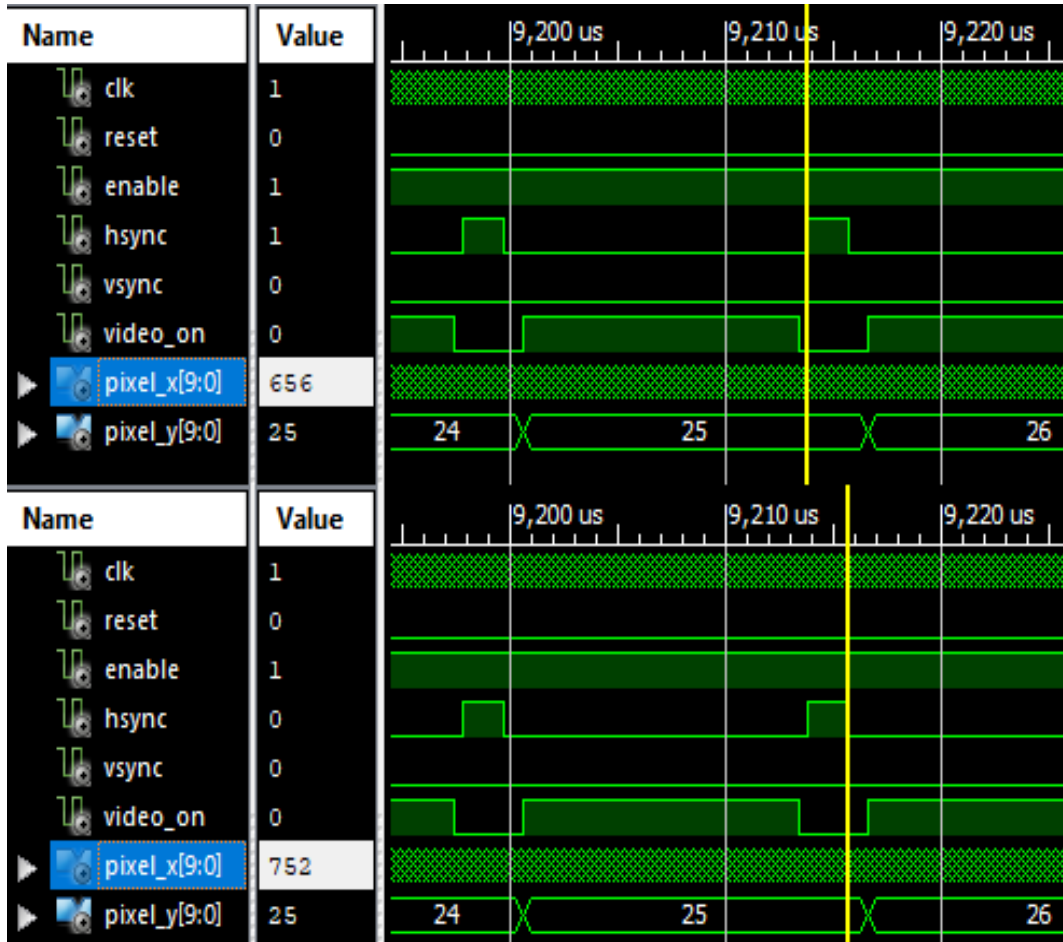
video_on desactivado desde la línea 480

VGA_sync_unit



➤ Video_on activo hasta el píxel 639, *h_sync* todavía activada

VGA_sync_unit

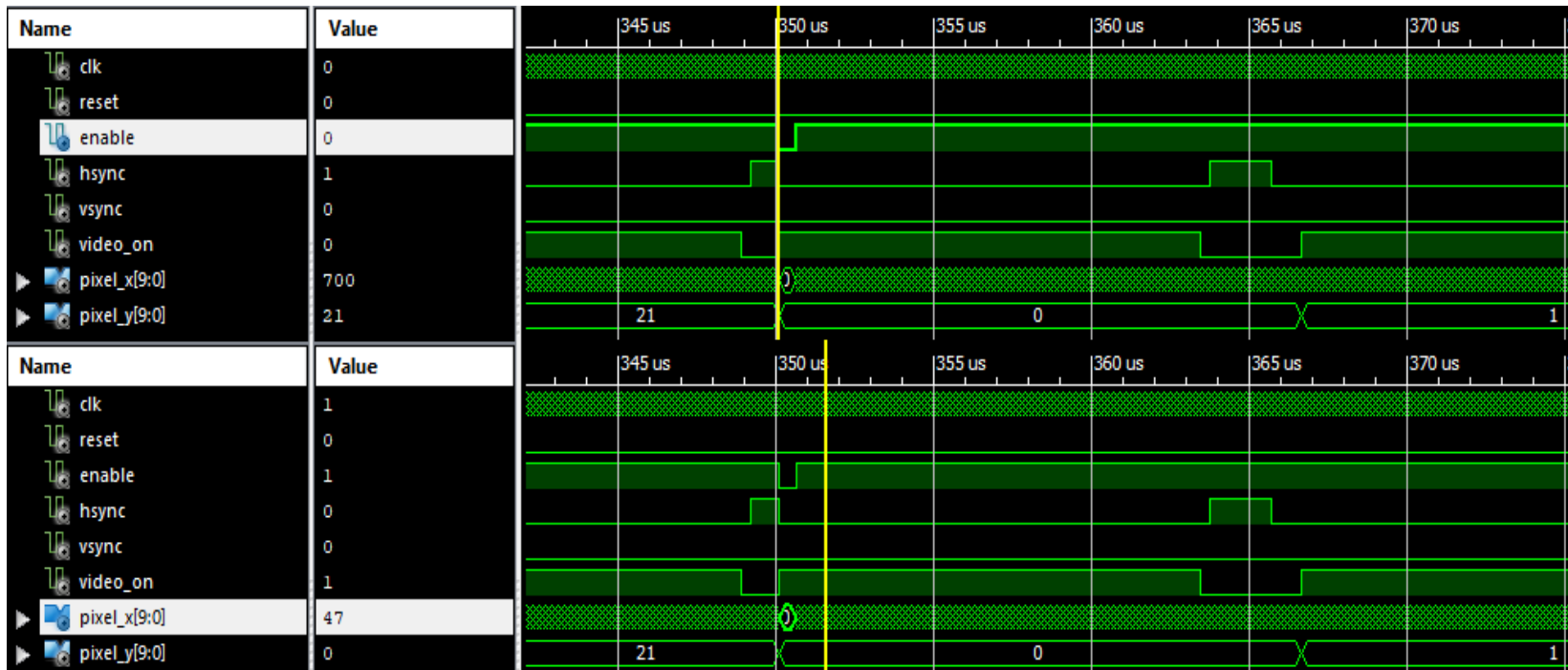


duración de 96
píxeles (RT)

video_on desactivado
desde el píxel 639

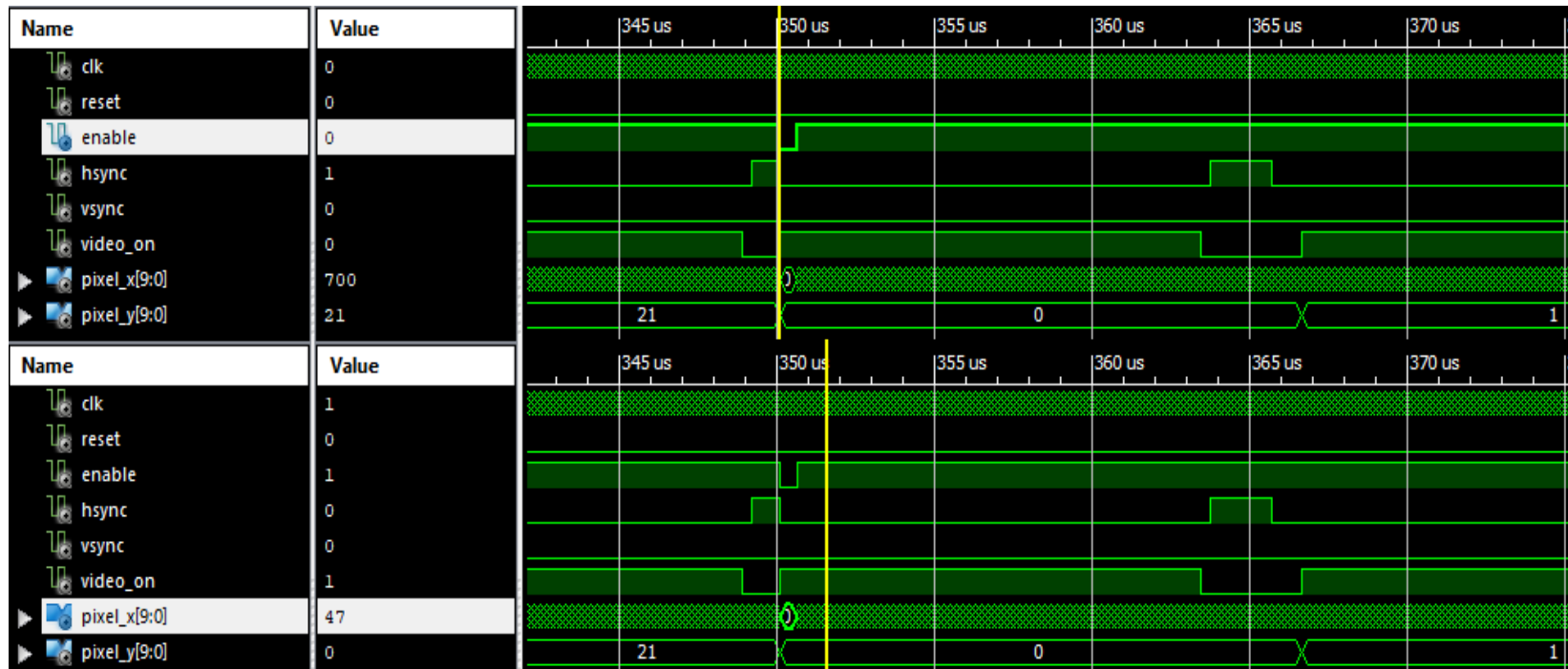
VGA_sync_unit

El efecto de *enable*...



VGA_sync_unit

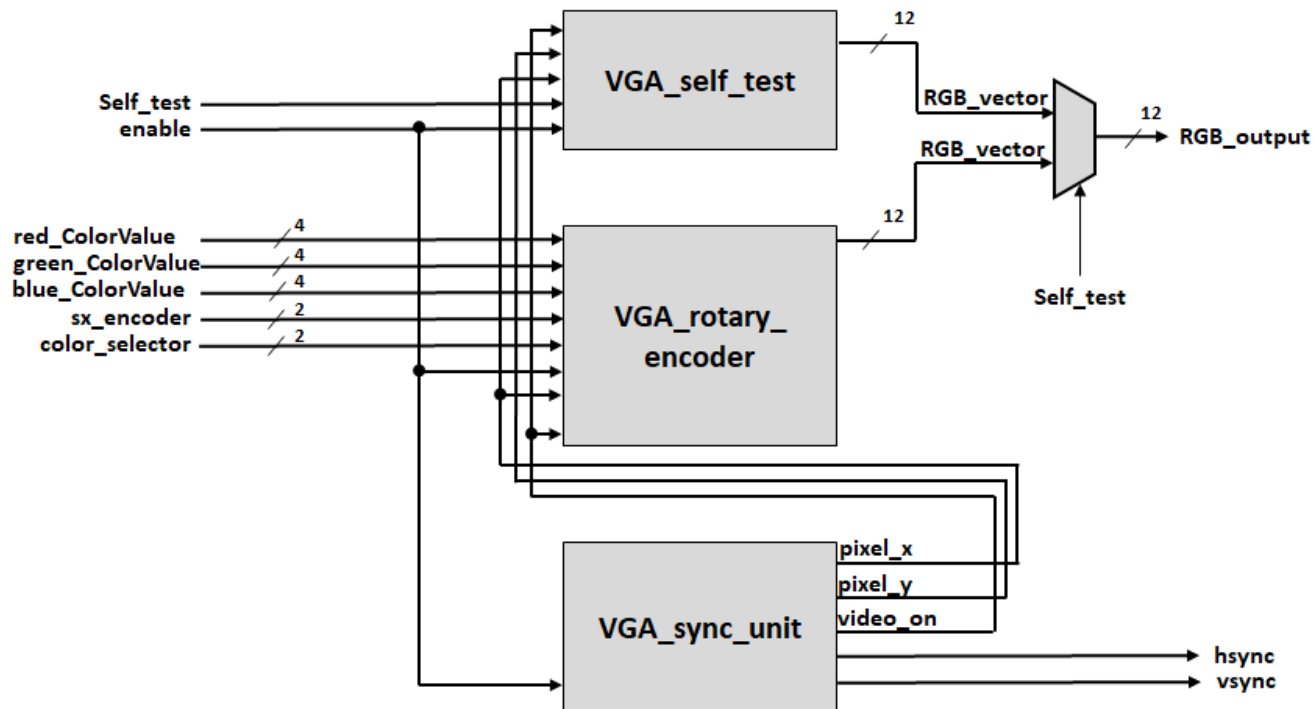
El efecto de *enable*...



➤ Desactiva conteo y restaura todas las salidas a sus valores iniciales

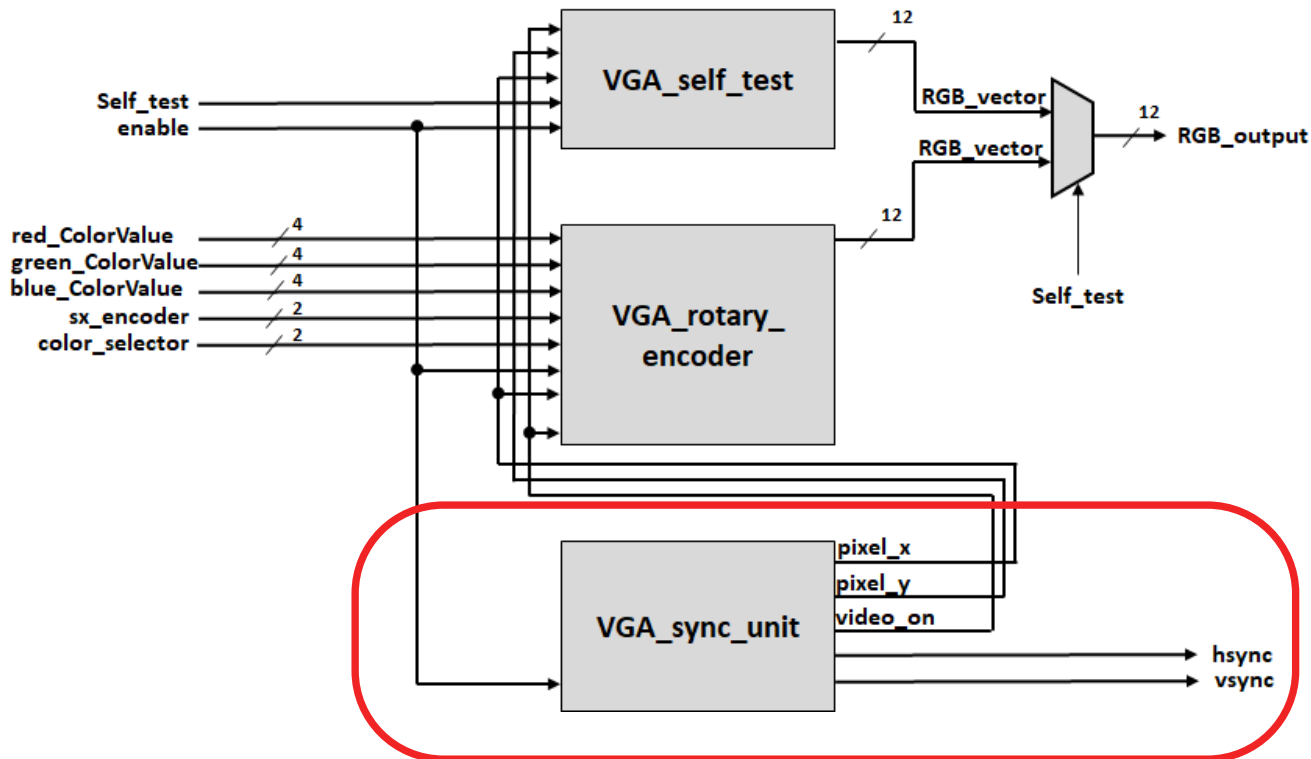
Módulo IP VGA desarrollado

DIAGRAMA DE BLOQUES SIMPLIFICADO



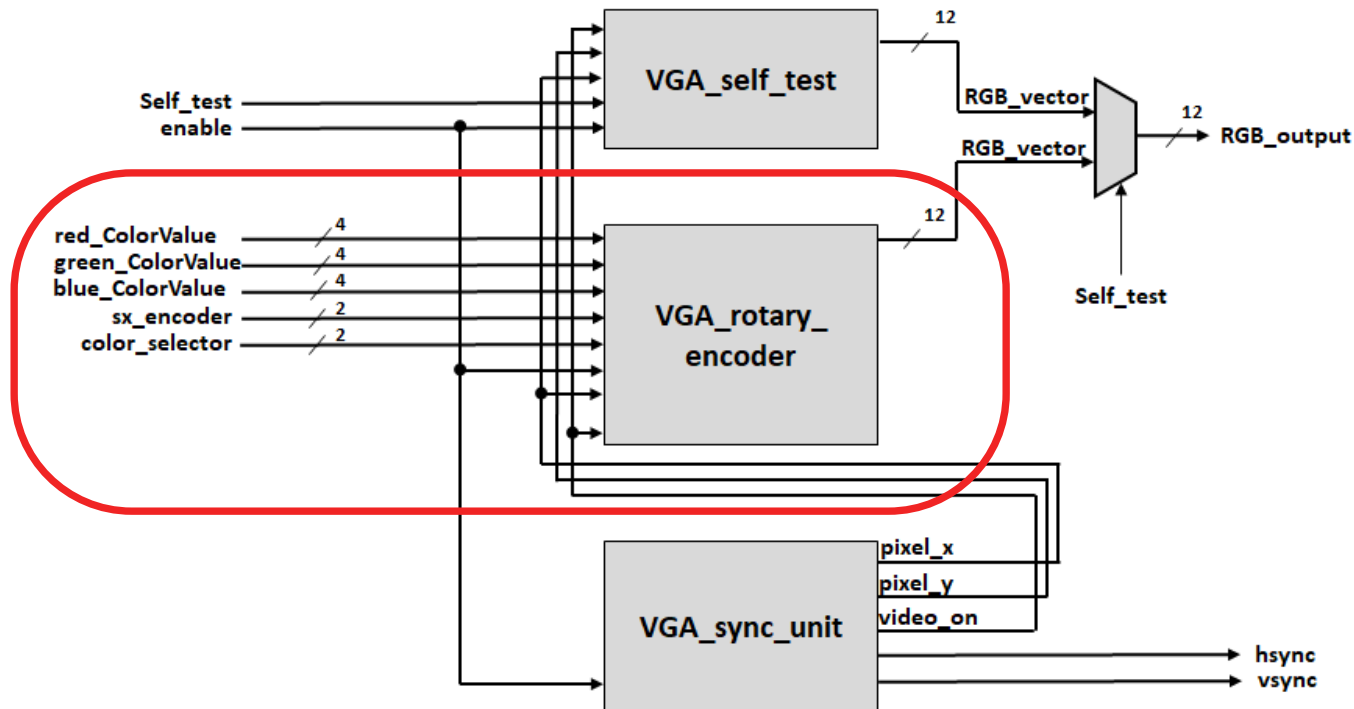
Módulo IP VGA desarrollado

NUCLEO DEL CONTROLADOR



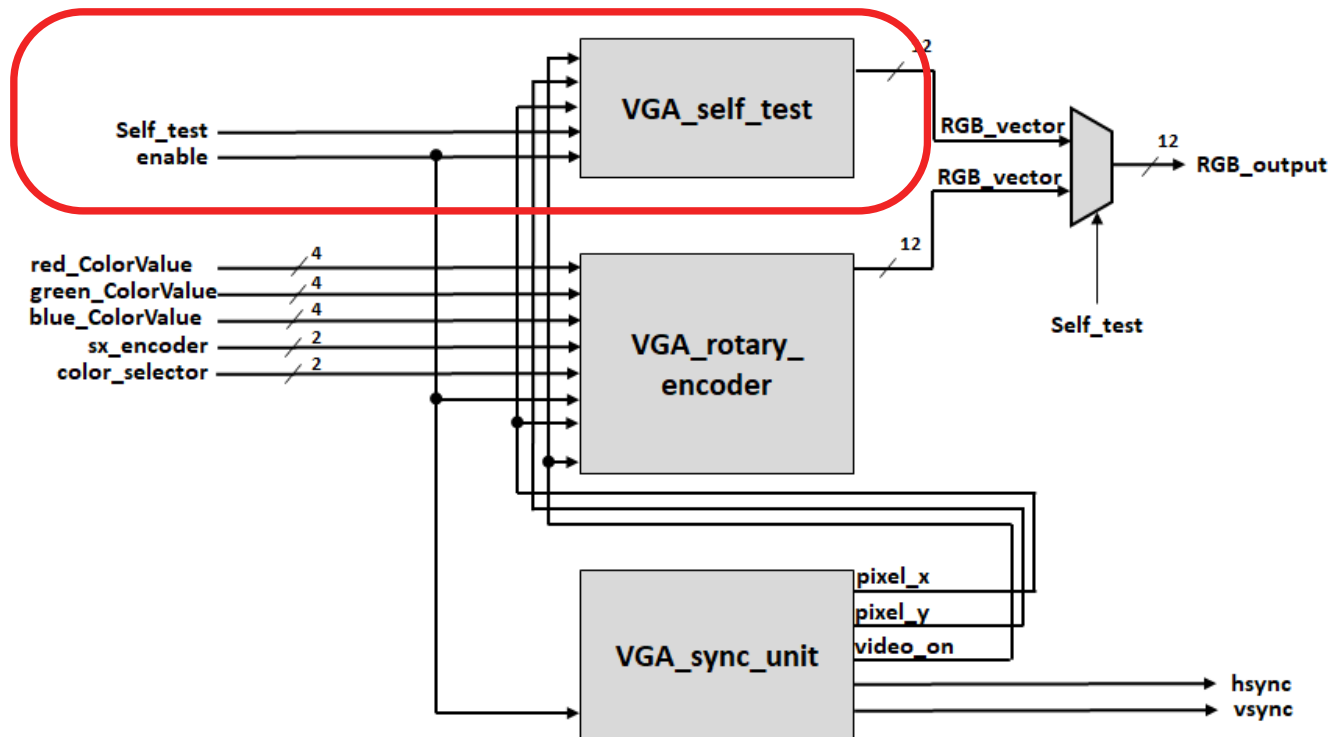
Módulo IP VGA desarrollado

BLOQUE MANUAL



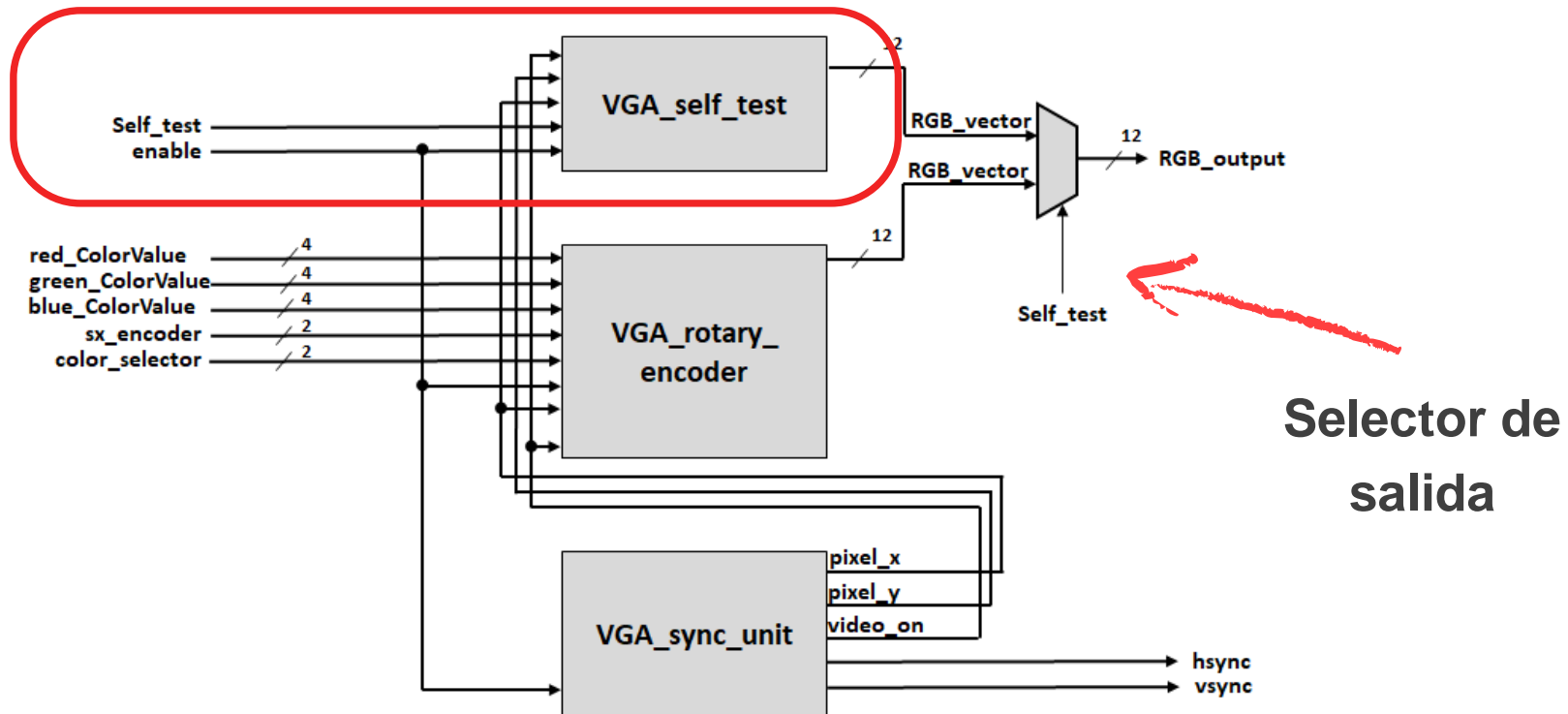
Módulo IP VGA desarrollado

BLOQUE AUTOMÁTICO



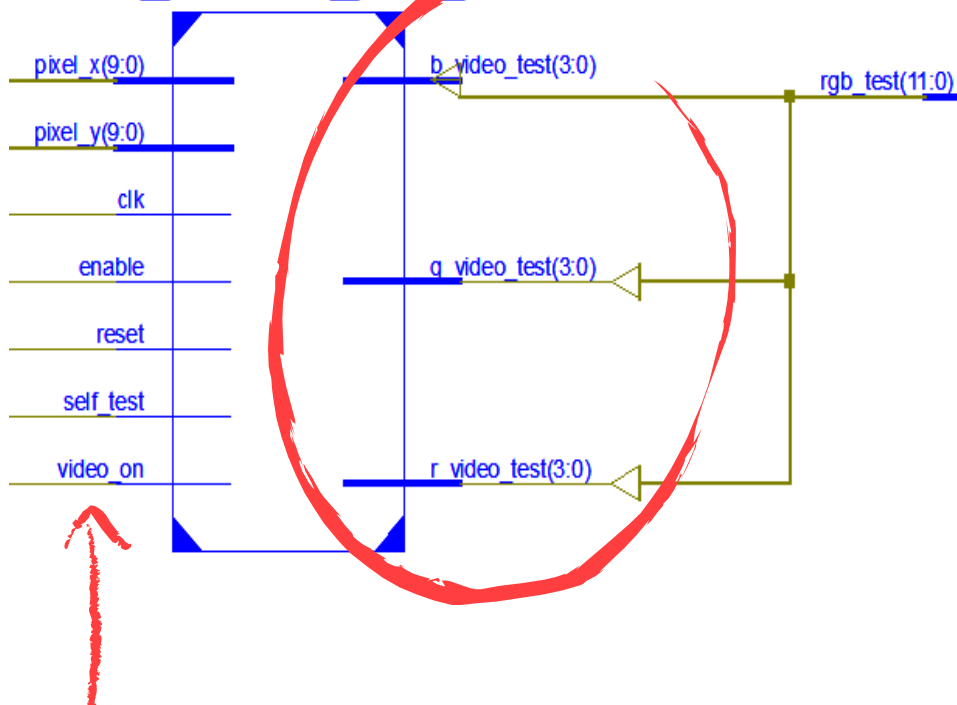
Módulo IP VGA desarrollado

BLOQUE AUTOMÁTICO



VGA_self_test

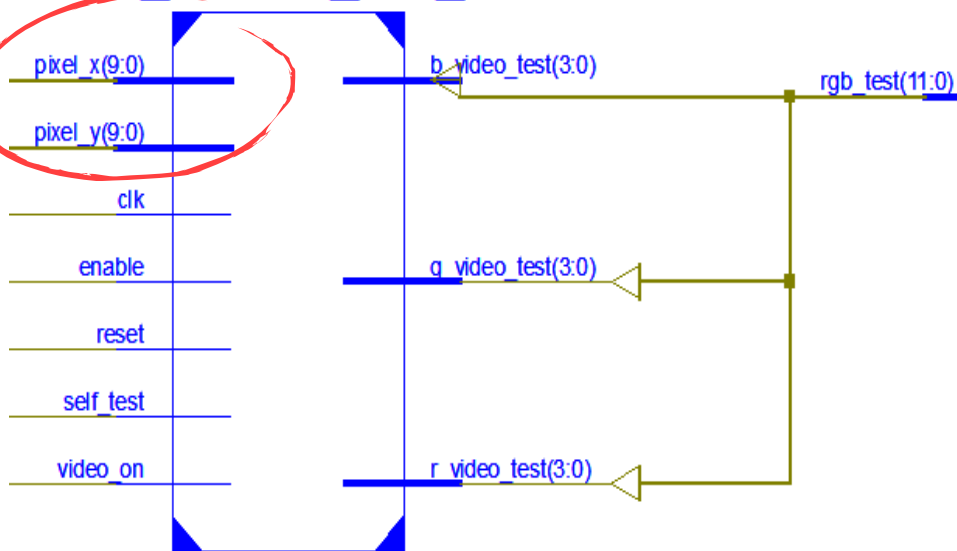
VGA_module_self_test



➤ Envía Código de colores según estado activo de la pantalla

VGA_self_test

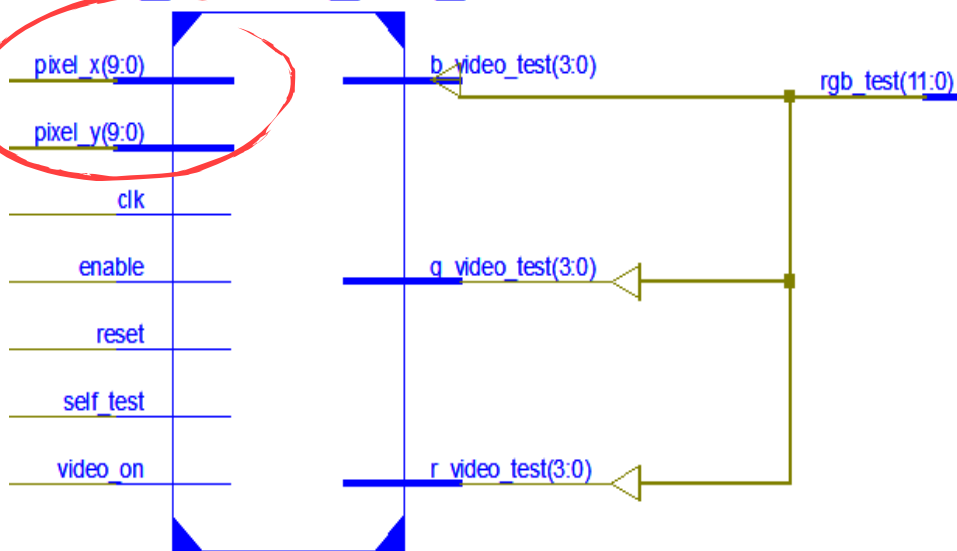
VGA module_self_test



- Envía Código de colores según estado activo de la pantalla
- Comparadores para establecer color según posición en pantalla

VGA_self_test

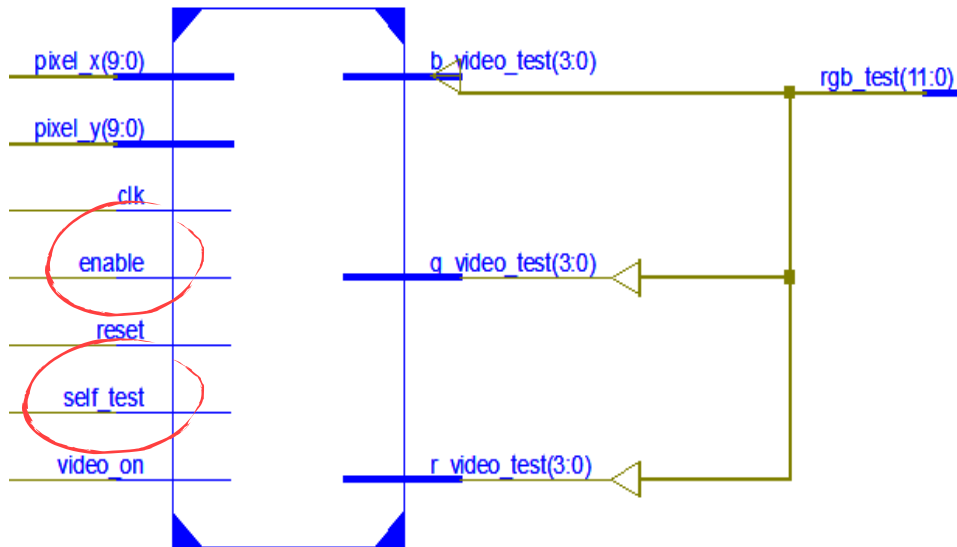
VGA module_self_test



- Envía Código de colores según estado activo de la pantalla
- Comparadores para establecer color según posición en pantalla
- Contador interno para alternar patrón de color cada 1s

VGA_self_test

VGA_module_self_test

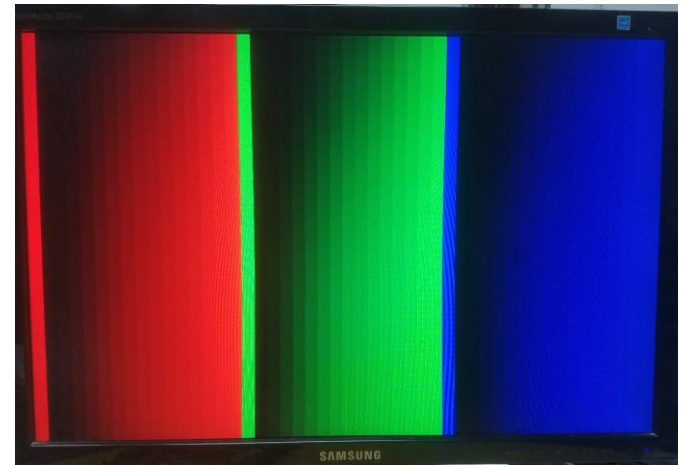
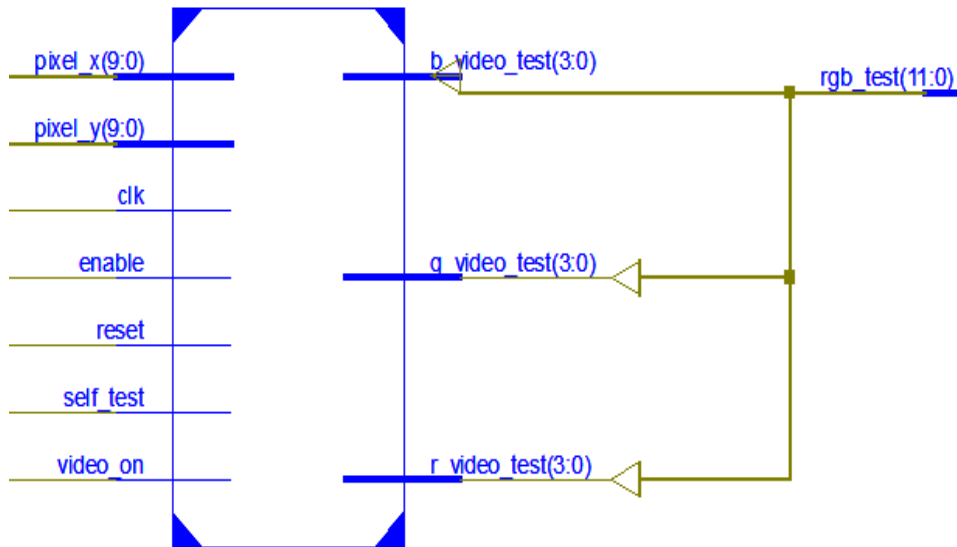


- Envía Código de colores según estado activo de la pantalla
- Comparadores para establecer color según posición en pantalla
- Contador interno para alternar patrón de color cada 1s
- Entradas de habilitación global y de selección

VGA_self_test

Con pixel_x...

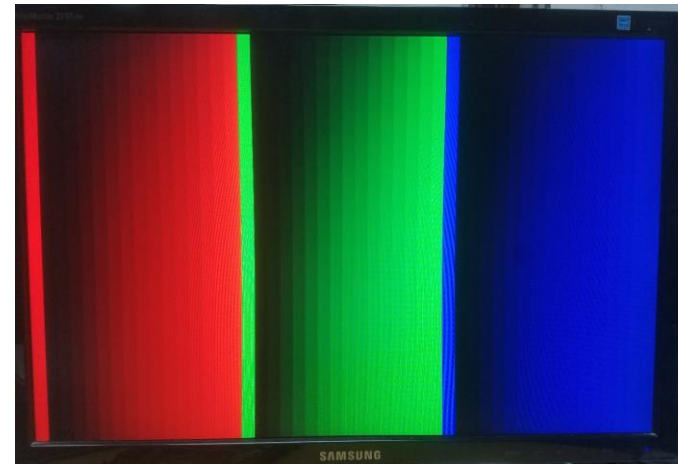
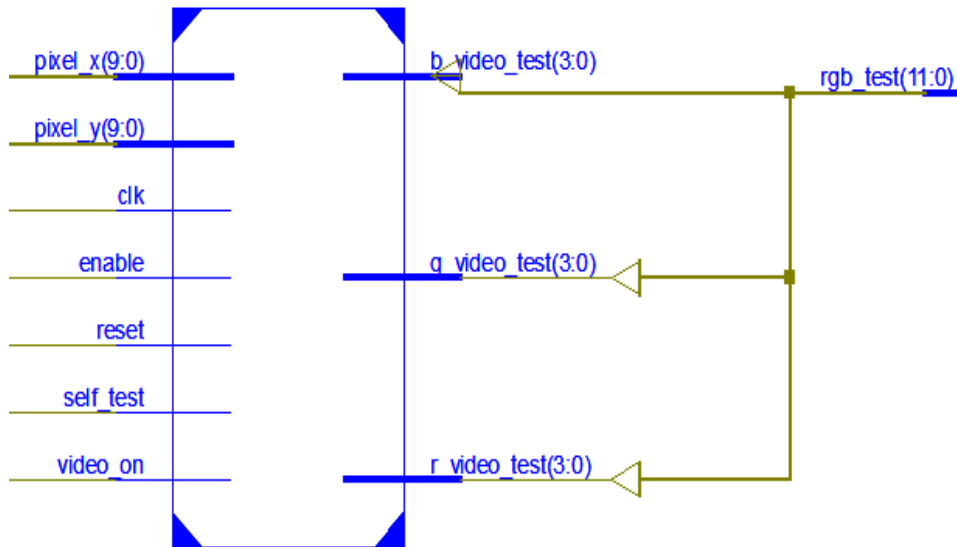
VGA_module_self_test



VGA_self_test

Con pixel_x...

VGA_module_self_test

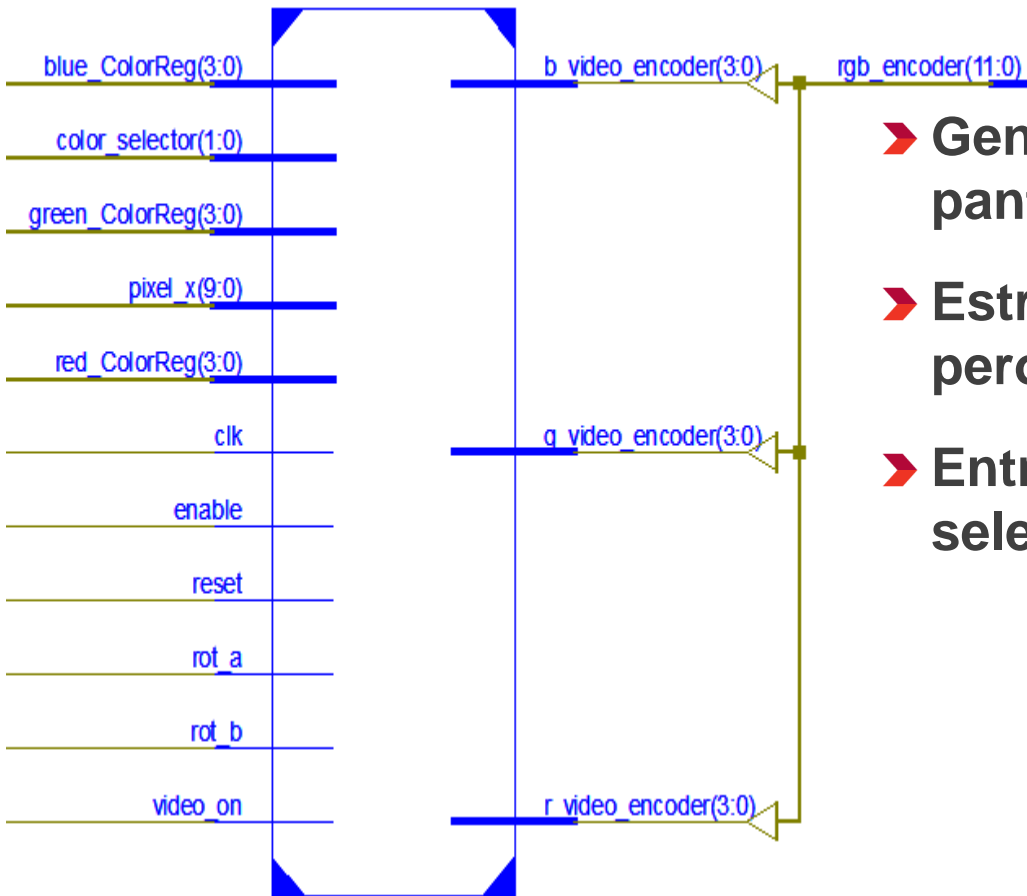


Con pixel_y...



VGA_rotary_encoder

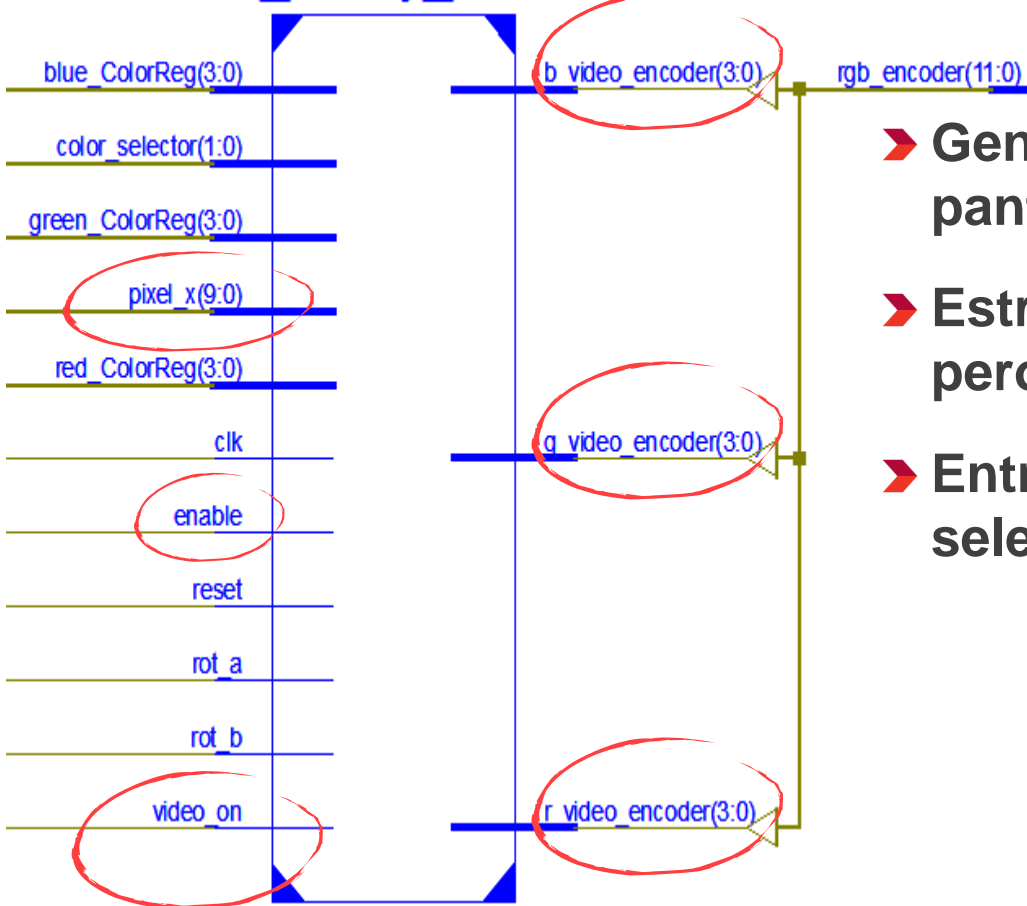
VGA_rotary_encoder



- Genera colores para 3 franjas en pantalla
- Estructura idéntica a la anterior, pero solo para tres regiones
- Entradas de habilitación global y de selección

VGA_rotary_encoder

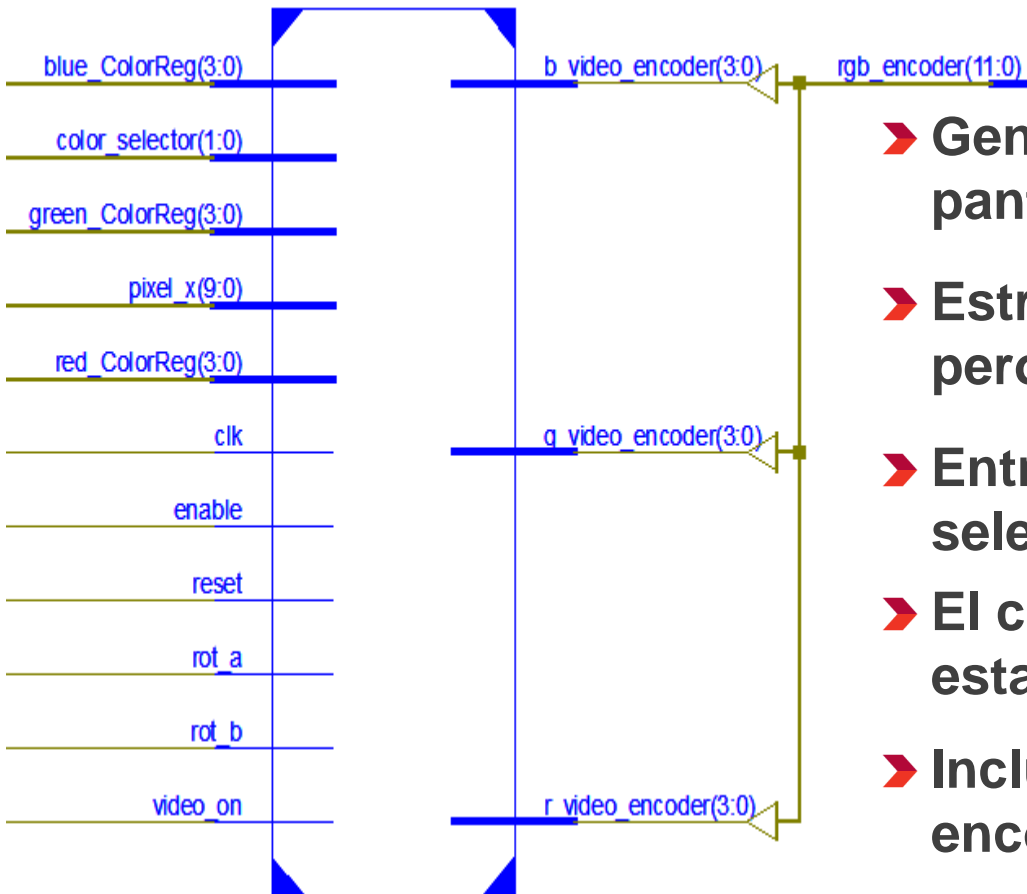
VGA_rotary_encoder



- Genera colores para 3 franjas en pantalla
- Estructura idéntica a la anterior, pero solo para tres regiones
- Entradas de habilitación global y de selección

VGA_rotary_encoder

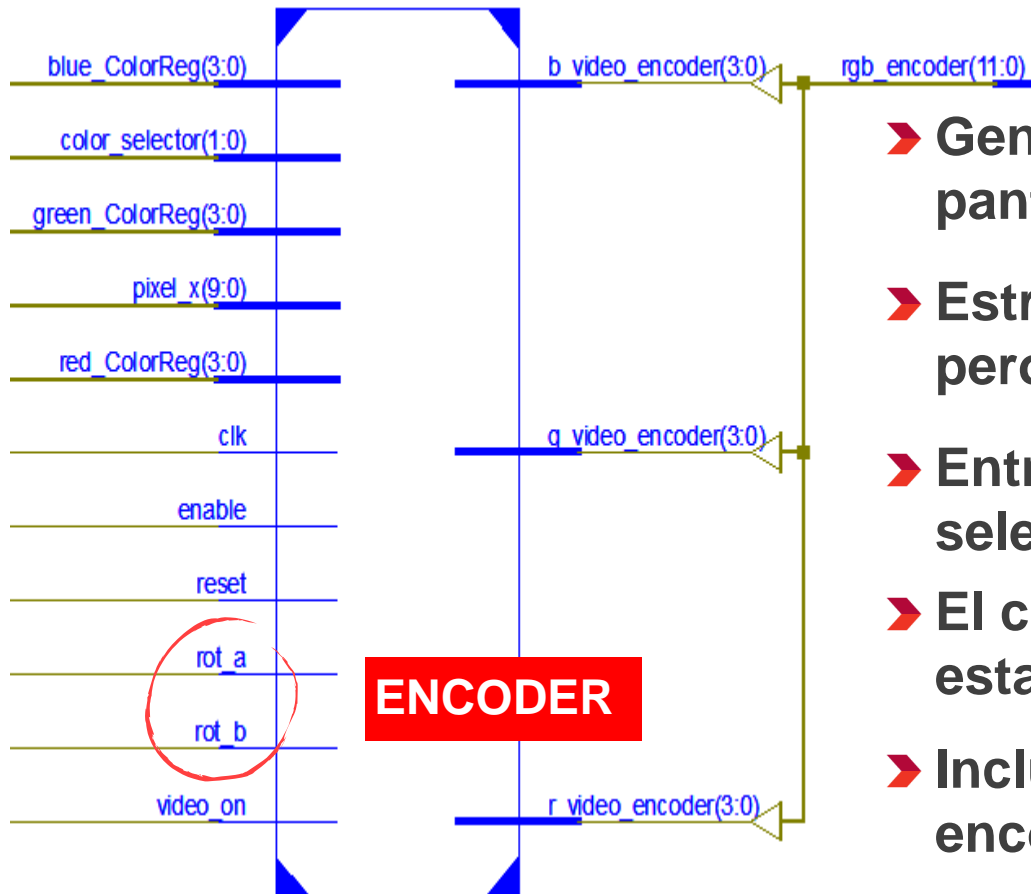
VGA_rotary_encoder



- Genera colores para 3 franjas en pantalla
- Estructura idéntica a la anterior, pero solo para tres regiones
- Entradas de habilitación global y de selección
- El color para cada región puede establecerse manualmente
- Incluye un subcircuito para manejar encoder rotatorio y carga de colores

VGA_rotary_encoder

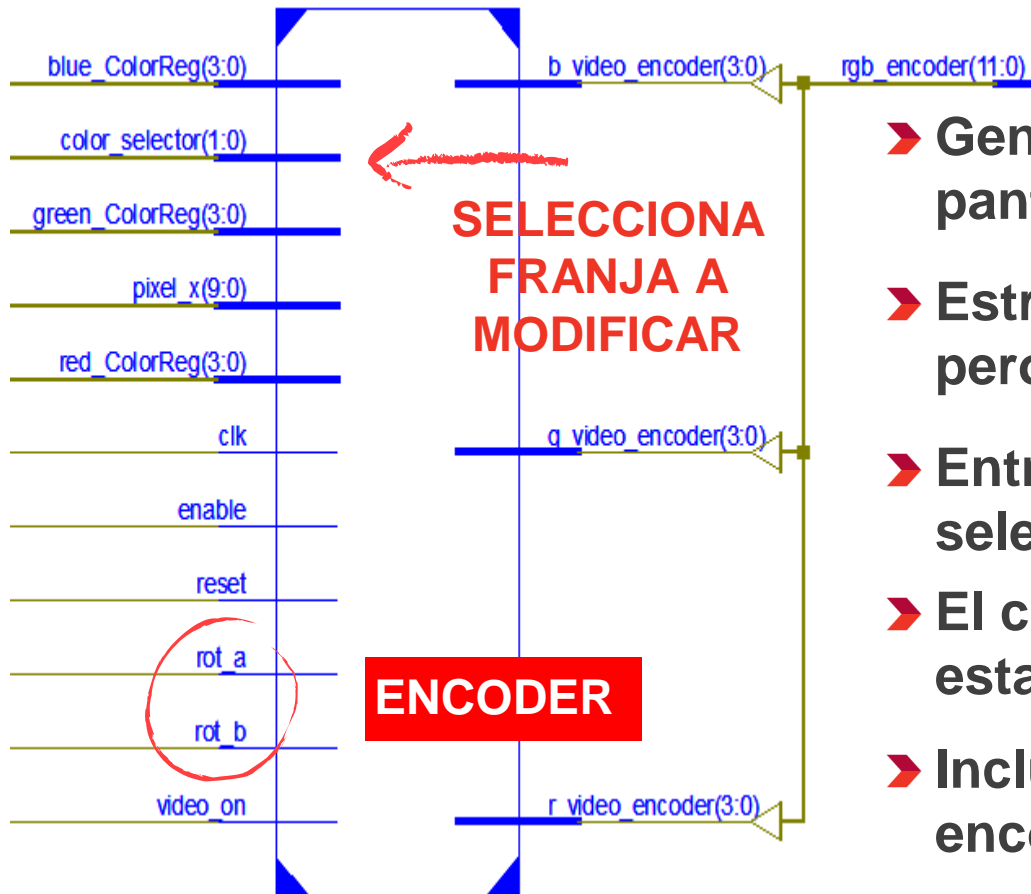
VGA_rotary_encoder



- Genera colores para 3 franjas en pantalla
- Estructura idéntica a la anterior, pero solo para tres regiones
- Entradas de habilitación global y de selección
- El color para cada región puede establecerse manualmente
- Incluye un subcircuito para manejar encoder rotatorio y carga de colores

VGA_rotary_encoder

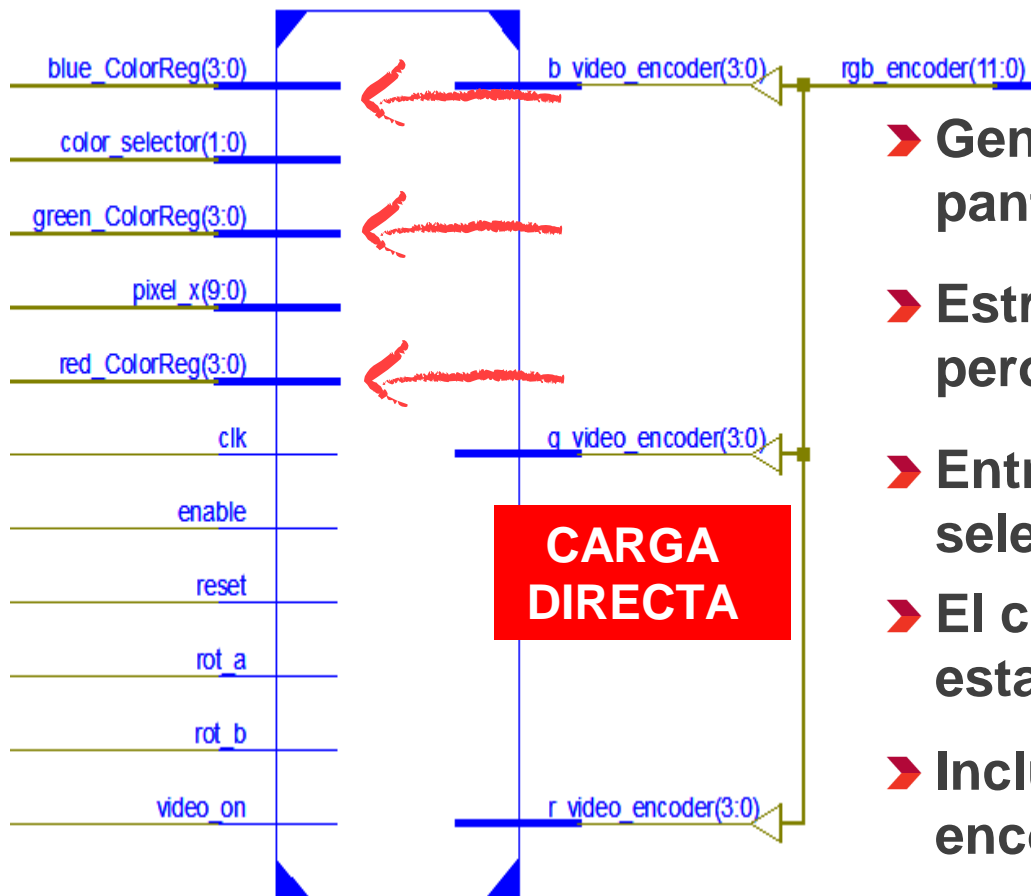
VGA_rotary_encoder



- Genera colores para 3 franjas en pantalla
- Estructura idéntica a la anterior, pero solo para tres regiones
- Entradas de habilitación global y de selección
- El color para cada región puede establecerse manualmente
- Incluye un subcircuito para manejar encoder rotatorio y carga de colores

VGA_rotary_encoder

VGA_rotary_encoder

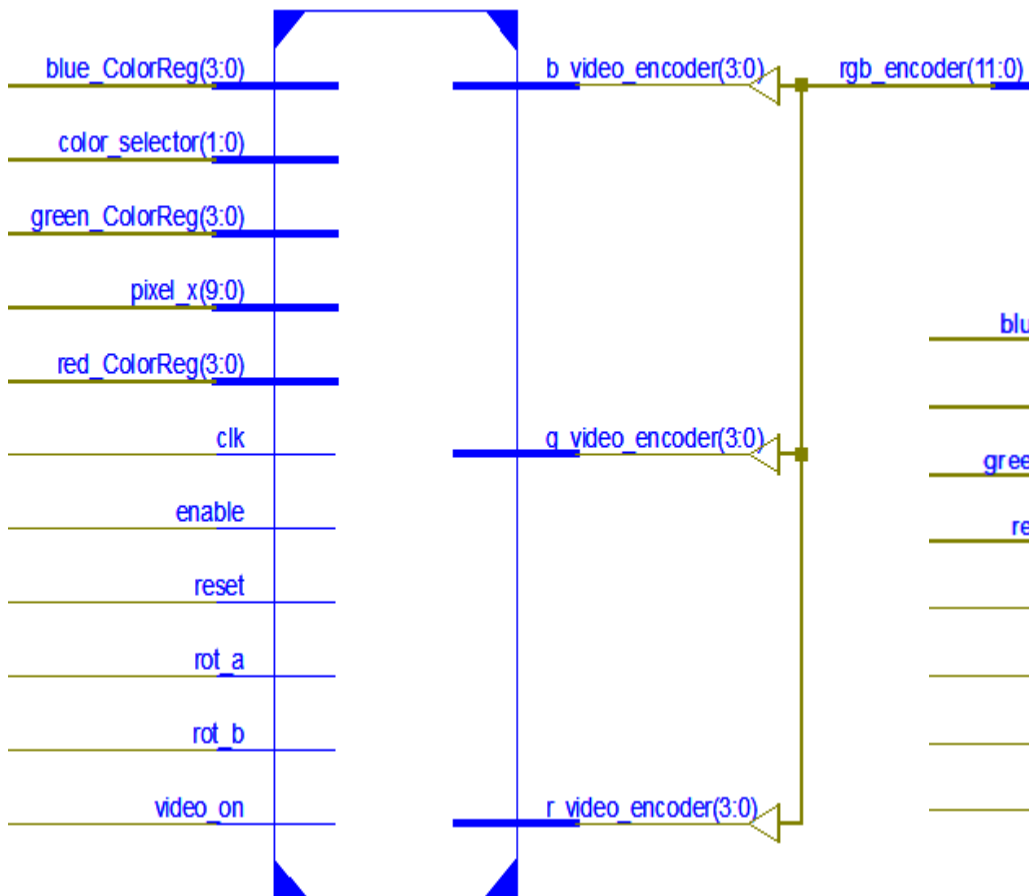


- Genera colores para 3 franjas en pantalla
- Estructura idéntica a la anterior, pero solo para tres regiones
- Entradas de habilitación global y de selección
- El color para cada región puede establecerse manualmente
- Incluye un subcircuito para manejar encoder rotatorio y carga de colores

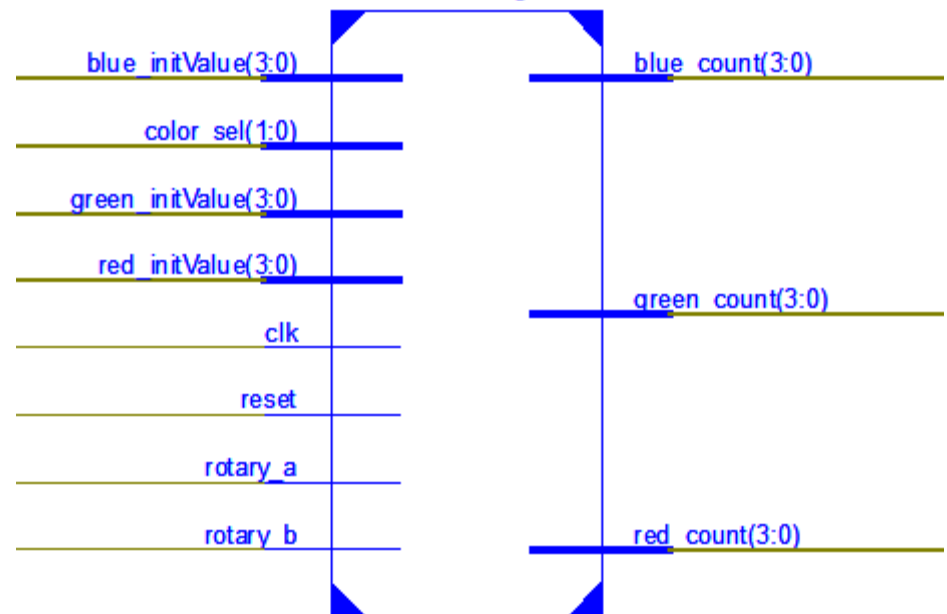
VGA_rotary_encoder

Asociación con bloque *rotary*

VGA_rotary_encoder



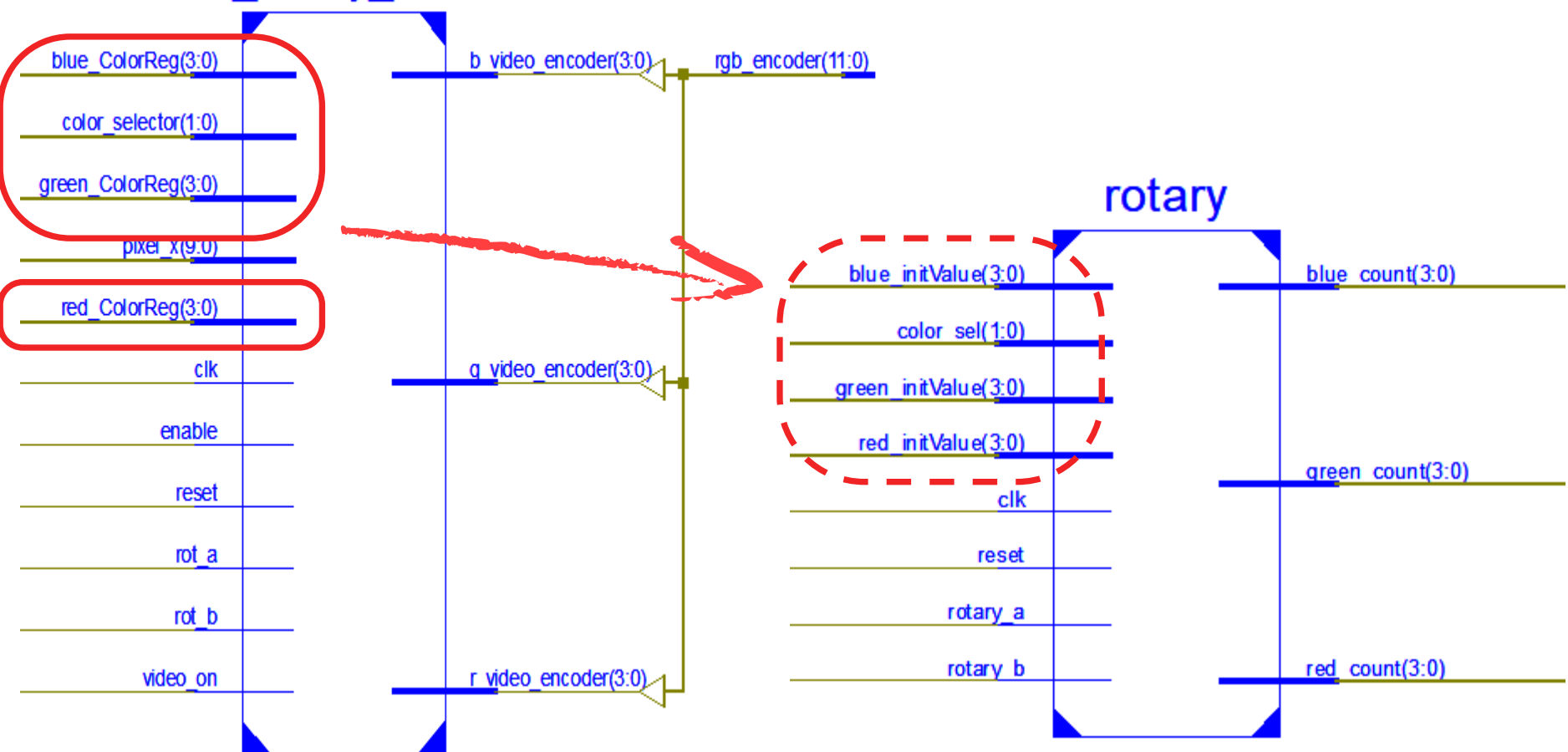
rotary



VGA_rotary_encoder

Asociación con bloque *rotary*

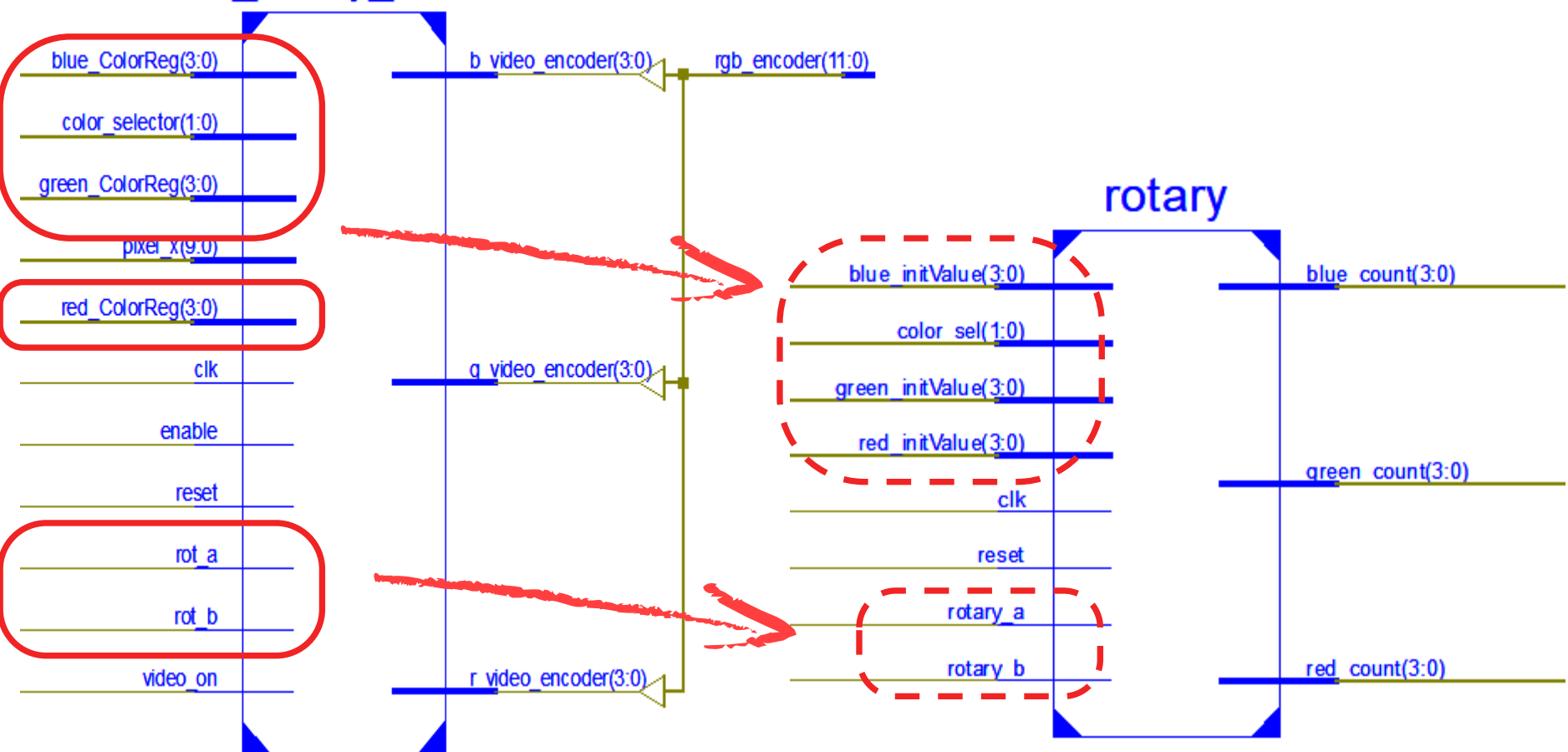
VGA_rotary_encoder



VGA_rotary_encoder

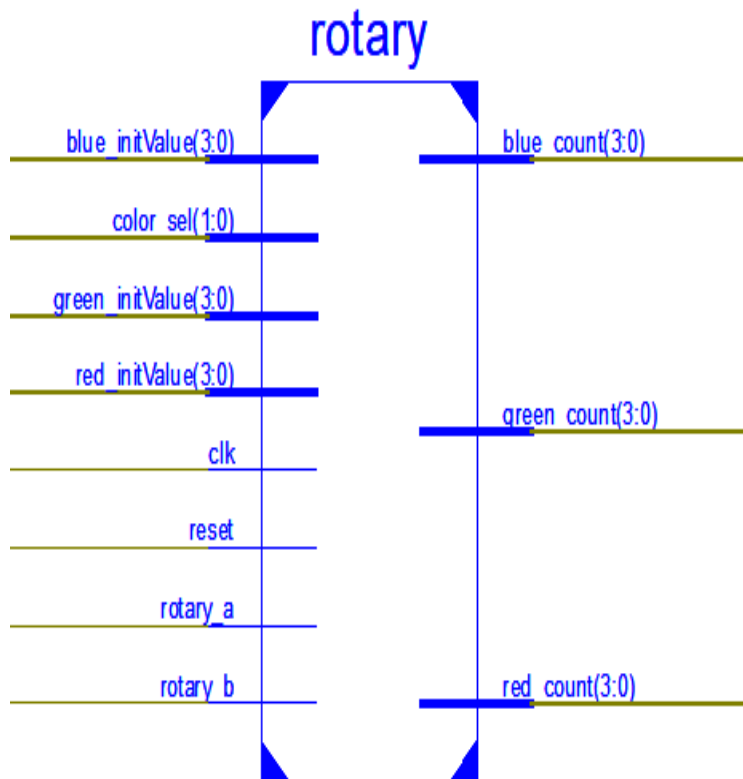
Asociación con bloque *rotary*

VGA_rotary_encoder



VGA_rotary_encoder

Bloque *rotary*

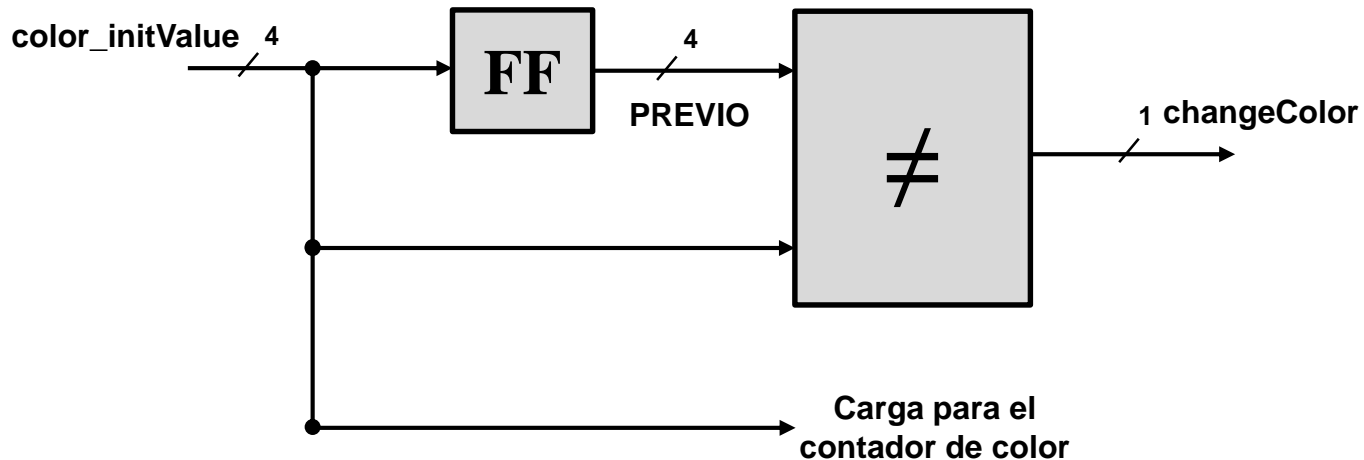


- Contadores *up/down* de 4bits con entradas de reset, habilitación, carga paralela y dirección de conteo sincrónicas
- Un contador para cada color. Selección mediante *color_sel[1:0]*
- Incluye circuito para el manejo del encoder rotatorio
- Incorpora circuito para detectar automáticamente cambios en la entrada paralela y cargar

VGA_rotary_encoder

Bloque *rotary*

Circuito de control de carga paralela



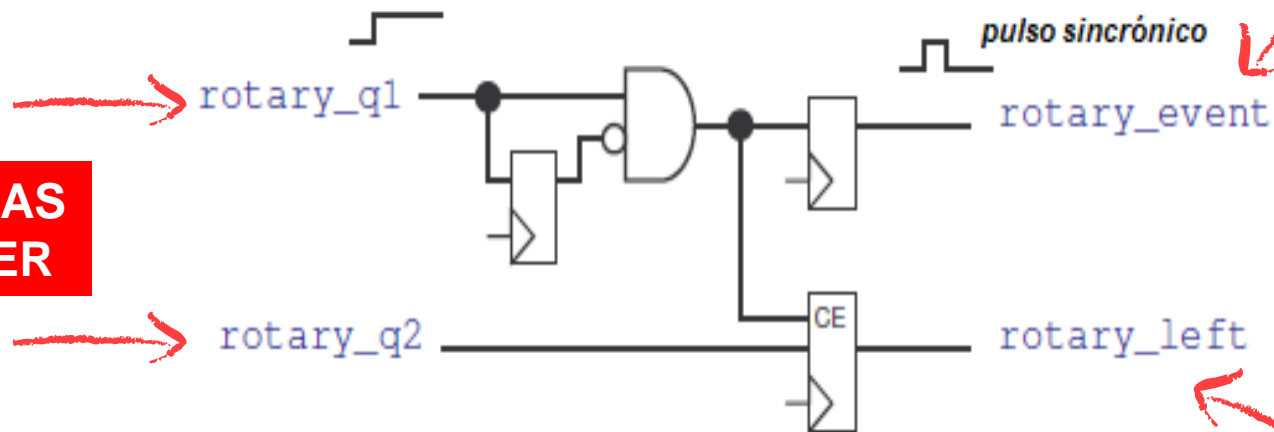
VGA_rotary_encoder

Bloque *rotary*

Circuito de control del encoder

Habilitación de contadores
(en AND con mux selector)

ENTRADAS
ENCODER

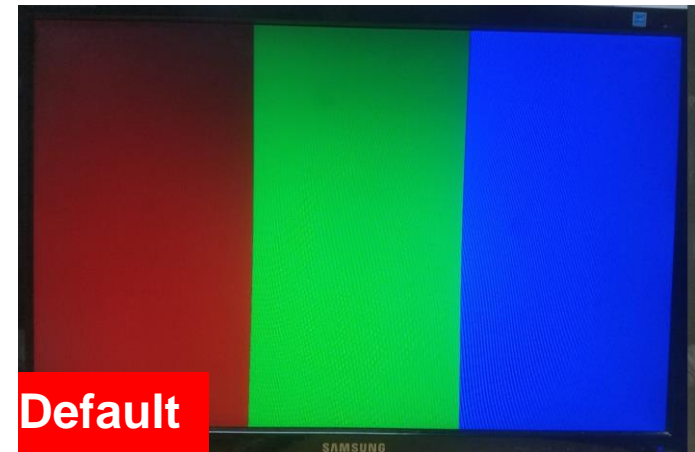
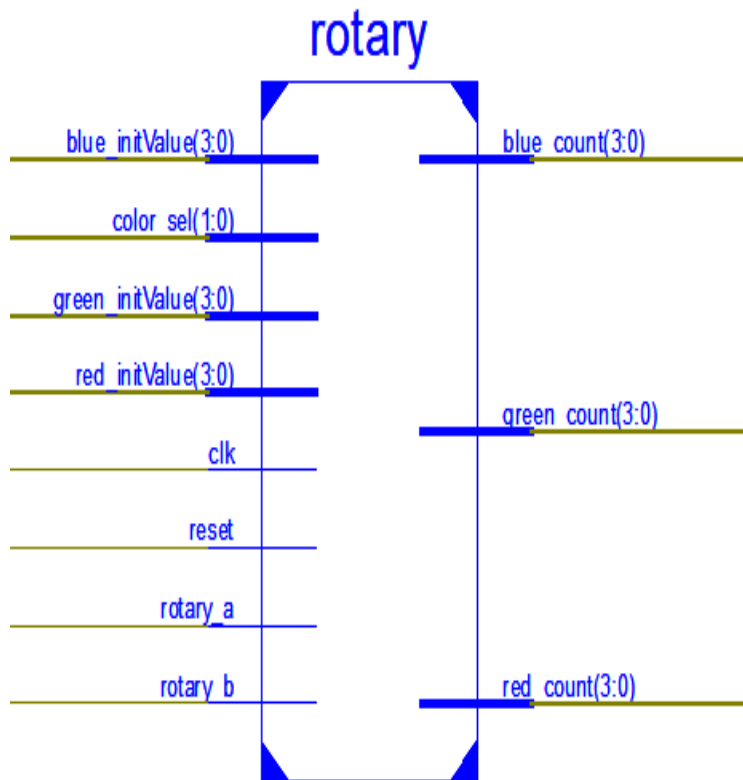


Chapman K. Rotary Encoder Interface for Spartan-3E Starter Kit. In: Xilinx, editor.: Xilinx; 2006.

Control de
dirección de
conteo (up/down)

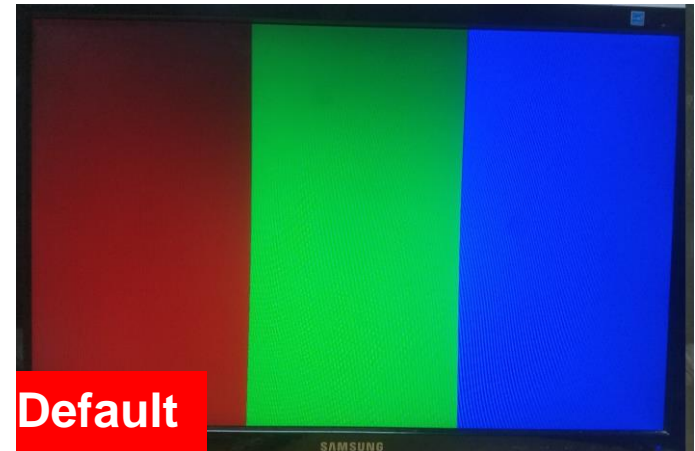
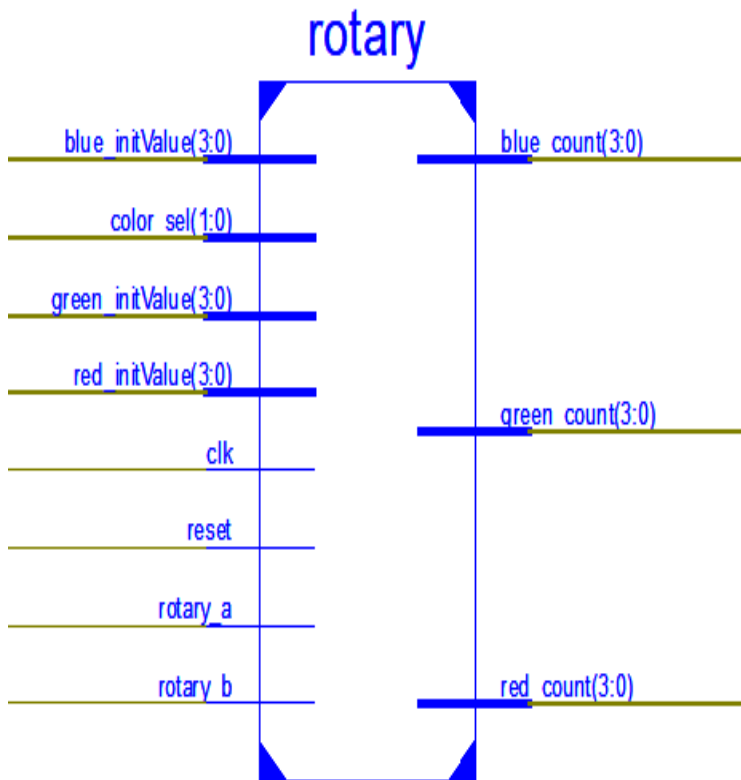
VGA_rotary_encoder

Bloque *rotary*



VGA_rotary_encoder

Bloque *rotary*



Funcionalidades

- Selección entre dos modos de operación, Manual o Automático
- Dos vías de modificar colores en pantalla:
 - Encoder Rotatorio (HW)
 - Mediante Registros, a través de UART (SW)
- Habilitación general por software
- Interacción general con usuario de forma Remota (UART) o Manual mediante switches y encoder rotatorio

Funcionalidades

Registros Asociados

- REGISTRO DE CONTROL GENERAL
- REGISTRO DE SELECCION
- REGISTRO PARA VALOR ROJO
- REGISTRO PARA VALOR VERDE
- REGISTRO PARA VALOR AZUL

Funcionalidades

Registros Asociados

CTRL_REG – CONTROL REGISTER (ADDRESS: VGA_MODULE_BASEADDR + 16)

R/W-0 R/W-0



- Bit 31 ST: Self Test bit**
Si EN = 1:
0 = Modo Manual Activado
1 = Modo Automático Activado
Si EN = 0:
Este bit se ignora
- Bit 30 EN: Global Enable bit**
0 = Módulo VGA desactivado
1 = Módulo VGA activado
- Bit 0-29 Reservado**

Funcionalidades

Registros Asociados

SEL_REG – COLOR SELECTOR REGISTER (ADDRESS: VGA_MODULE_BASEADDR + 12)



Bit 30-31 SEL1:SEL0: Color Selector Bits

Si EN = 0:

Estos bits se ignoran

Si EN = 1:

00 = El encoder rotatorio modifica la franja roja

01 = El encoder rotatorio modifica la franja verde

01 = El encoder rotatorio modifica la franja azul

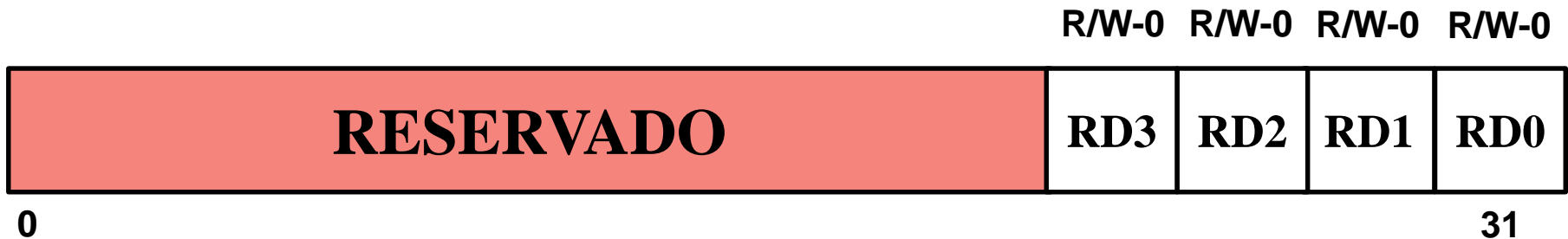
01 = El encoder rotatorio no modifica ninguna franja

Bit 0-29 Reservado

Funcionalidades

Registros Asociados

RED_REG – RED COLOR REGISTER (ADDRESS: VGA_MODULE_BASEADDR + 0)



Bit 29-31 RD3:RD0: Color data bits

Si EN = 0:

Estos bits se ignoran

Si EN = 1:

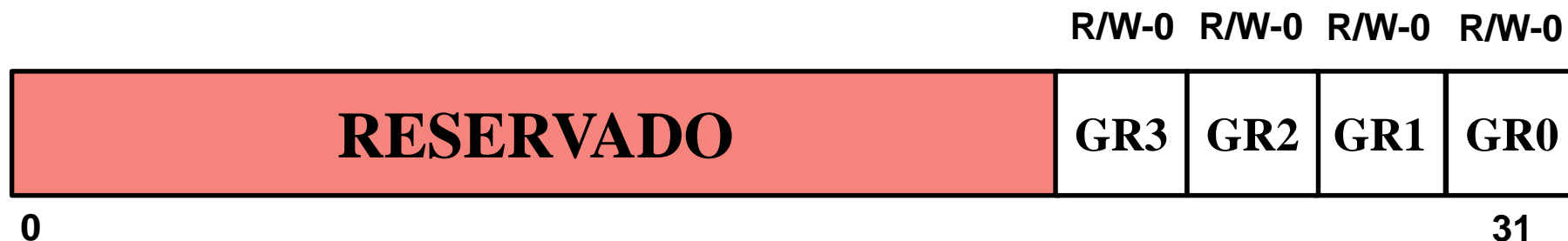
RD3:RD0: Unsigned 4-bit Red Color data bits

Bit 0-28 Reservado

Funcionalidades

Registros Asociados

GREEN_REG – GREEN COLOR REGISTER (ADDRESS: VGA_MODULE_BASEADDR + 4)



Bit 29-31 GR3:GR0: Color data bits

Si EN = 0:

Estos bits se ignoran

Si EN = 1:

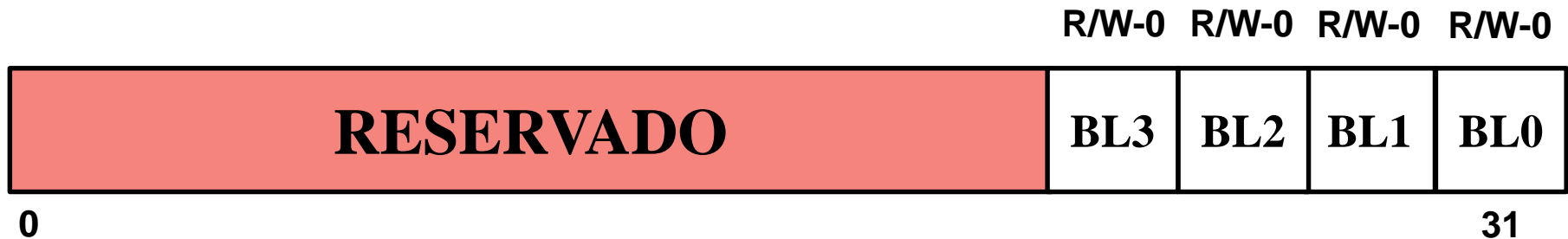
GR3:GR0: Unsigned 4-bit Green Color data bits

Bit 0-28 Reservado

Funcionalidades

Registros Asociados

BLUE_REG – BLUE COLOR REGISTER (ADDRESS: VGA_MODULE_BASEADDR + 8)



Bit 29-31 BL3:BL0: Color data bits

Si EN = 0:

Estos bits se ignoran

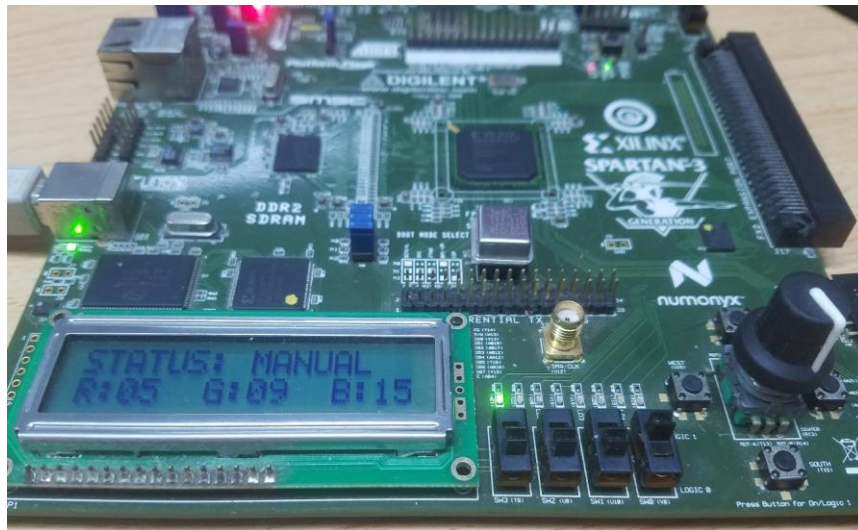
Si EN = 1:

BL3:BL0: Unsigned 4-bit Green Color data bits

Bit 0-28 Reservado

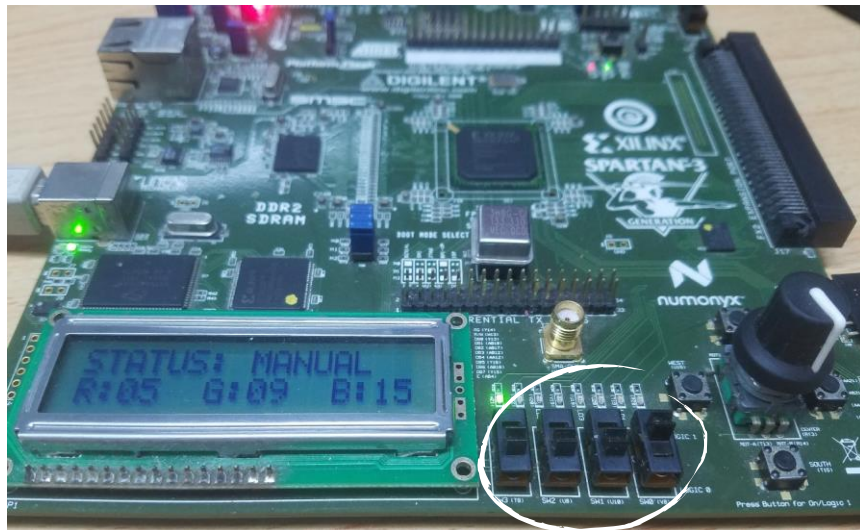
Funcionalidades

Interfaz de app con usuario



Funcionalidades

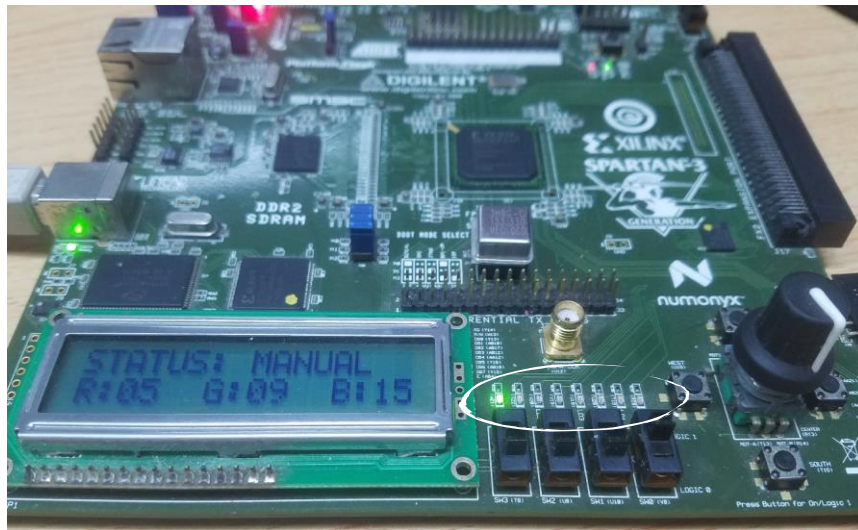
Interfaz de app con usuario



**Selección de franja
de pantalla a
modificar en modo
manual**

Funcionalidades

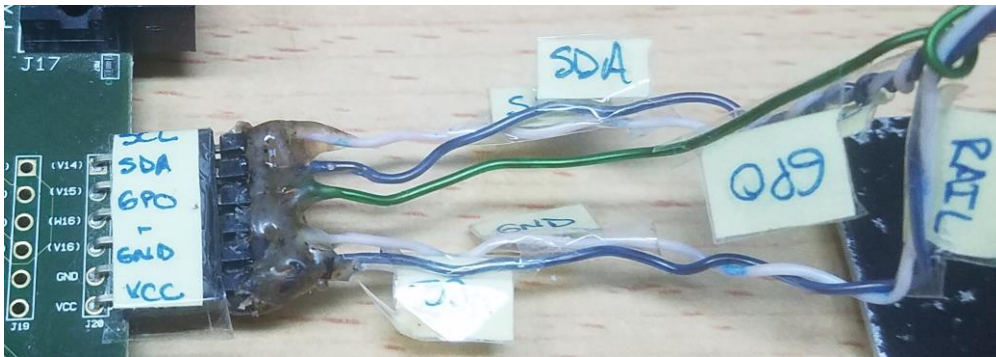
Interfaz de app con usuario



Indican franja
seleccionada y
estados del
sistema

Funcionalidades

Interfaz de app con usuario



**Comunicación IIC con
memoria y puerto de
expansión externos**



**Comunicación UART con
PC**

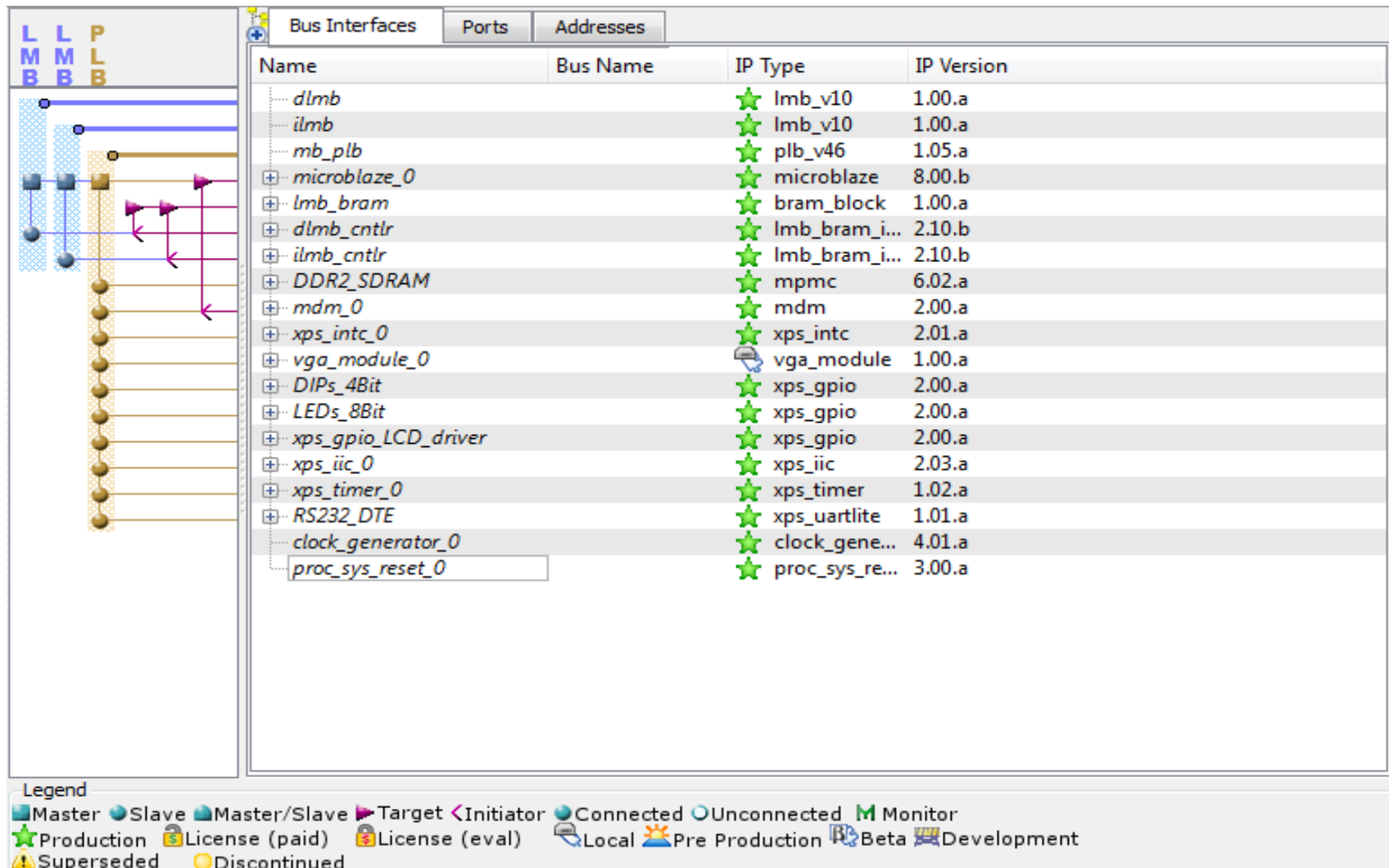
Comando	Sintaxis (ASCII)	Función
Escribe ROJO	CRXX	Escribe el valor XX en el registro RED_REG. XX representa un número del 00 al 15 especificado en ASCII, donde el primer valor será la decena (incluyendo el 0) y el segundo la unidad. Si la decena es un número distinto de 0 ó 1, se asume que el valor a escribir se encuentra en el rango de 0 a 9, y no es necesario especificar el próximo byte; de lo contrario es necesario que el segundo byte se encuentre en el rango de 0 a 5. Cualquier otro caso provoca la anulación total del comando y no tiene efecto sobre la aplicación.
Escribe VERDE	CGXX	Idem al anterior, pero para GREEN_REG.
Escribe AZUL	CBXX	Idem al anterior, pero para BLUE_REG.
Modo Automático	PP	Provoca que el módulo VGA entre en Modo Automático modificando el bit correspondiente en CTRL_REG
Modo Manual	PC	Provoca que el módulo VGA entre en Modo Manual modificando el bit correspondiente en CTRL_REG. No afecta valores de color
Deshabilita VGA	PD	Deshabilita globalmente el módulo VGA modificando el bit correspondiente en CTR_REG. No afecta valores de color.
Habilita VGA	PE	Habilita globalmente el módulo VGA modificando el bit correspondiente en CTRL_REG. No afecta valores de color.
Salva estado	SS	Salva estado de registros del módulo en memoria EEPROM IIC y actualiza contador
Lee Estado	RSXX	Lee estado especificado por XX en memoria EEPROM y lo carga en el sistema. XX idem a los comandos de color, y debe corresponderse con la cantidad de estados almacenados.
Clear estado	CS	Borra todos los estados almacenados en memoria EEPROM y actualiza contador

Funcionalidades

Función Switches

SWITCH (Nombre en la placa de desarrollo)	FUNCION
SW3	Selecciona la franja roja. Activa led LD7 para indicarlo.
SW2	Selecciona la franja verde. Activa led LD6 para indicarlo.
SW1	Selecciona la franja azul. Activa led LD5 para indicarlo.
SW0	Conmuta entre Modo Automático y Modo Manual según corresponda.

Sistema con *MicroBlaze*



Bus Interfaces			
Name	Bus Name	IP Type	IP Version
dlmb		lmb_v10	1.00.a
ilmb		lmb_v10	1.00.a
mb_plb		plb_v46	1.05.a
microblaze_0		microblaze	8.00.b
lmb_bram		bram_block	1.00.a
dlmb_cntlr		lmb_bram_i...	2.10.b
ilmb_cntlr		lmb_bram_i...	2.10.b
DDR2_SDRAM		mpmc	6.02.a
mdm_0		mdm	2.00.a
xps_intc_0		xps_intc	2.01.a
vga_module_0		vga_module	1.00.a
DIPs_4Bit		xps_gpio	2.00.a
LEDs_8Bit		xps_gpio	2.00.a
xps_gpio_LCD_driver		xps_gpio	2.00.a
xps_iic_0		xps_iic	2.03.a
xps_timer_0		xps_timer	1.02.a
RS232_DTE		xps_uartlite	1.01.a
clock_generator_0		clock_gene...	4.01.a
proc_sys_reset_0		proc_sys_re...	3.00.a

Legend

Master
 Slave
 Master/Slave
 Target
 Initiator
 Connected
 Unconnected
 Monitor
 Production
 License (paid)
 License (eval)
 Local
 Pre Production
 Beta
 Development
 Superseded
 Discontinued

Sistema con *MicroBlaze*

The screenshot displays the 'Bus Interfaces' tab in the Xilinx ISE software. On the left, a block diagram shows the system architecture with three buses labeled LMB, MB, and PLB. The main table lists the components connected to these buses. A red oval highlights the 'microblaze_0' component and its associated local memory blocks: 'lmb_bram', 'dlmb_cntlr', and 'ilmb_cntlr'. A red text box to the right of the oval states 'Procesador y memoria local'.

Name	Bus Name	IP Type	IP Version
dlmb		lmb_v10	1.00.a
ilmb		lmb_v10	1.00.a
mb_plb		plb_v46	1.05.a
microblaze_0		microblaze	8.00.b
lmb_bram		bram_block	1.00.a
dlmb_cntlr		lmb_bram_i...	2.10.b
ilmb_cntlr		lmb_bram_i...	2.10.b
DDR2_SDRAM		mpmc	6.02.a
mdm_0		mdm	2.00.a
xps_intc_0		xps_intc	2.01.a
vga_module_0		vga_module	1.00.a
DIPs_4Bit		xps_gpio	2.00.a
LEDs_8Bit		xps_gpio	2.00.a
xps_gpio_LCD_driver		xps_gpio	2.00.a
xps_iic_0		xps_iic	2.03.a
xps_timer_0		xps_timer	1.02.a
RS232_DTE		xps_uartlite	1.01.a
clock_generator_0		clock_gene...	4.01.a
proc_sys_reset_0		proc_sys_re...	3.00.a

Legend

- Master (blue square), Slave (blue circle), Master/Slave (blue diamond), Target (purple triangle), Initiator (pink triangle), Connected (blue circle), Unconnected (light blue circle), Monitor (green M), Production (green star), License (paid) (green dollar sign), License (eval) (yellow dollar sign), Local (blue monitor icon), Pre Production (orange sun icon), Beta (blue B icon), Development (blue D icon), Superseded (yellow warning triangle), Discontinued (yellow circle).

Sistema con *MicroBlaze*

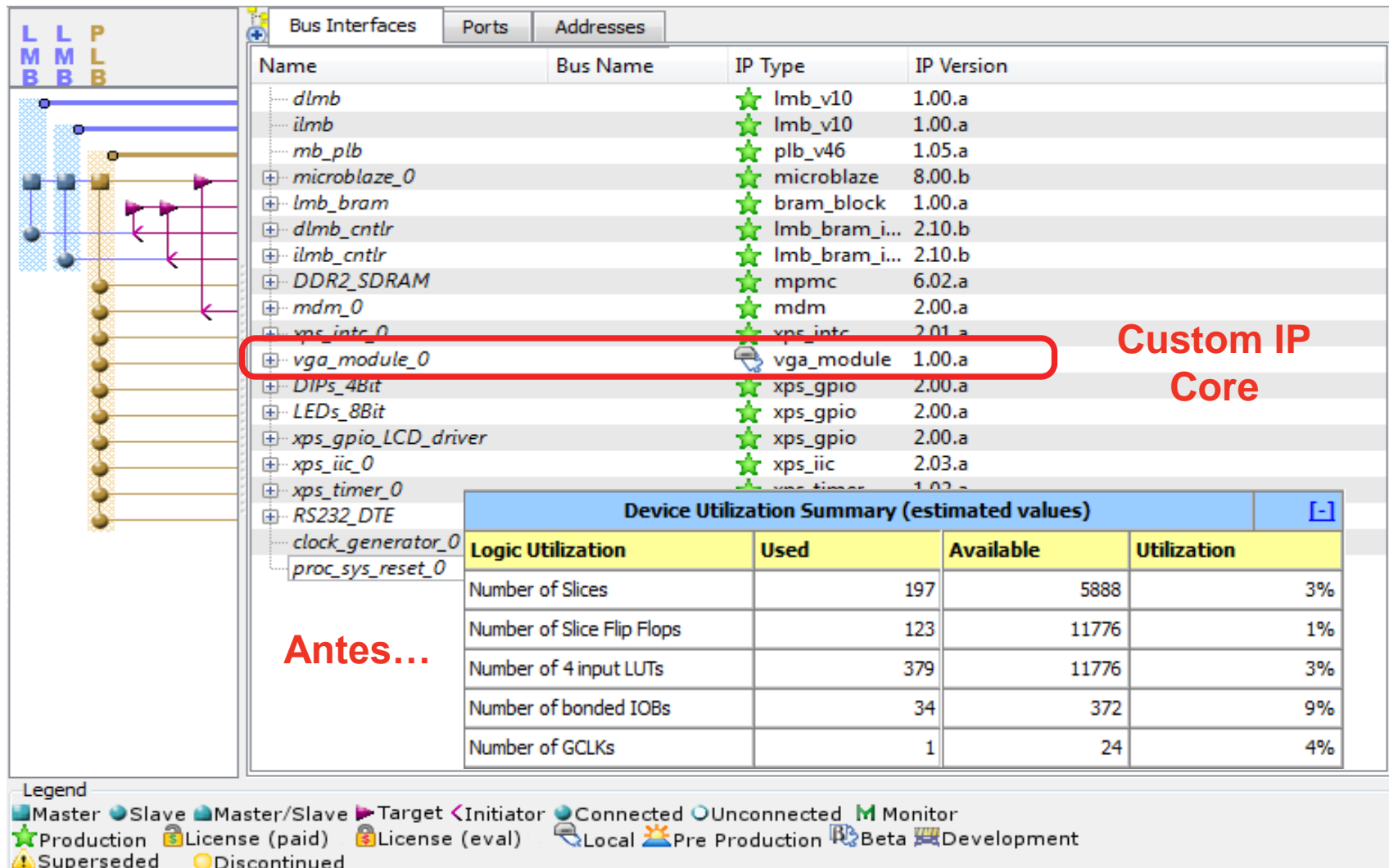
Legend

Master Slave Master/Slave Target Initiator Connected Unconnected Monitor
Production License (paid) License (eval) Local Pre Production Beta Development
Superseded Discontinued

Name	Bus Name	IP Type	IP Version
dlmb		lmb_v10	1.00.a
ilmb		lmb_v10	1.00.a
mb_plb		plb_v46	1.05.a
microblaze_0		microblaze	8.00.b
lmb_bram		bram_block	1.00.a
dlmb_cntlr		lmb_bram_i...	2.10.b
ilmb_cntlr		lmb_bram_i...	2.10.b
DDR2_SDRAM		mpmc	6.02.a
mdm_0		mdm	2.00.a
xps_intr_0		xps_intr	2.01.a
vga_module_0		vga_module	1.00.a
DIPs_4Bit		xps_gpio	2.00.a
LEDs_8Bit		xps_gpio	2.00.a
xps_gpio_LCD_driver		xps_gpio	2.00.a
xps_iic_0		xps_iic	2.03.a
xps_timer_0		xps_timer	1.02.a
RS232_DTE		xps_uartlite	1.01.a
clock_generator_0		clock_gene...	4.01.a
proc_sys_reset_0		proc_sys_re...	3.00.a

Custom IP Core

Sistema con *MicroBlaze*



Antes...

Name	Bus Name	IP Type	IP Version
dlmb		lmb_v10	1.00.a
ilmb		lmb_v10	1.00.a
mb_plb		plb_v46	1.05.a
microblaze_0		microblaze	8.00.b
lmb_bram		bram_block	1.00.a
dlmb_cntlr		lmb_bram_i...	2.10.b
ilmb_cntlr		lmb_bram_i...	2.10.b
DDR2_SDRAM		mpmc	6.02.a
mdm_0		mdm	2.00.a
xps_intr_0		xps_intr	2.01.a
vga_module_0		vga_module	1.00.a
DIPs_4Bit		xps_gpio	2.00.a
LEDs_8Bit		xps_gpio	2.00.a
xps_gpio_LCD_driver		xps_gpio	2.00.a
xps_iic_0		xps_iic	2.03.a
xps_timer_0		xps_timer	1.02.a
RS232_DTE			
clock_generator_0			
proc_sys_reset_0			

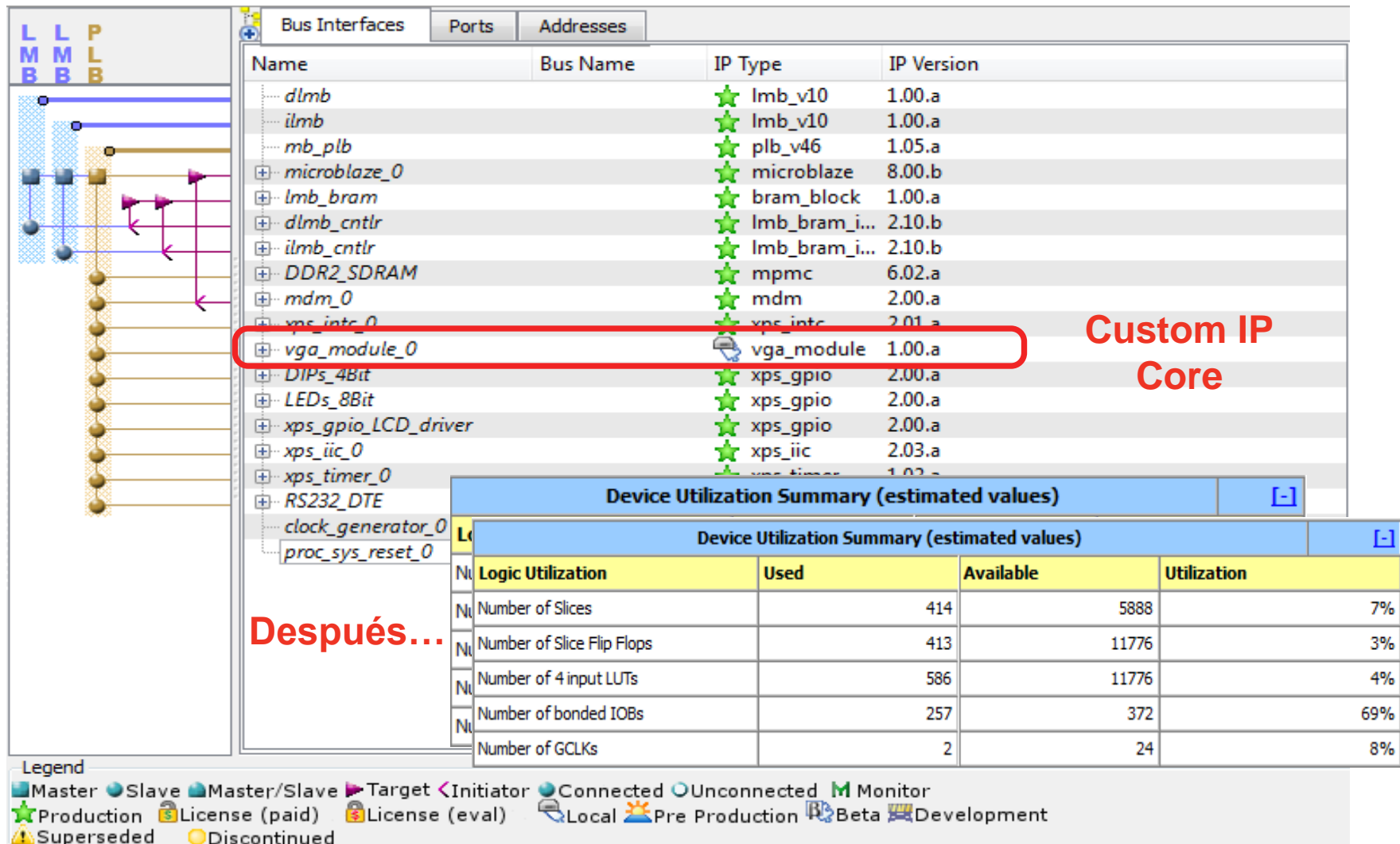
Custom IP Core

Device Utilization Summary (estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slices	197	5888	3%
Number of Slice Flip Flops	123	11776	1%
Number of 4 input LUTs	379	11776	3%
Number of bonded IOBs	34	372	9%
Number of GCLKs	1	24	4%

Legend

Master Slave Master/Slave Target Initiator Connected Unconnected Monitor
 Production License (paid) License (eval) Local Pre Production Beta Development
 Superseded Discontinued

Sistema con *MicroBlaze*



Bus Interfaces | Ports | Addresses

Name	Bus Name	IP Type	IP Version
dlmb		lmb_v10	1.00.a
ilmb		lmb_v10	1.00.a
mb_plb		plb_v46	1.05.a
microblaze_0		microblaze	8.00.b
lmb_bram		bram_block	1.00.a
dlmb_cntlr		lmb_bram_i...	2.10.b
ilmb_cntlr		lmb_bram_i...	2.10.b
DDR2_SDRAM		mpmc	6.02.a
mdm_0		mdm	2.00.a
xps_intr_0		xps_intr	2.01.a
vga_module_0		vga_module	1.00.a
DIPs_4Bit		xps_gpio	2.00.a
LEDs_8Bit		xps_gpio	2.00.a
xps_gpio_LCD_driver		xps_gpio	2.00.a
xps_iic_0		xps_iic	2.03.a
xps_timer_0		xps_timer	1.02.a
RS232_DTE			
clock_generator_0			
proc_sys_reset_0			

Custom IP Core

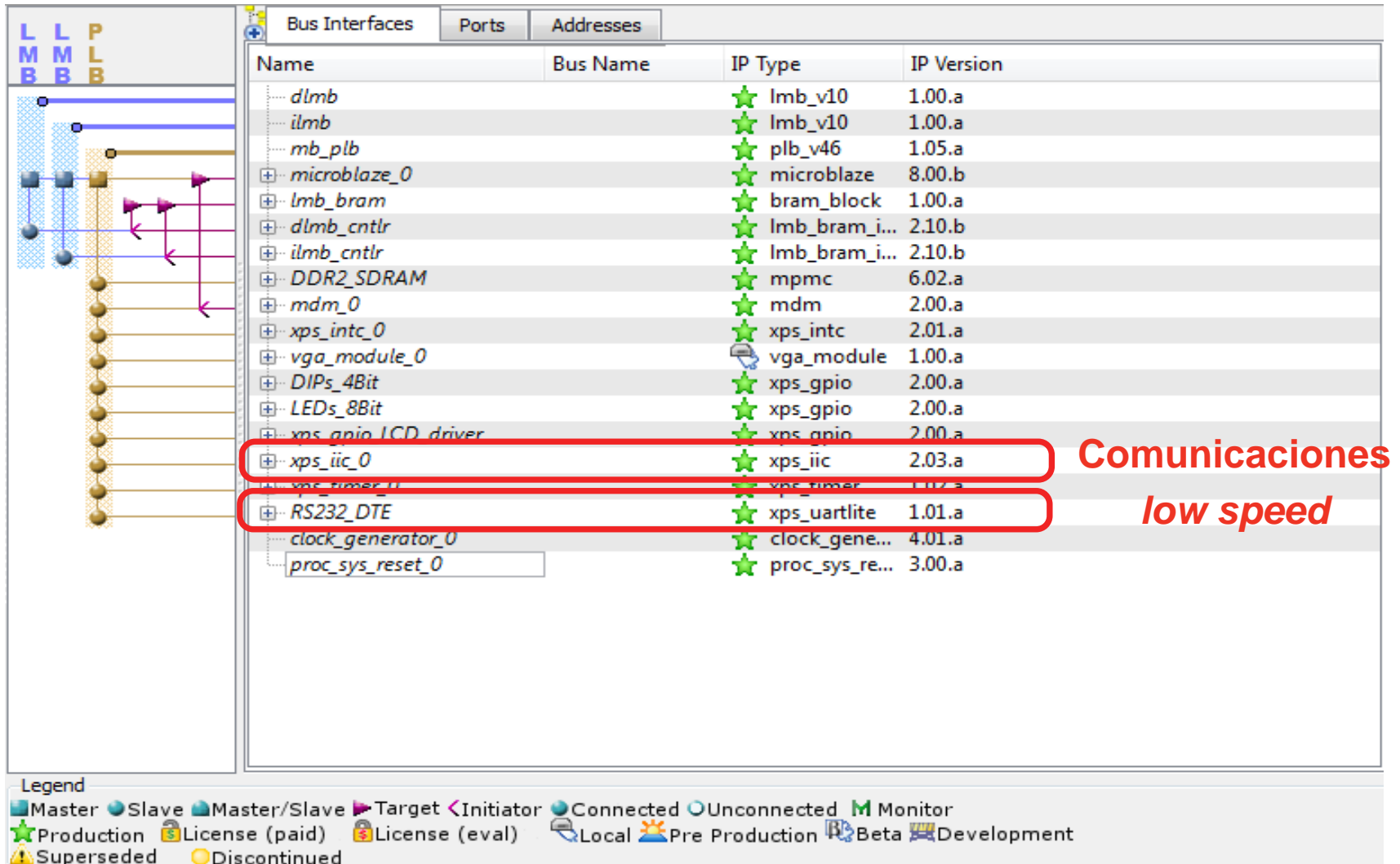
Después...

Device Utilization Summary (estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slices	414	5888	7%
Number of Slice Flip Flops	413	11776	3%
Number of 4 input LUTs	586	11776	4%
Number of bonded IOBs	257	372	69%
Number of GCLKs	2	24	8%

Legend

Master Slave Master/Slave Target Initiator Connected Unconnected Monitor
 Production License (paid) License (eval) Local Pre Production Beta Development
 Superseded Discontinued

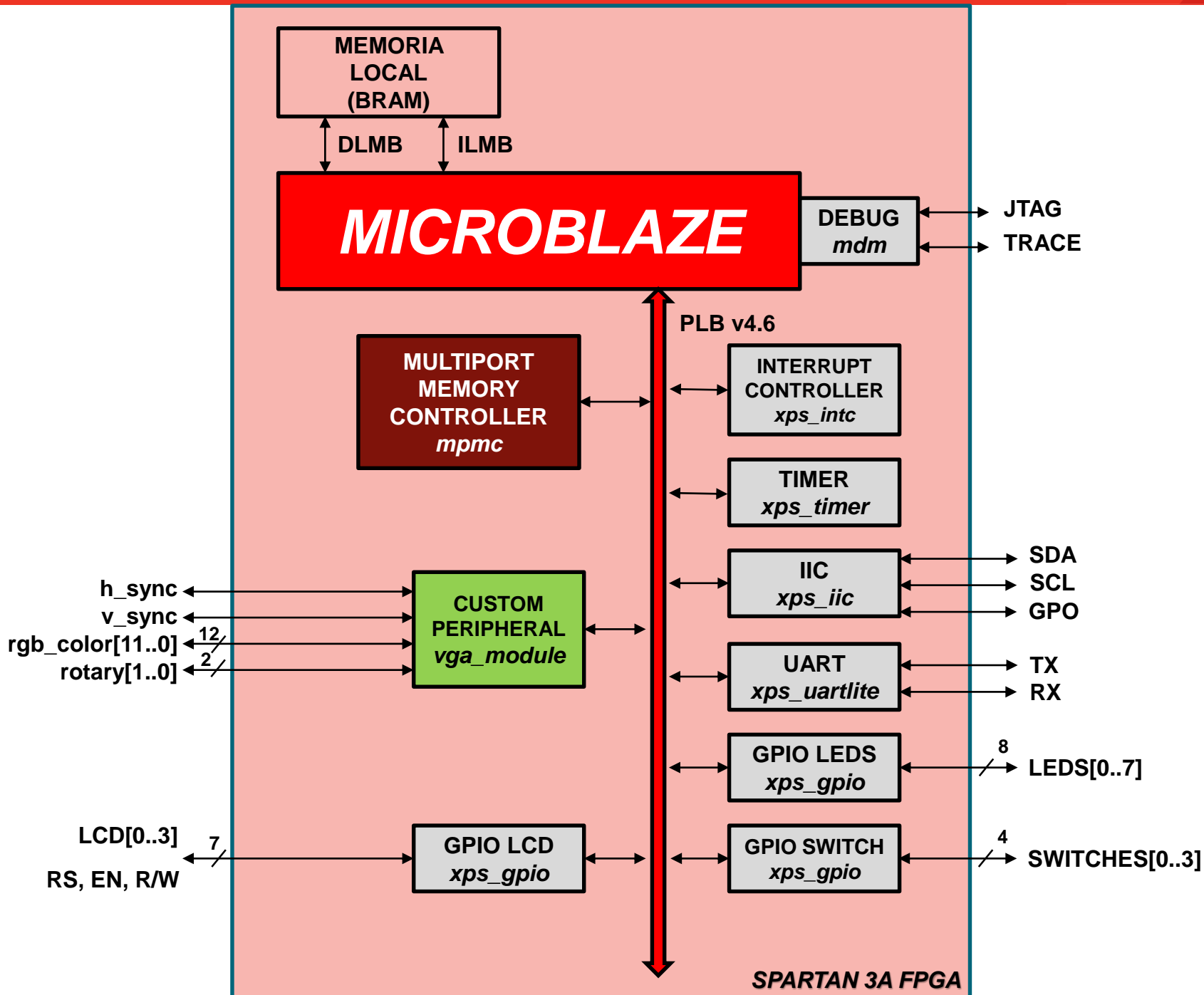
Sistema con *MicroBlaze*



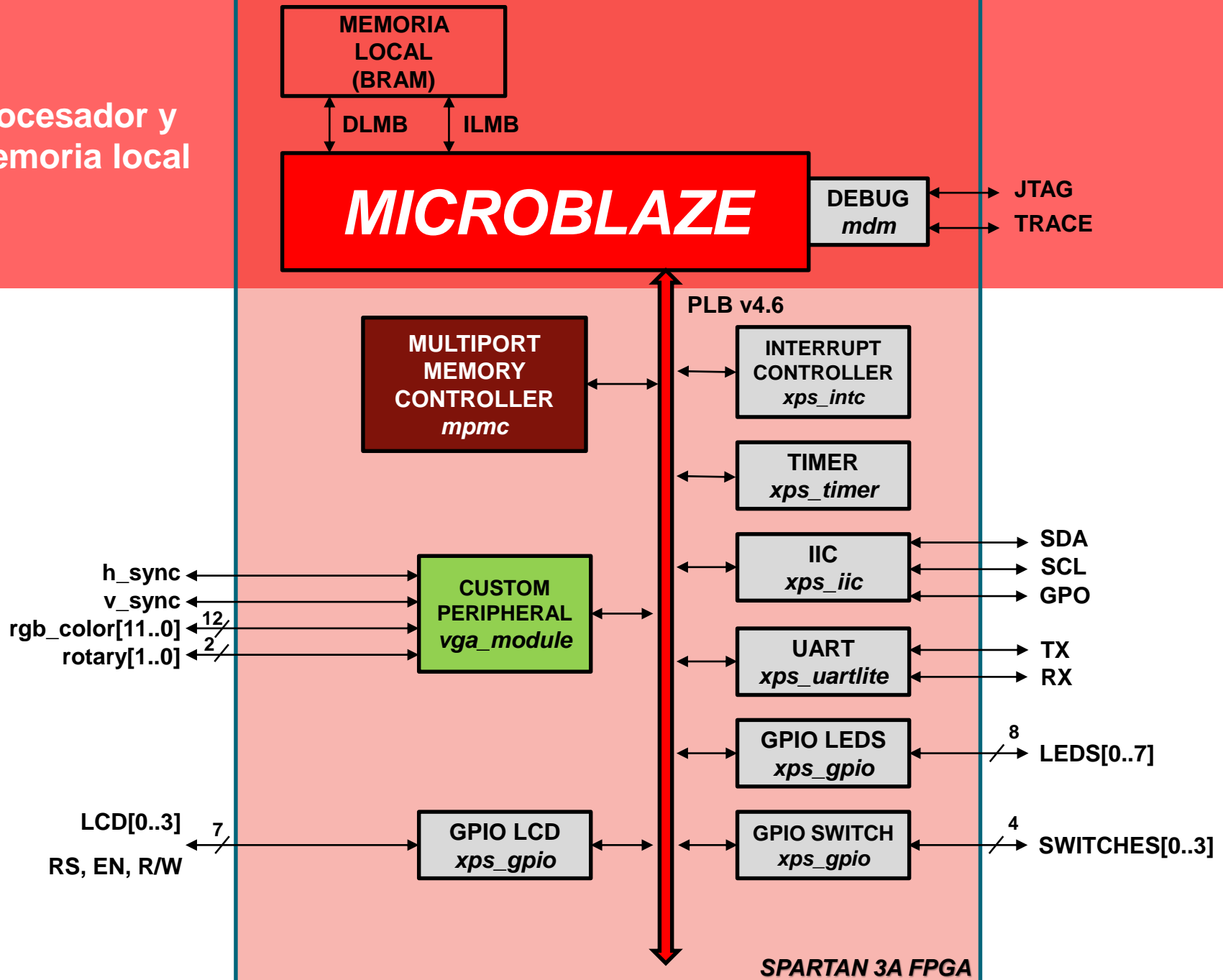
Name	Bus Name	IP Type	IP Version
dlmb		★ lmb_v10	1.00.a
ilmb		★ lmb_v10	1.00.a
mb_plb		★ plb_v46	1.05.a
microblaze_0		★ microblaze	8.00.b
lmb_bram		★ bram_block	1.00.a
dlmb_cntlr		★ lmb_bram_i...	2.10.b
ilmb_cntlr		★ lmb_bram_i...	2.10.b
DDR2_SDRAM		★ mpmc	6.02.a
mdm_0		★ mdm	2.00.a
xps_intc_0		★ xps_intc	2.01.a
vga_module_0		★ vga_module	1.00.a
DIPs_4Bit		★ xps_gpio	2.00.a
LEDs_8Bit		★ xps_gpio	2.00.a
xps_gpio_LCD_driver		★ xps_gpio	2.00.a
xps_iic_0		★ xps_iic	2.03.a
xps_timer_0		★ xps_timer	1.02.a
RS232_DTE		★ xps_uartlite	1.01.a
clock_generator_0		★ clock_gene...	4.01.a
proc_sys_reset_0		★ proc_sys_re...	3.00.a

Comunicaciones
low speed

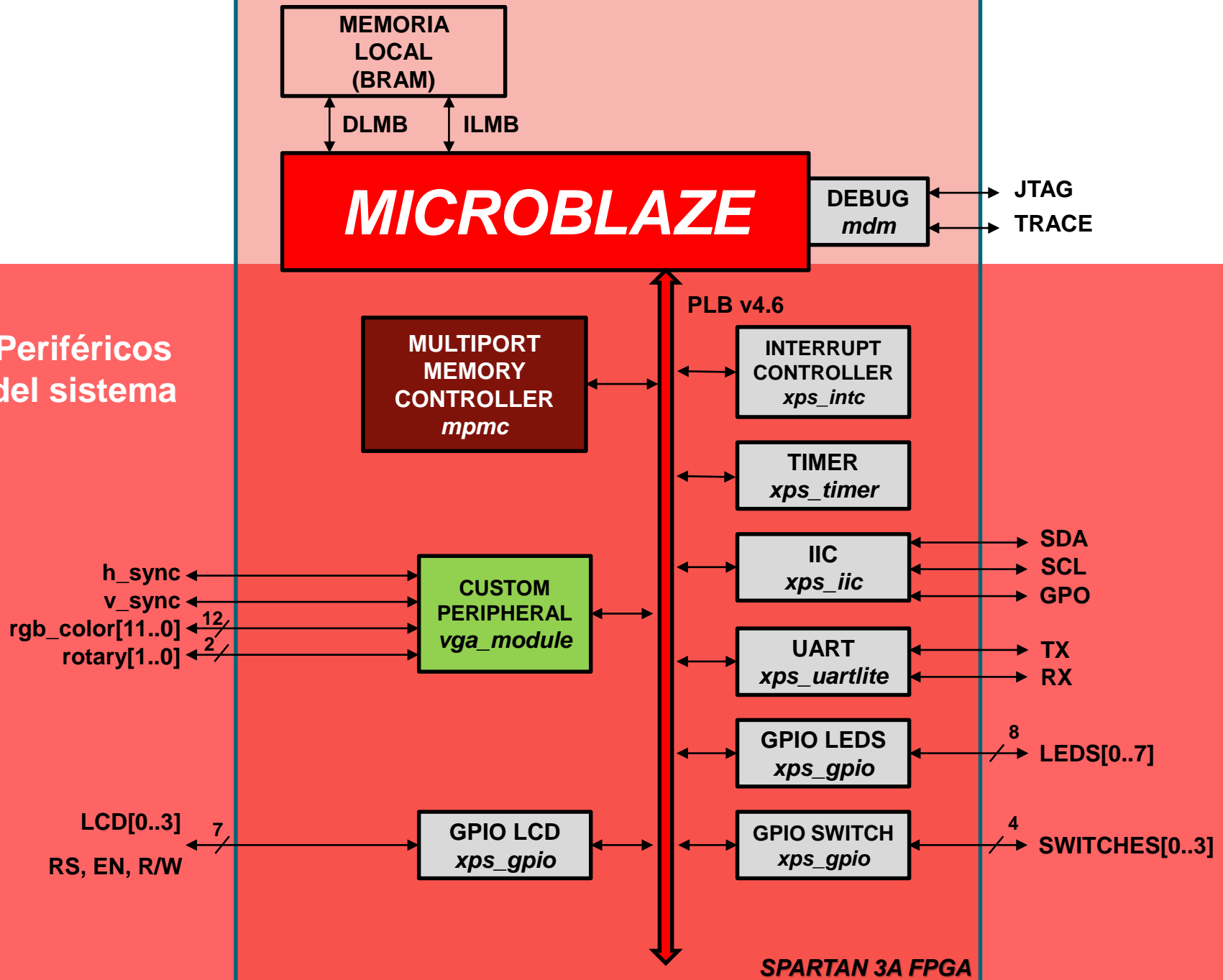
Legend
Master Slave Master/Slave Target Initiator Connected Unconnected Monitor
★ Production \$ License (paid) \$ License (eval) Local Pre Production Beta Development
⚠ Superseded ○ Discontinued



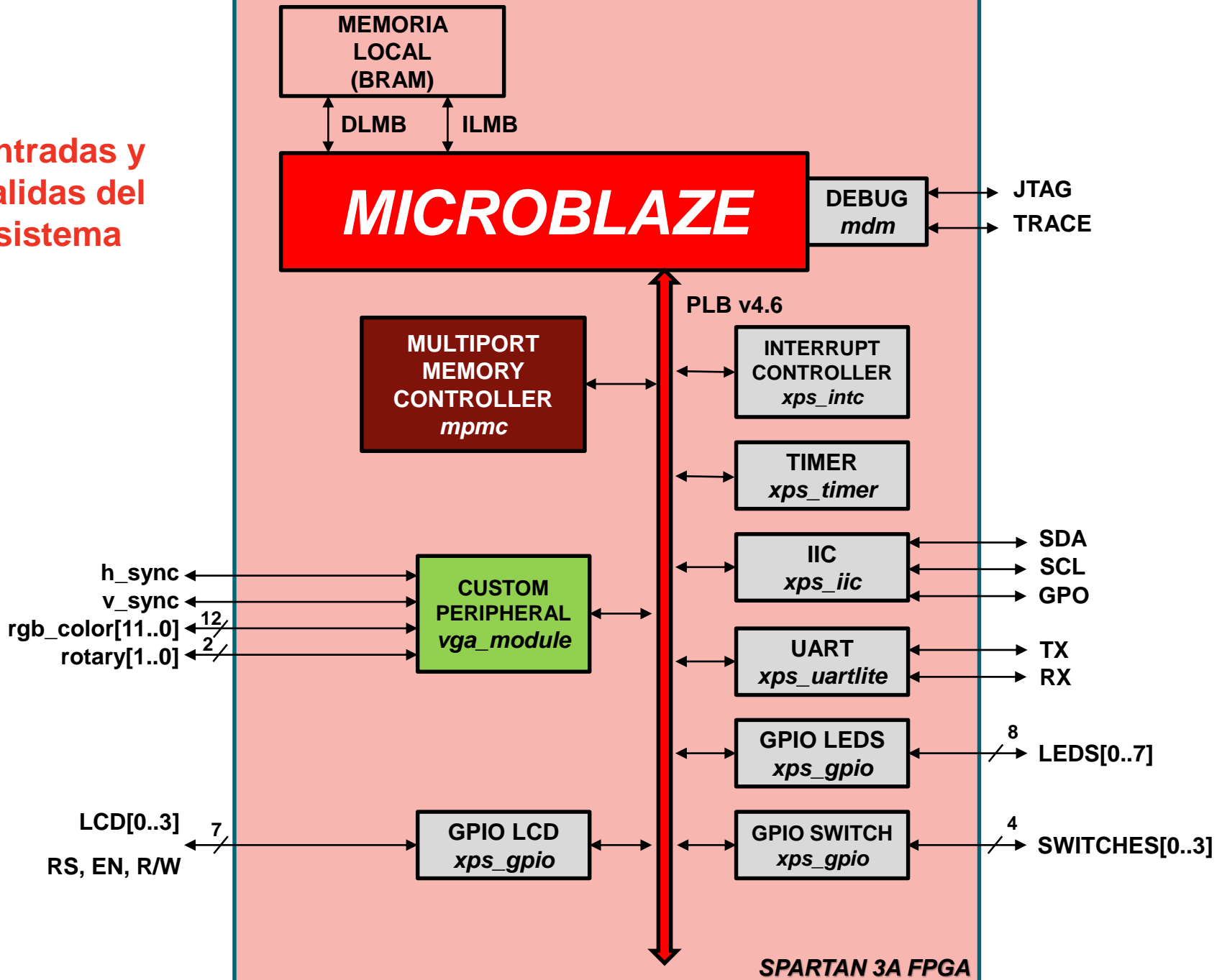
Procesador y memoria local



Periféricos del sistema



Entradas y salidas del sistema



Conclusiones

- Es posible incorporar al flujo de diseño de EDK cualquier diseño específico como modulo IP personalizado y conectarlo a un sistema de procesamiento empujado con microprocesador.
- Mediante las herramientas de EDK de Xilinx ofrecen gran versatilidad y posibilitan el codiseño hardware/software de cualquier sistema empujado, así como su depuración y mantenimiento.