

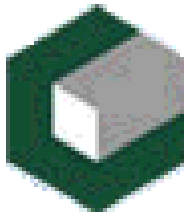
Sistema de procesamiento MicroBlaze

Maestría en Sistemas Digitales

Alejandro J. Cabrera Sarmiento

Dpto. de Automática y Computación
Universidad Tecnológica de La Habana “*José Antonio Echeverría*”
CUJAE

alex@automatica.cujae.edu.cu



Sumario

- Sistemas empotrados sobre FPGAs
- Xilinx **EDK**, *Embedded Development Kit*
- Procesador **MicroBlaze**
 - Arquitectura
 - Buses
 - Periféricos
- Flujo de diseño con EDK
 - **XPS**, *Xilinx Platform Studio*



Módulos de Propiedad Intelectual

➤ Bloque funcional prediseñado fácilmente adaptable a:

- Diferentes funcionalidades (*design retargeting*)
- Diferentes tecnologías de fabricación (*design migration*)

□ Tipos de IPs

<i>Soft CORE</i>	<i>Firm CORE</i>	<i>Hard CORE</i>
Descripción de comportamiento	Descripción estructural	Descripción física
Típicamente en HDL	Típicamente en HDL	Suministrada mediante ficheros de layout
Independiente de la tecnología	Optimizados para una arquitectura	Dependiente de la tecnología

Sistemas empotrados sobre FPGAs

- Los recursos disponibles en las FPGAs actuales permiten implementar un sistema completo sobre un dispositivo programable

System_on_Programmable_Chip (SoPC)

- La existencia de cores de procesadores y entornos de desarrollo de aplicaciones software permiten aplicar estrategias de diseño **basadas en plataforma**

❑ Módulos IP disponibles para FPGAs

- Procesadores, microcontroladores
- Periféricos I/O, Interfaces de comunicaciones
- Controladores de memoria
- Módulos de depuración y verificación



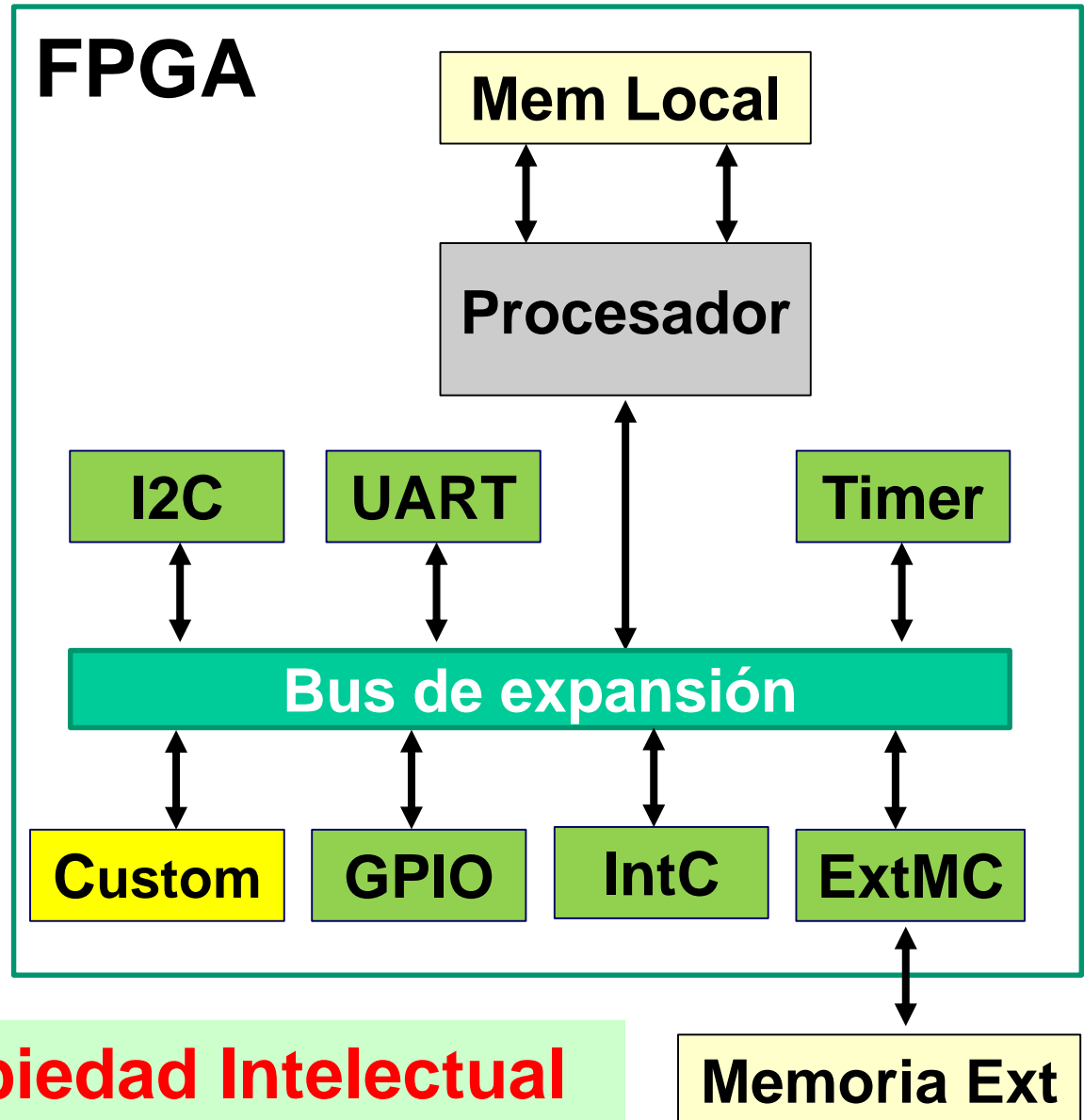
Sistemas de procesamiento

- Basados en microcontroladores o DSP
- Sólo ejecutan funcionalidades SW
- El HW no puede ser modificado
- Necesidad de sistemas de procesamiento sobre FPGA
 - HW configurable
 - Implementaciones híbridas HW/SW
 - Recursos de FPGA
- Nuevo paradigma: SoC-FPGA



Sistema de procesamiento sobre FPGA

- **Procesador**
- **Buses**
 - Local
 - Expansión
- **Memorias**
 - Local
 - Ctrl. Externa
- **Periféricos**
 - Custom HW



Módulos IP de procesadores y microcontroladores

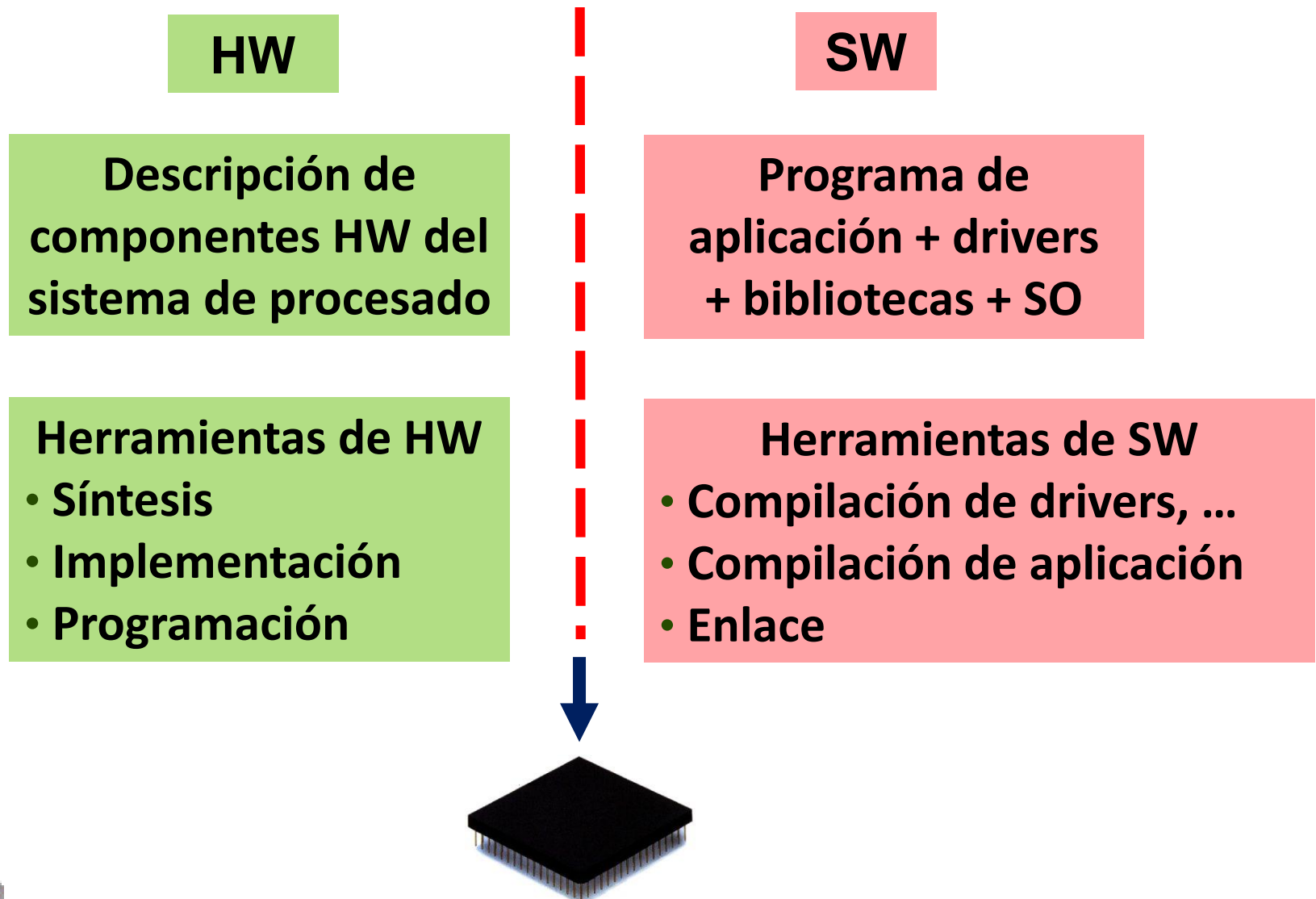
- **Soft cores**
 - Oregano 8051
 - Leon 3
 - OpenRISC
 - OpenSPARC
- **Firm cores**
 - CAST 8051
 - Core8051
 - PicoBlaze
 - MicroBlaze
 - Nios II
 - CAST BA-2x
- **Hard cores**
 - PowerPCs
 - ARMs
 - PS
 - HPS
 - MSS

Algunos incorporan otros elementos además del procesador

SoC FPGA



Flujo de diseño general



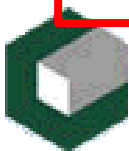
Diseño basado en plataforma

- El concepto de *plataforma* permite extender el principio de reusabilidad al nivel de arquitectura
- Una plataforma es una “**solución aceptable**” para un tipo particular de sistema facilitada por la *disponibilidad de múltiples componentes hardware y software altamente configurables*
- El **diseño basado en plataforma** contempla dos fases:
 1. Diseño de la plataforma
 2. Uso de la plataforma



Plataformas de desarrollo de sistemas de procesamiento

- Incorporan un conjunto de **módulos IP** y **herramientas de diseño** que facilitan el desarrollo de los componentes **HW** y **SW** de sistemas de procesamiento empujados sobre **FPGA** y **SoC FPGA**
 - **Xilinx EDK (ISE), Vivado**
 - **Intel Qsys (Quartus)**
 - **Microsemi (Liberio)**
- Basados en procesadores de 32 bit
- Similitud entre herramientas, ...aunque...
- Configuración mediante parámetros
- **Ficheros de diseño, de configuración y de scripts**



Xilinx EDK

Embedded Development Kit

- EDK engloba a un conjunto de **componentes IP** y **herramientas de diseño** que facilitan el desarrollo de sistemas de procesamiento empujados sobre **FPGAs de Xilinx**
- Elementos:
 - Procesadores:
 - IBM PowerPC (*hard processor core*) – **Virtex-II Pro, Virtex-4, Virtex-5**
 - Xilinx MicroBlaze (*soft processor core*) – **Spartan-II, ...**
 - Periféricos:
 - Basados en el estándar **CoreConnect** de IBM
 - Herramientas software:
 - Integradas en **Xilinx Platform Studio**



Xilinx EDK

Embedded Development Kit

➤ Sistemas operativos – EDK 12.x

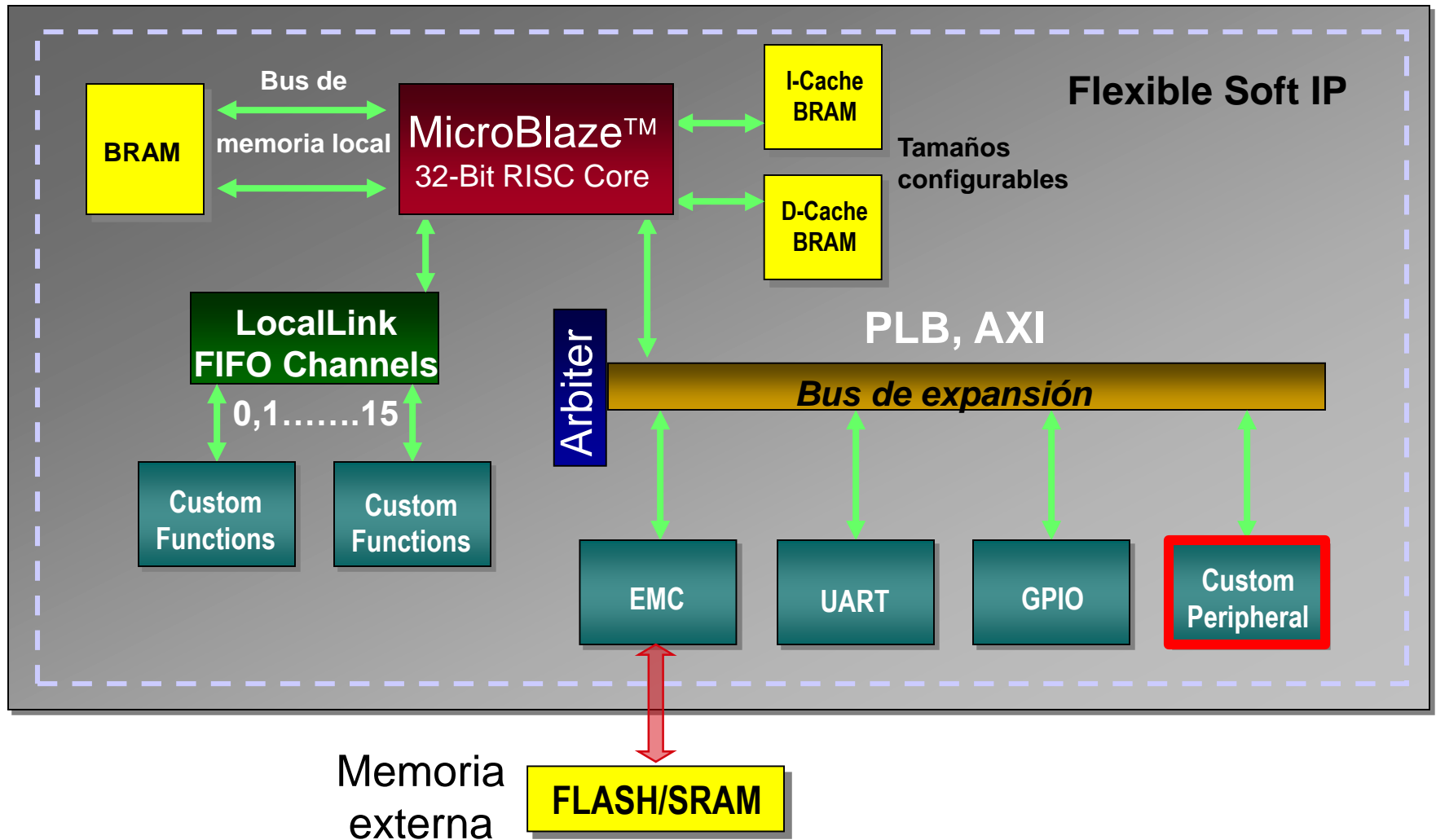
- Windows XP™
- Windows 7
- Linux Red Hat

➤ Familias de FPGAs

- Spartan 3 (MicroBlaze)
- Spartan 3E/3A (MicroBlaze)
- Spartan 6 (MicroBlaze)
- Virtex-4 (MicroBlaze y PowerPC)
- Virtex-5 (MicroBlaze y PowerPC)
- Virtex-6 (MicroBlaze)



Sistema de procesamiento MicroBlaze



Procesador MicroBlaze

MicroBlaze es un procesador **RISC de 32 bits** optimizado para implementación sobre **FPGAs de Xilinx**

- Instrucciones de 32 bits con tres operandos y dos modos de direccionamiento
 - Similar a **MIPS**
- Bus de direcciones de 32 bits
- Arquitectura **Harvard**
 - Buses **separados** de instrucciones y datos
- **Dos tipos de buses:**
 - **LMB:** Local Memory Bus
 - **PLB:** Processor Local Bus (IBM)
- 32 registros de propósito general de 32 bits
- Multiplicación hardware

Procesador MicroBlaze (cont.)

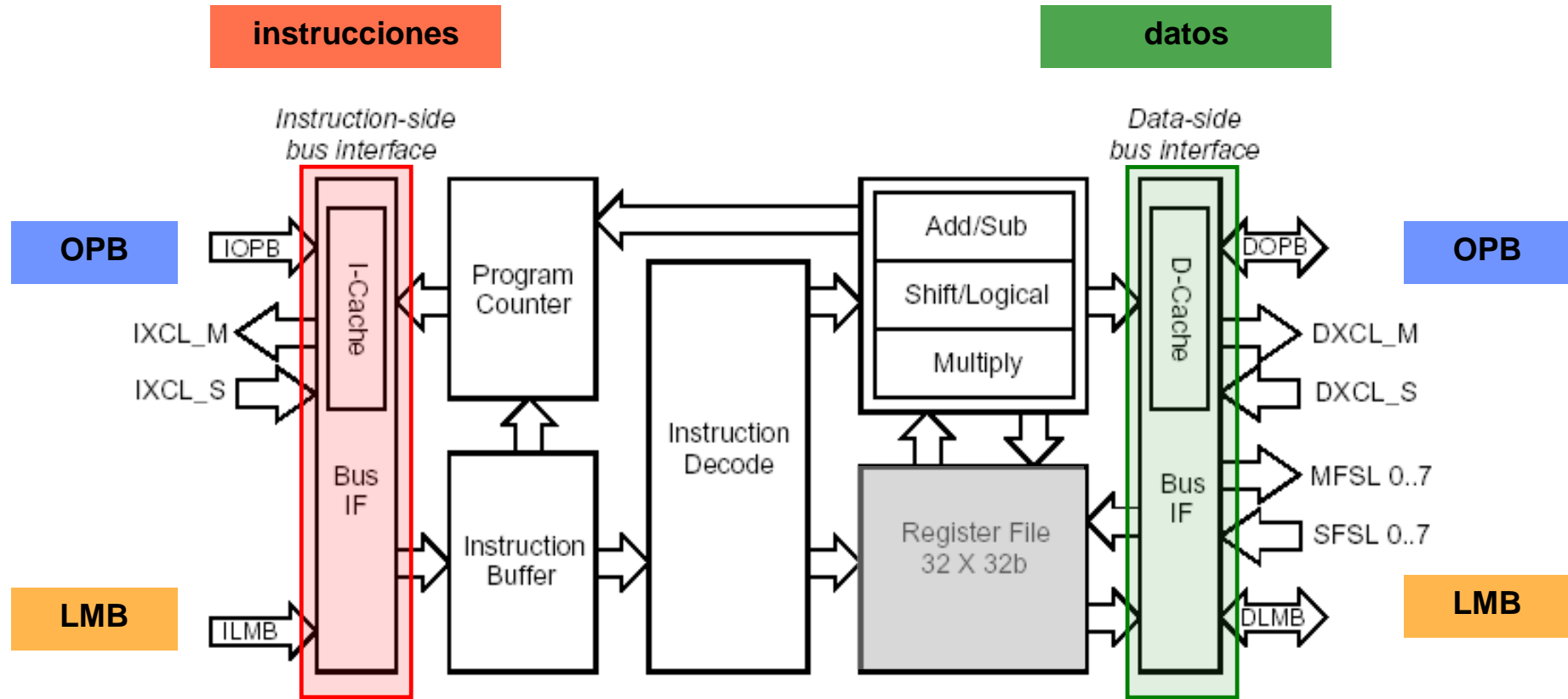
Elementos opcionales:

- Caché de instrucciones y datos
- Coprocesador aritmético
 - Unidad de punto flotante (FPU)
- Interfaces FSL
- Unidad de manejo de memoria (MMU)
 - Soporte de modo protegido

Toda la configuración de MicroBlaze se establece mediante **parámetros**



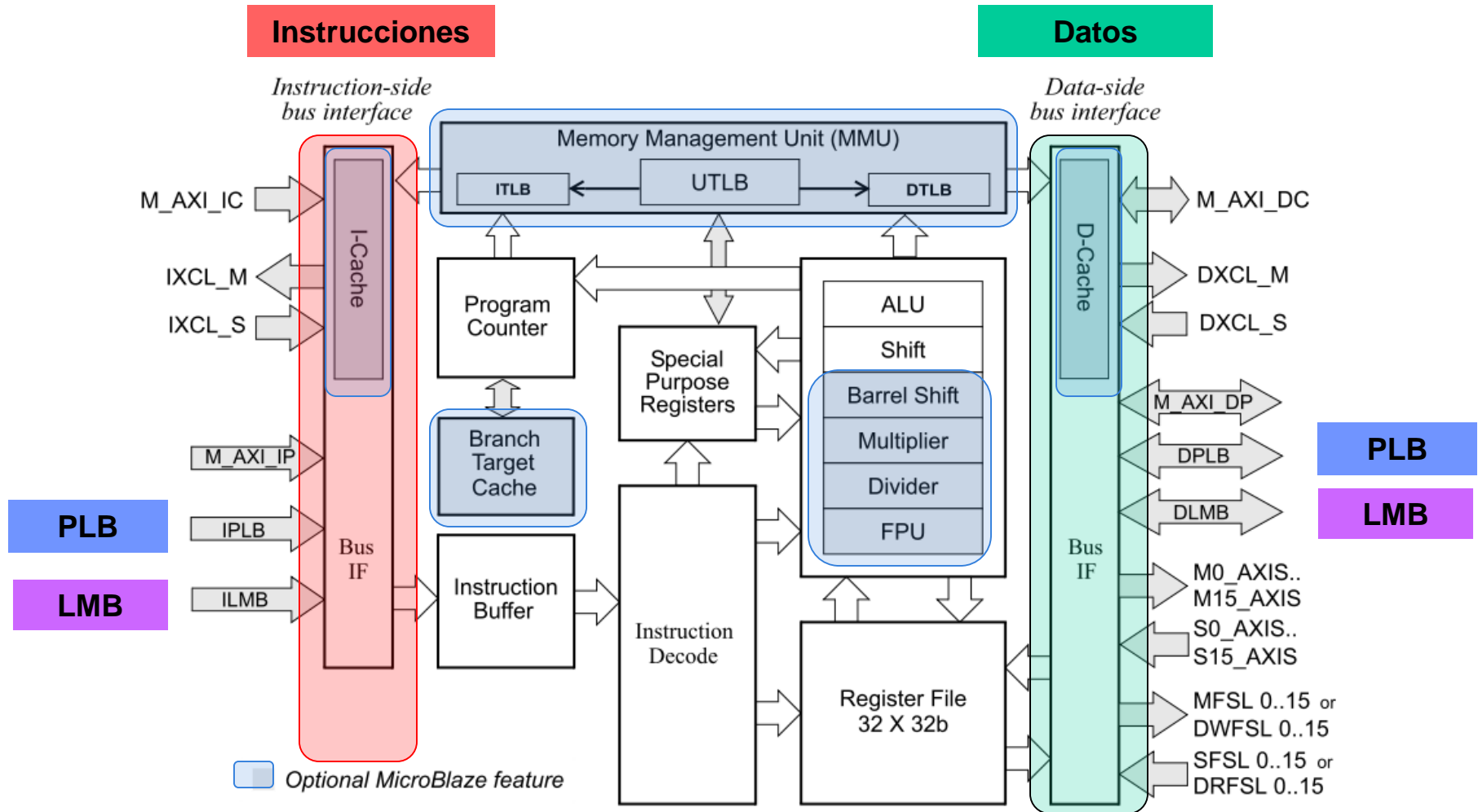
Diagrama de Bloques



Versión **3.0** de MicroBlaze, en **EDK 6.3**



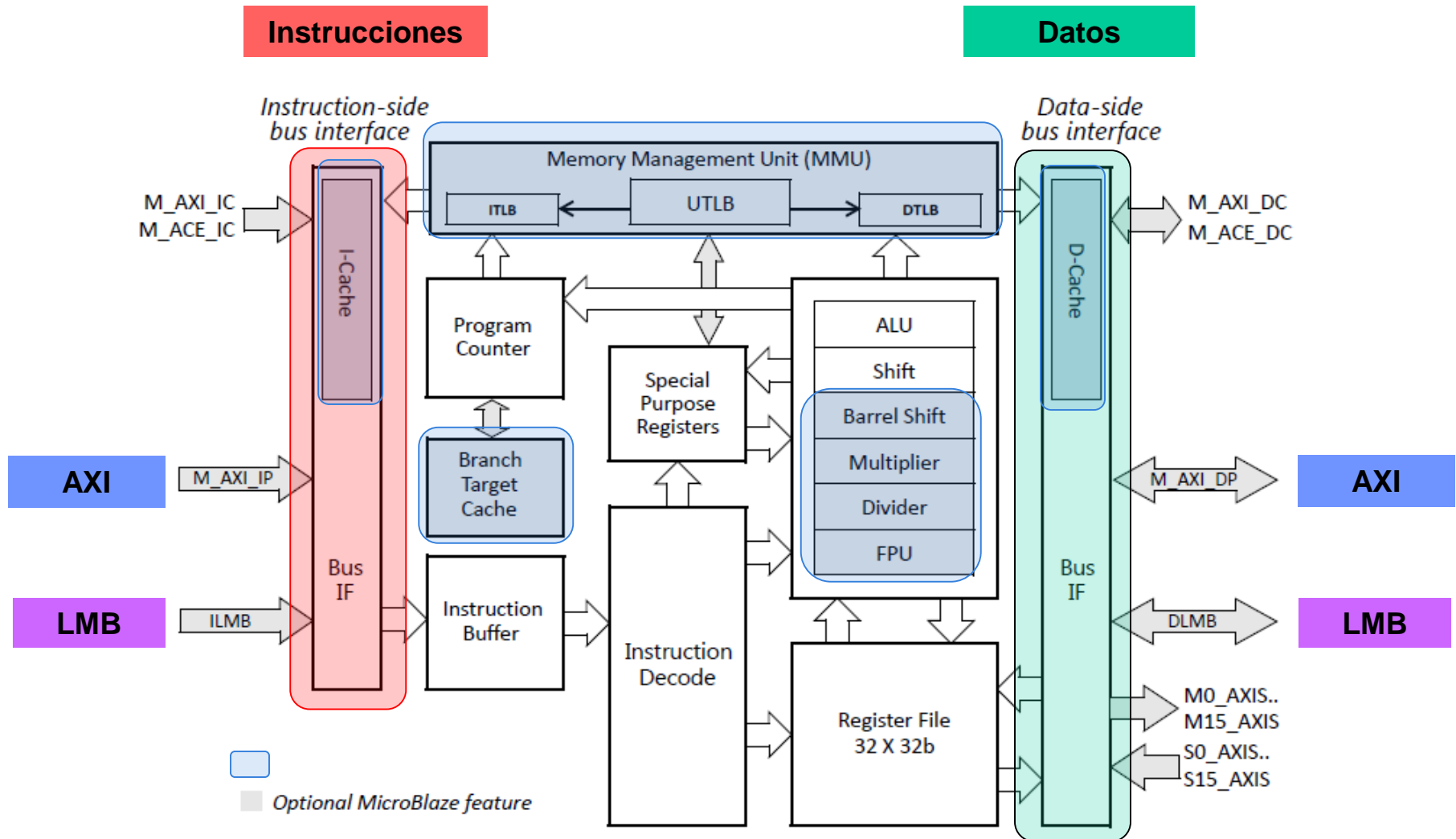
Diagrama de Bloques



Versión **8.0** de MicroBlaze, en **EDK 12.4**



Diagrama de Bloques



Versión **10.0** de MicroBlaze, en **Vivado 2016.4**



Tipos de datos (v 3.00)

MicroBlaze 3.00 utiliza un formato “**Big-Endian, bit-reversed**” para representar datos

Tipos de datos soportados por HW:

Word

Byte address	n	n+1	n+2	n+3
Byte label	0	1	2	3
Byte significance	MSByte			LSByte
Bit label	0			31
Bit significance	MSBit			LSBit

Big-Endian:

El byte más significativo es el primero

Bit-reversed:

El bit más significativo es el cero

Half Word

Byte address	n	n+1
Byte label	0	1
Byte significance	MSByte	LSByte
Bit label	0	15
Bit significance	MSBit	LSBit

Byte

Byte address	n
Byte label	0
Byte significance	MSByte
Bit label	0 7
Bit significance	MSBit LSBit



Tipos de datos (v 8.00)

MicroBlaze 8.00 puede utilizar formato “*Big-Endian*” ó “*Little-Endian*”, dependiendo del parámetro **C_ENDIANNESS**

Tipos de datos soportados por HW:

Word Data Type

Big-Endian Byte Address
Big-Endian Byte Significance
Big-Endian Byte Order
Big-Endian Byte-Reversed Order
Little-Endian Byte Address
Little-Endian Byte Significance
Little-Endian Byte Order
Little-Endian Byte-Reversed Order
Bit Label
Bit Significance

n	n+1	n+2	n+3
MSByte			LSByte
n	n+1	n+2	n+3
n+3	n+2	n+1	n
n+3	n+2	n+1	n
MSByte			LSByte
n+3	n+2	n+1	n
n	n+1	n+2	n+3
0		31	
MSBit		LSBit	

Big-Endian: El byte más significativo es el primero

Little-Endian: El byte más significativo es el último

Big-Endian Byte Address
Big-Endian Byte Significance
Big-Endian Byte Order
Big-Endian Byte-Reversed Order
Little-Endian Byte Address
Little-Endian Byte Significance
Little-Endian Byte Order
Little-Endian Byte-Reversed Order
Bit Label
Bit Significance

Half Word Data Type

n	n+1
MSByte	LSByte
n	n+1
n+1	n
n+1	n
MSByte	LSByte
n+1	n
n	n+1
0	15
MSBit	LSBit

Byte Data Type

Byte Address
Bit Label
Bit Significance

n
0
7
MSBit
LSBit

Registros de Propósito General

La arquitectura de **MicroBlaze** es totalmente “**ortogonal**”: *cualquier registro* puede ser utilizado como fuente o destino de una instrucción

Algunos registros cumplen una función predeterminada

- **R0**: siempre almacena el valor cero
- **R1-R13**: registros de propósito general
- **R14**: direcciones de retorno de “interrupciones”
- **R15**: registro de propósito general
- **R16**: direcciones de retorno de “breaks”
- **R17**: direcciones de retorno de “excepciones”
- **R18-R31**: registros de propósito general



Registros de Propósito Especial

Comunes:

- **PC:** Contador de Programa (0x0 con RESET)
- **MSR:** Machine Status Register

Dependientes de la configuración:

- **FSR:** Floating Point Status Register
- **EAR:** Exception Address Register
- **ESR:** Exception Status Register
- **ESS:** Exception Specific Status
- **BTR:** Branch Target Register
- **PID:** Process Identifier Register

.....

NO existe SP
El stack se
implementa x SW



Instrucciones

Todas las instrucciones son de **32 bits**. Pueden ser de dos tipos:

Tipo A.- Fuente: uno o dos registros; Destino: un registro.

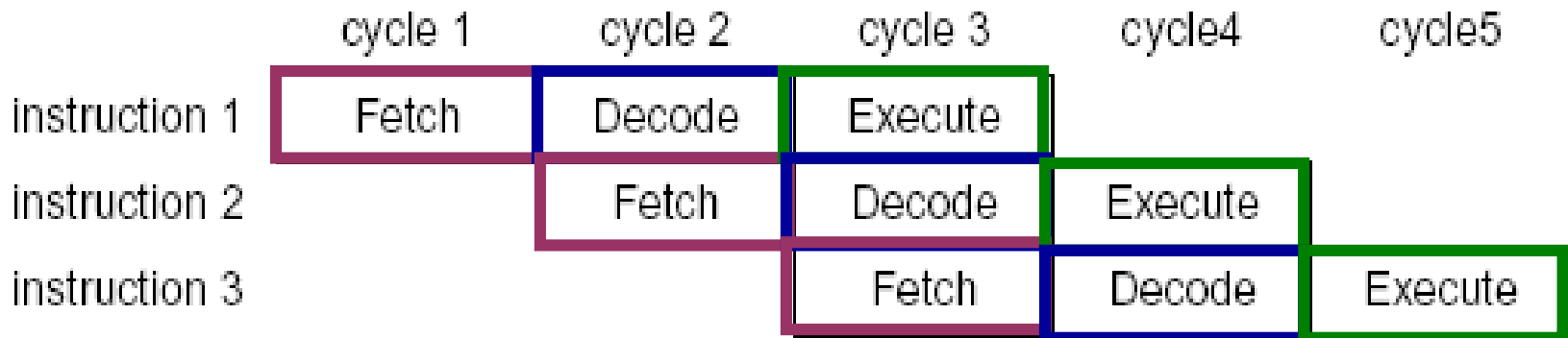
Type A	0-5	6-10	11-15	16-20	21-31	Semantics
ADD Rd,Ra,Rb	000000	Rd	Ra	Rb	000000000000	$Rd := Rb + Ra$
RSUB Rd,Ra,Rb	000001	Rd	Ra	Rb	000000000000	$Rd := Rb + \overline{Ra} + 1$
ADDC Rd,Ra,Rb	000010	Rd	Ra	Rb	000000000000	$Rd := Rb + Ra + C$
RSUBC Rd,Ra,Rb	000011	Rd	Ra	Rb	000000000000	$Rd := Rb + \overline{Ra} + C$

Tipo B.- Fuente: un registro y un operando inmediato de 16 bits; Destino: un registro.

Type B	0-5	6-10	11-15	16-31	Semantics
ADDI Rd,Ra,Imm	001000	Rd	Ra	Imm	$Rd := s(Imm) + Ra$
RSUBI Rd,Ra,Imm	001001	Rd	Ra	Imm	$Rd := s(Imm) + \overline{Ra} + 1$
ADDIC Rd,Ra,Imm	001010	Rd	Ra	Imm	$Rd := s(Imm) + Ra + C$
RSUBIC Rd,Ra,Imm	001011	Rd	Ra	Imm	$Rd := s(Imm) + \overline{Ra} + C$

Etapas de Pipeline

- Cuando **C_AREA_OPTIMIZED** es 1, el pipeline se divide en **tres** etapas para minimizar el costo del hardware: *Búsqueda, decodificación y ejecución.*



Normalmente **una instrucción por ciclo**
(instrucciones en 3 ciclos de reloj)



Etapas de Pipeline

➤ Cuando **C_AREA_OPTIMIZED** es 0, el pipeline se divide en **cinco** etapas para maximizar el rendimiento:

Fetch (IF), Decode (OF), Execute (EX), Access Memory (MEM), and Writeback (WB).

	cycle 1	cycle 2	cycle 3	cycle4	cycle5	cycle6	cycle7	cycle8	cycle9
instruction 1	IF	OF	EX	MEM	WB				
instruction 2		IF	OF	EX	MEM	MEM	MEM	WB	
instruction 3			IF	OF	EX	Stall	Stall	MEM	WB

Al tener más etapas, cada una puede tener menor duración → mayor velocidad



Memoria

- Espacios de memoria **independientes** para instrucciones y datos.
- Buses de **32 bits** (4 Gbytes)
- Pueden solaparse al asignarlos a la misma memoria física
- Tipos de datos:
 - Word, Half word, Byte
 - Deben estar “alineados”
- I/O “**mapeada**” en memoria
- Direcciones 0x0000_0000 a 0x0000_0017 reservadas para “excepciones”
- **IT** vectorizada a dirección 0x10

0xFFFF_FFFF

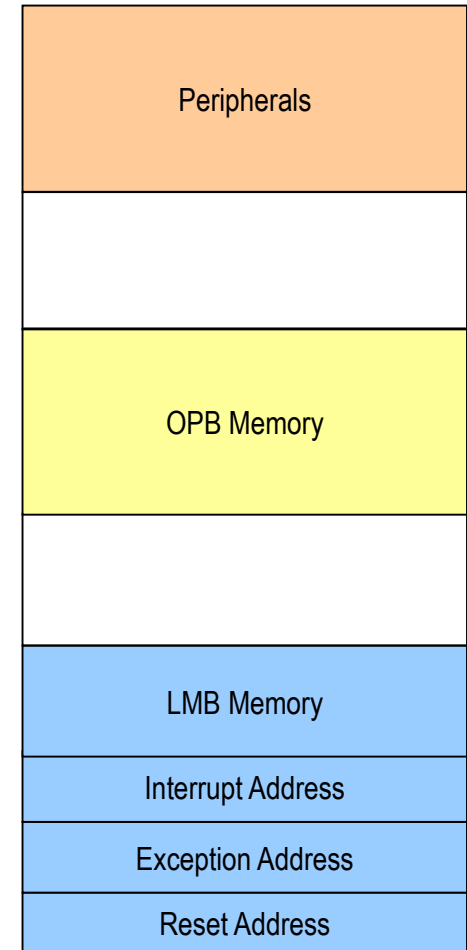
0x0000_0018

0x0000_0010

0x0000_0008

0x0000_0000

MicroBlaze



Parámetros de MicroBlaze

- El HW del procesador MicroBlaze y los IP asociados se *configuran* mediante *parámetros* que activan, seleccionan o dimensionan determinadas características.
- Los valores por defecto se encuentran en la instalación del entorno de desarrollo:

- EDK: Fichero .mpd

C:\Xilinx\14.7\ISE_DS\EDK\hw\XilinxProcessorIPLib\pcores\ xps_gpio_v2_00_a\data\ xps_gpio_v2_1_0.mpd

- La *configuración específica* de cada IP para una implementación se establece en el fichero de especificaciones de hardware (*system.mhs*)

Parámetros de MicroBlaze

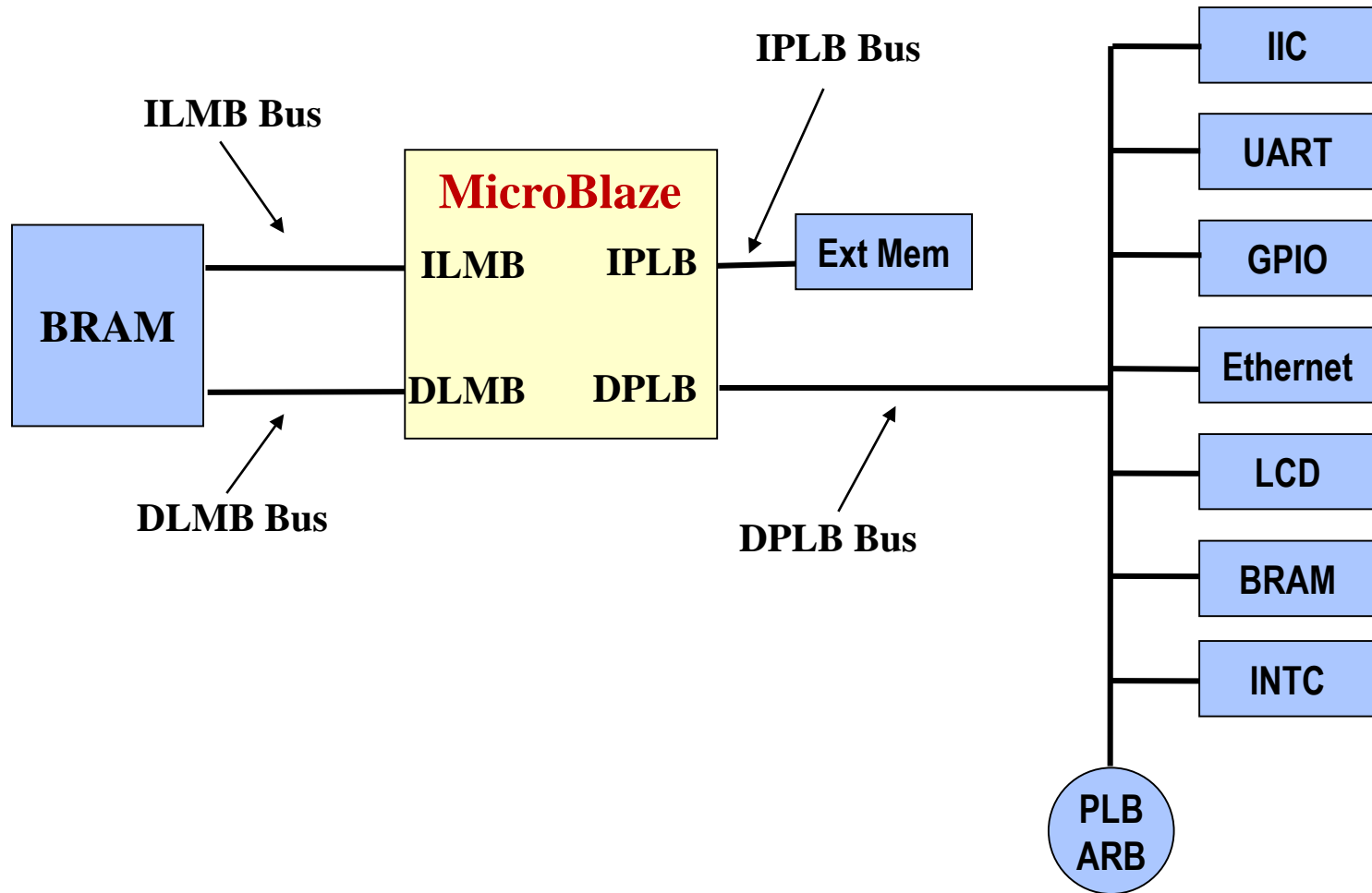
Parameter Name	Feature/Description	Allowable Values	Default Value	EDK Tool Assigned	VHDL Type
C_FAMILY	Target Family	aspartan3 aspartan3a aspartan3adsp aspartan3e aspartan6 qspartan6 qspartan6l spartan3 spartan3a spartan3adsp virtex6 spartan3an spartan3e spartan6 spartan6l qrvirtex4 qrvirtex5 qrvirtex4 qvirtex4 qvirtex6 virtex4 virtex5 virtex6l	virtex5	yes	string
C_DATA_SIZE	Data Size	32	32	NA	integer
C_INSTANCE	Instance Name	Any instance name	micro blaze	yes	string
C_D_PLB ←	Data side PLB interface	0, 1	0	yes	integer
C_D_AXI	Data side AXI interface	0, 1	0	yes	integer
C_D_LMB ←	Data side LMB interface	0, 1	1	yes	integer
C_I_PLB ←	Instruction side PLB interface	0, 1	0	yes	integer
C_I_AXI	Instruction side AXI interface	0, 1	0	yes	integer
C_I_LMB ←	Instruction side LMB interface	0, 1	1	yes	integer

Buses de MicroBlaze

- La conexión de periféricos a un procesador se realiza mediante **buses** que agrupan las diferentes líneas de direcciones, datos y control.
- Xilinx ha implementado distintos tipos de buses.
- MicroBlaze posee buses **locales (LMB)** y buses **de expansión (PLB)**.
- El bus **PLB** facilita la conexión de periféricos en un sistema basado en MicroBlaze o PowerPC.

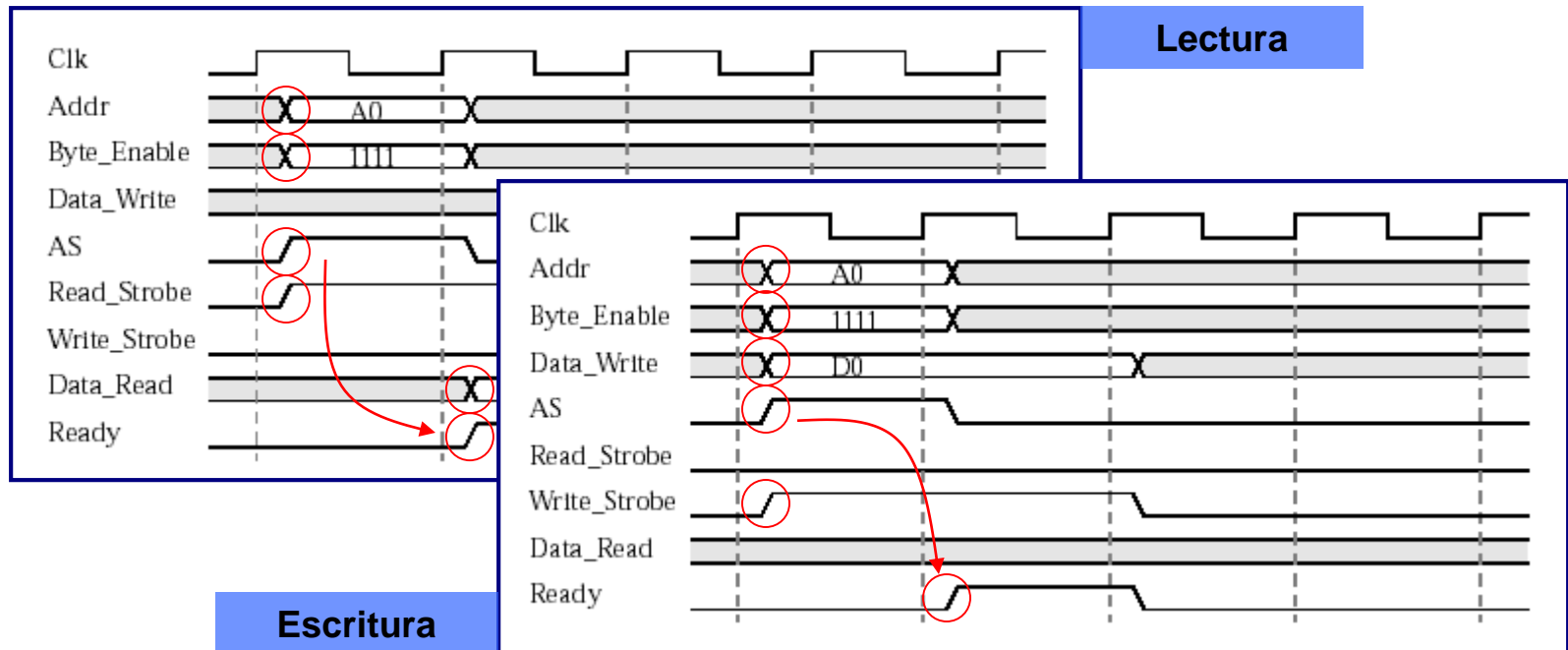


Buses de MicroBlaze



Local Memory Bus (LMB)

- Bus síncrono utilizado para acceder a las memorias de bloque disponibles en la FPGA
- Usa un número mínimo de señales de control y un protocolo sencillo para asegurar que la BRAM se acceda en un ciclo de reloj



Processor Local Bus (PLB)

- Bus utilizado para conectar memoria externa y periféricos.
- Los diferentes dispositivos actúan como “Masters” o “Slaves”
 - MicroBlaze es Master del bus PLB.
 - Soporta 16 masters y cualquier número de slaves.
- Mecanismo de arbitración centralizado: PLB-arbiter
 - Esquemas de prioridad fija o dinámica
- Operación síncrona
 - Bus de direcciones de 32 bits
 - Bus de datos de 32 bits
 - Los buses de datos de lectura y escritura pueden separarse.



Otras interfaces

➤ FSL Fast Simplex Link

- Canales de comunicación punto a punto mediante FIFOs
- 16 masters y 16 slaves
- 2 ciclos de reloj para lectura y escritura

➤ Advanced eXtensible Interface (AXI4)

- 32 masters y 32 slaves.
- Operación de escritura: 1 ciclo de reloj.
- Operación de lectura: 2 ciclos de reloj (modo bloqueo), 1 o 2 ciclos de reloj (modo no-bloqueo).



Otras interfaces

➤ Xilinx CacheLink (XCL)

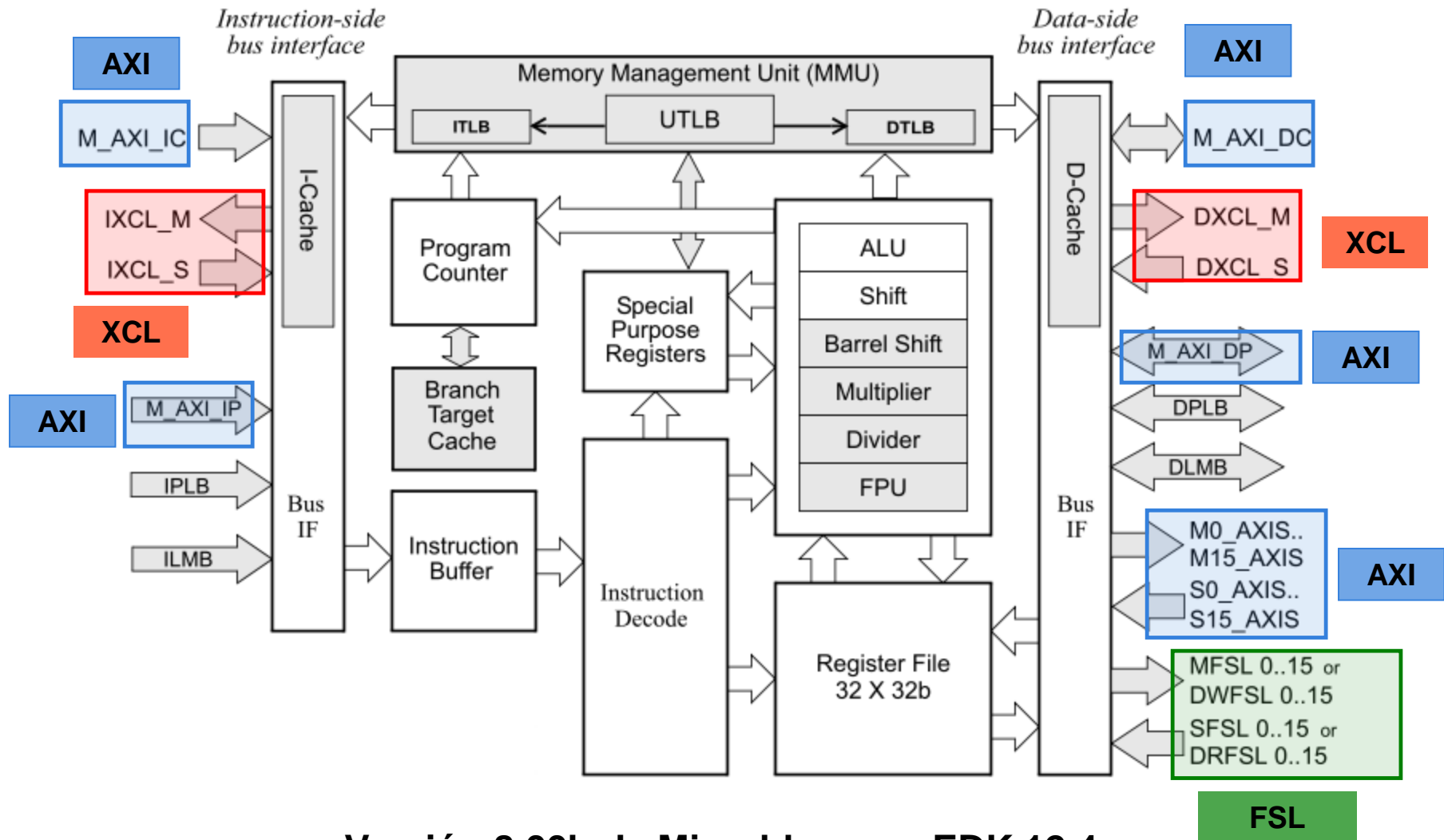
- Acceso rápido a memoria externa
- Disponible a partir de versión 3.00a

➤ Debug Interface

- Trabaja en conjunción con el **módulo MDM** (*MicroBlaze Debug Module*)
- A través del puerto **JTAG** de la FPGA



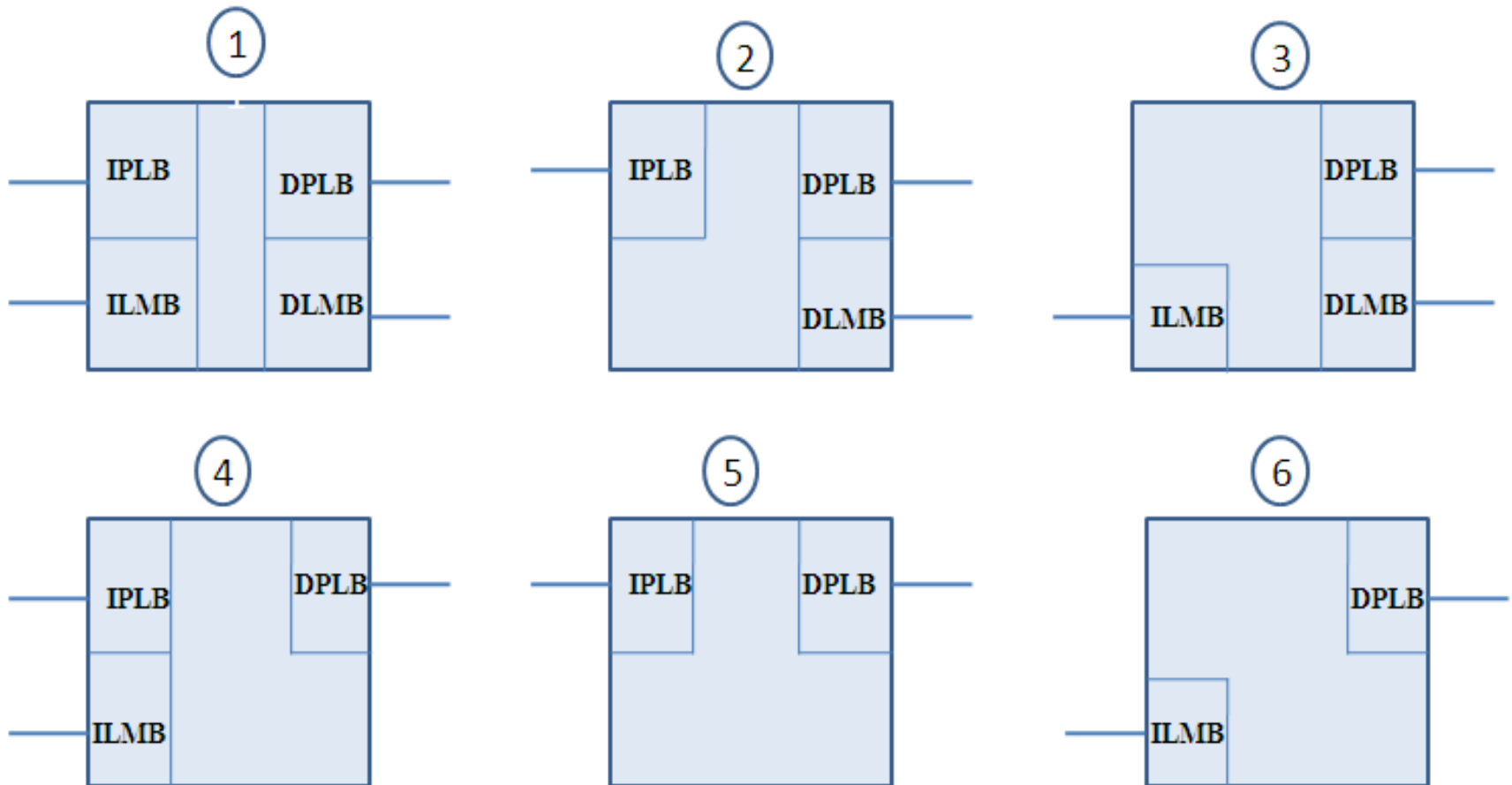
Otras interfaces (cont.)



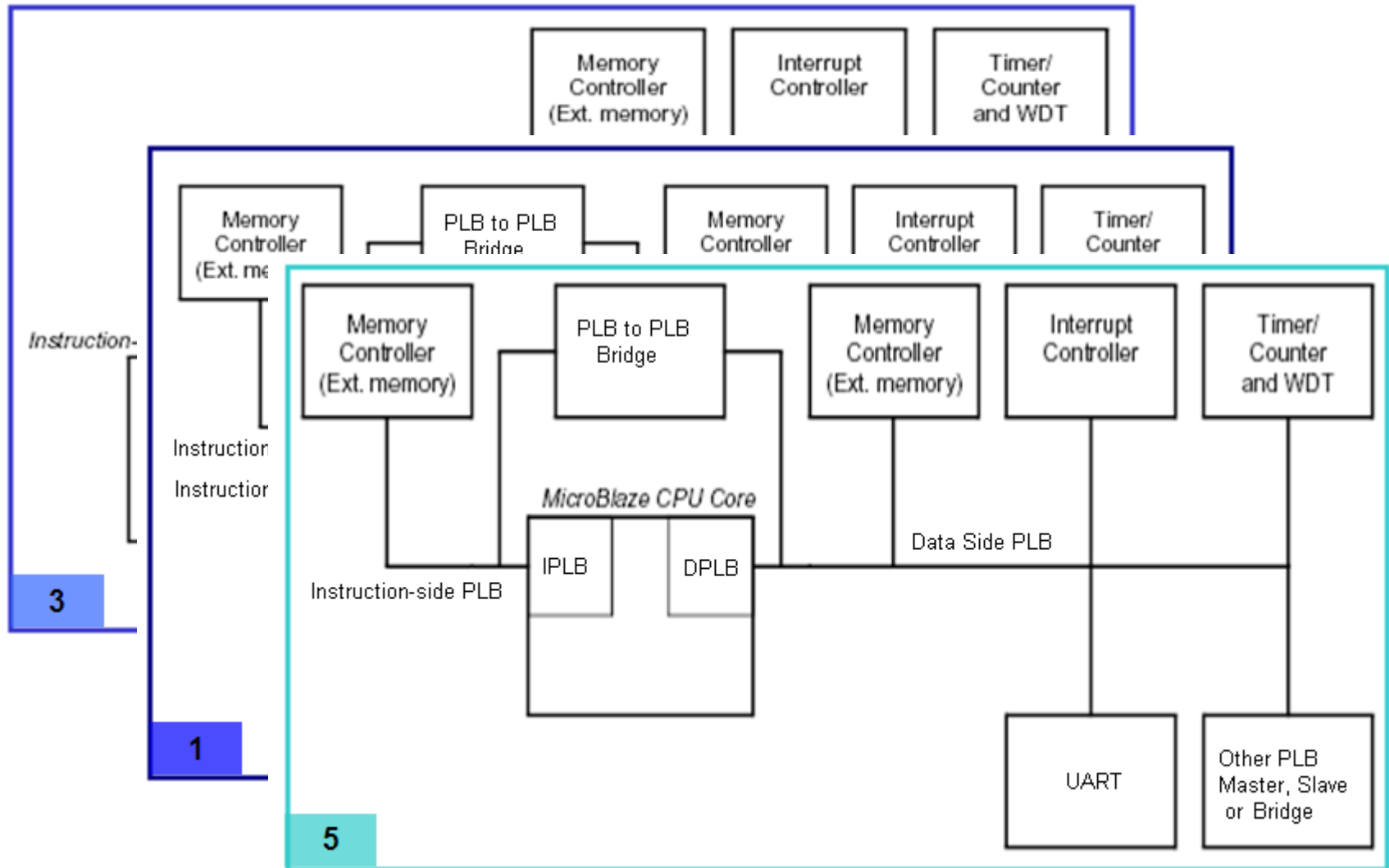
Versión 8.00b de Microblaze, en EDK 12.4



Configuración de Buses de MicroBlaze



Configuración de buses de MicroBlaze



Módulos IP para MicroBlaze

Incluidos en EDK

➤ Periféricos estándar

- XPS GPIO
- XPS UART-Lite
- XPS Interrupt Controller
- XPS Timer/Counter
- XPS TimeBase/WDT

➤ Debug

- MDM
- ChipScope ICON
- ChipScope PLB IBA

➤ Buses

- LMB
- PLB
- FSL

➤ Controladores de memoria

- LMB BRAM Controller
- XPS BRAM Controller
- MPMC (DDR Controller)
- XPS MCEMControlle (Flash, SRAM)
- XPS S ACE Controller (Compact Flash)

➤ IPs de usuarios

- XPS IPIF Interface



PLB UART Lite (data sheet)



XPS UART Lite (v1.01a)

DS571 April 19, 2010

Product Specification

Introduction

The XPS Universal Asynchronous Receiver Transmitter (UART) Lite Interface connects to the PLB (Processor Local Bus) and provides the controller interface for asynchronous serial data transfer. This soft IP core is designed to interface with the PLBV46.

Features

- PLB interface is based on PLB v4.6 specification
- Supports 8-bit bus interfaces
- One transmit and one receive channel (full duplex)
- 16-character Transmit FIFO and 16-character Receive FIFO
- Configurable number of data bits in a character (5-8)
- Configurable parity bit (odd or even)
- Configurable baud rate

LogiCORE™ Facts		
Core Specifics		
Supported Device Family	See EDK Supported Device Families .	
Version of Core	xps_uartlite	v1.01a
Resources Used		
	Min	Max
Slices	Refer to the Table 9 , Table 10 , Table 11 , Table 12 and Table 13	
LUTs		
FFs		
Block RAMs	N/A	

PLB UART Lite (data sheet)

XPS UART Lite Design Parameters

Feature/Description	Parameter Name	Allowable Values	Default Value	VHDL Type
System Parameter				
Target FPGA family	C_FAMILY	See C_FAMILY parameter values .		string
System clock frequency (in Hz) driving the UART Lite peripheral	C_SPLB_CLK_FREQ_HZ	integer (ex. 100000000)	100_000_000	Integer
PLB Parameters				
PLB Base Address	C_BASEADDR	Valid Address ^[1]	None ^[3]	std_logic_vector
PLB High Address	C_HIGHADDR	Valid Address ^[2]	None ^[3]	std_logic_vector
PLB least significant address bus width	C_SPLB_AWIDTH	32	32	integer
PLB data width	C_SPLB_DWIDTH	32, 64, 128	32	integer
Baud rate of the UART Lite in bits per second	C_BAUDRATE	integer (ex. 128000)	9600 ^[5]	Integer
The number of data bits in the serial frame	C_DATA_BITS	5 - 8	8	Integer
Determines whether parity is used or not	C_USE_PARITY	0 = Do not use parity 1 = Use parity	1	Integer
If parity is used, determines whether parity is odd or even	C_ODD_PARITY	0 = Even parity 1 = Odd parity	1	Integer



PLB GPIO (data sheet)



XPS General Purpose Input/Output (GPIO) (v2.00.a)

DS569 Apr 19, 2010

Product Specification

Introduction

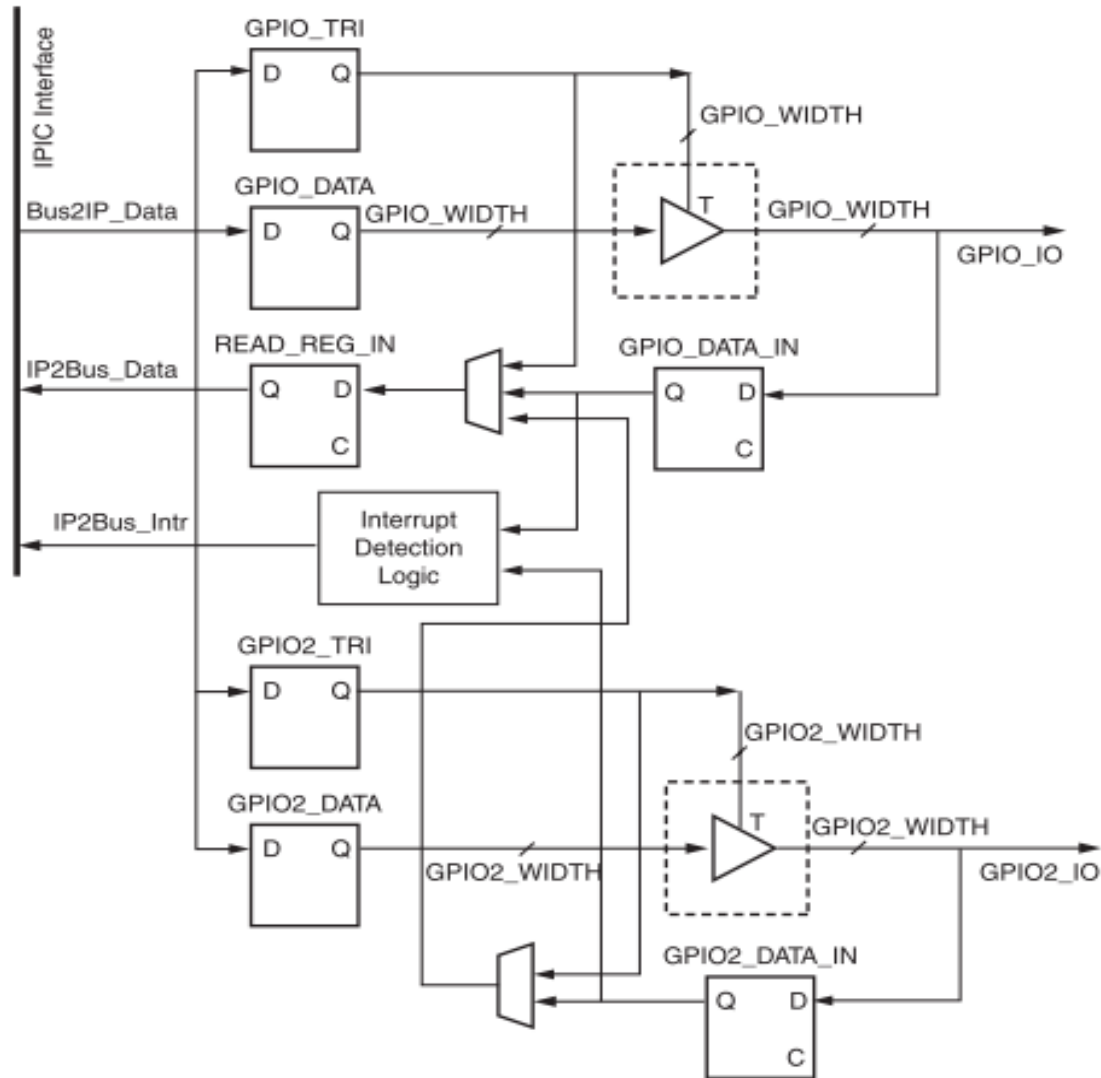
This document describes the specifications for the General Purpose Input/Output (GPIO) core for the Processor Local Bus (PLB). The XPS GPIO is a 32-bit peripheral that attaches to the PLBv4.6.

Features

- Connects as a 32-bit slave on PLB v4.6 bus of 32, 64 or 128 bits
- Configurable as single or dual GPIO channel(s)
- Number of GPIO bits configurable from 1 to 32 bits
- Each GPIO bit can be dynamically programmed as input or output
- Width of each of the channels can be individually configured
- Independent reset values for each bit of all registers
- Optional interrupt request generation

LogiCORE™ Facts		
Core Specifics		
Supported Device Family	See EDK Supported Device Families .	
Version of Core	xps_gpio	v2.00.a
Resources Used		
	Min	Max
Slices	Refer to the Table 12 , Table 13 , Table 14 , Table 15 and Table 16	
LUTs		
FFs		
Block RAMs	N/A	

PLB GPIO (data sheet)



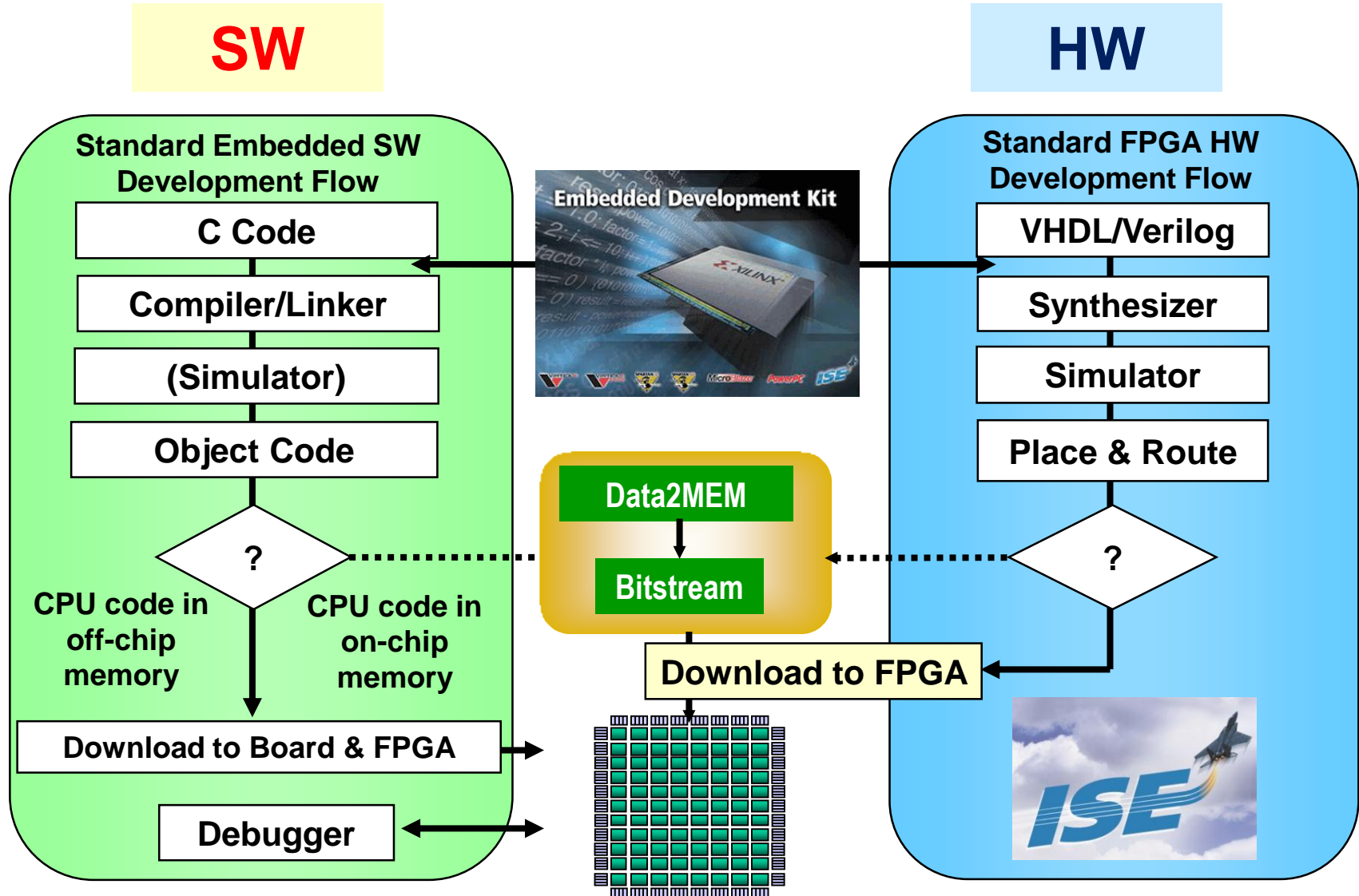
GPIO_CORE Dual Channel Implementation

PLB GPIO (data sheet)

Feature / Description	Parameter Name	Allowable Values	Default Value	VHDL Type
System Parameter				
Target FPGA family	C_FAMILY	spartan [®] 3, aspartan [®] 3, spartan [®] 3adsp, spartan [®] 3e, aspartan [®] 3e, spartan [®] 3a, spartan [®] 3a, aspartan [®] 3adsp, spartan [®] 3an, virtex [®] 4, qvirtex [®] 4, qrvirtex [®] 4, virtex [®] 5	virtex5	string
PLB GPIO Base Address	C_BASEADDR	Valid Address	None ^[1]	std_logic_vector
PLB GPIO High Address	C_HIGHADDR	Valid Address ^[1]	None ^[1]	std_logic_vector
PLB address width	C_SPLB_AWIDTH	32	32	integer
PLB data width	C_SPLB_DWIDTH	32, 64, 128	32	integer
GPIO Channel1 Data Bus Width	C_GPIO_WIDTH	1-32	32	integer
GPIO Channel2 Data Bus Width	C_GPIO2_WIDTH	1-32	32	integer
GPIO_DATA reset value	C_DOUT_DEFAULT	Any valid std_logic_vector	00000000	std_logic_vector
GPIO_TRI reset value	C_TRI_DEFAULT	Any valid std_logic_vector	FFFFFFFF	std_logic_vector
GPIO2_DATA reset value	C_DOUT_DEFAULT_2	Any valid std_logic_vector	00000000	std_logic_vector
GPIO2_TRI reset value	C_TRI_DEFAULT_2	Any valid std_logic_vector	FFFFFFFF	std_logic_vector



Flujo de diseño con EDK



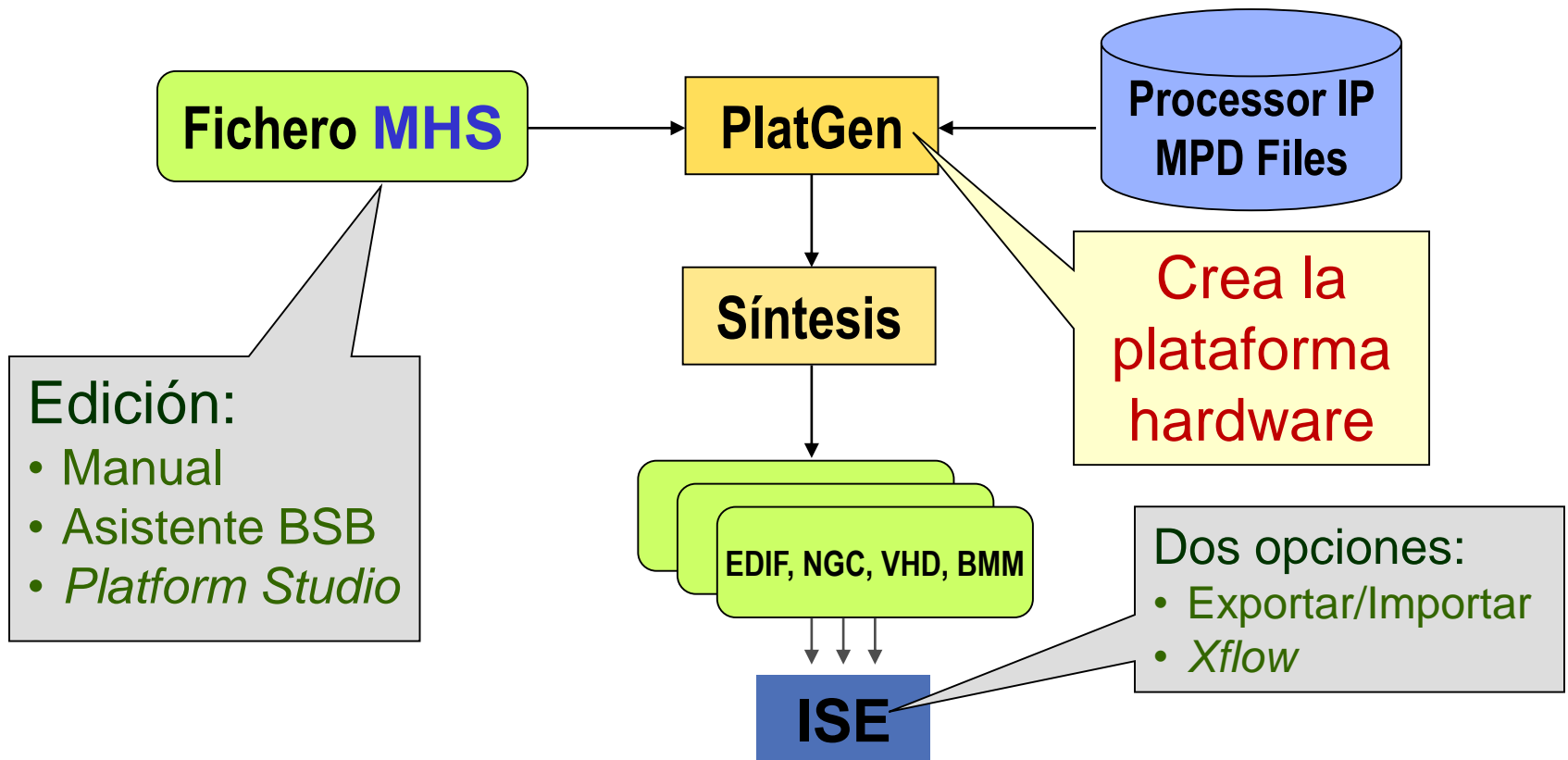
Fases de desarrollo de un sistema empujado

- ❑ **Creación de la plataforma hardware**
 - Arquitectura, conectividad, mapa de memoria, parámetros
- ❑ **[Verificación de la plataforma hardware]**
 - Modelos y ficheros de comandos de simulación
- ❑ **Configuración de la plataforma software**
 - Drivers, bibliotecas, sistema operativo
- ❑ **Desarrollo de software de aplicación**
 - Edición fuentes, compilación, enlace (linker)
- ❑ **Depuración de aplicaciones**
 - Descarga y ejecución bajo control de un debugger



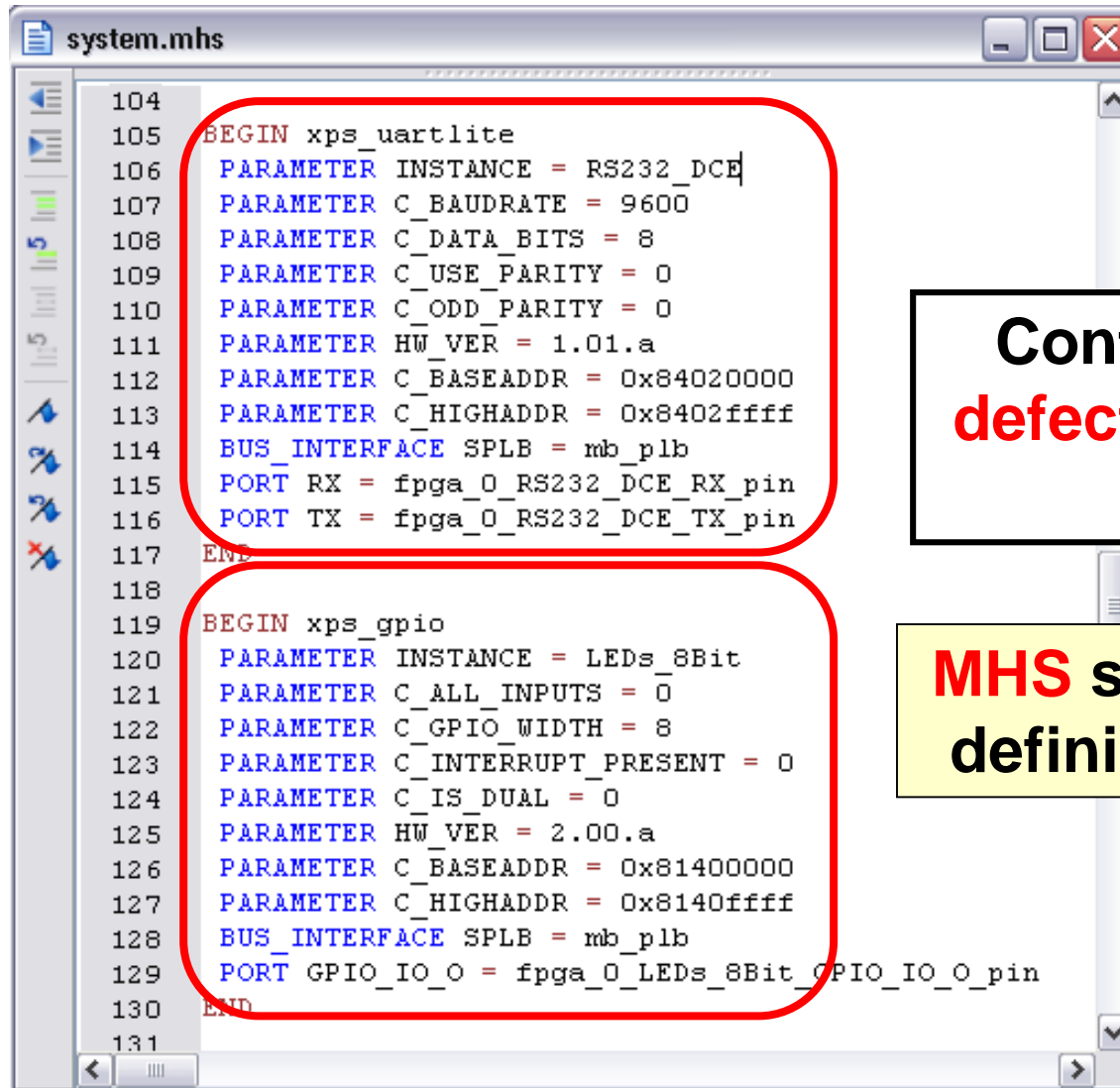
Creación de la Plataforma Hardware

- Entrada: fichero **MHS** (*Microprocessor Hardware Specification*)
- Herramienta: **PlatGen** (*Platform Generator*)



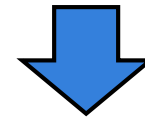
Parámetros de Configuración de Módulos IP

Fichero MHS



```
104 BEGIN xps_uartlite
105 PARAMETER INSTANCE = RS232_DCE
106 PARAMETER C_BAUDRATE = 9600
107 PARAMETER C_DATA_BITS = 8
108 PARAMETER C_USE_PARITY = 0
109 PARAMETER C_ODD_PARITY = 0
110 PARAMETER HW_VER = 1.01.a
111 PARAMETER C_BASEADDR = 0x84020000
112 PARAMETER C_HIGHADDR = 0x8402ffff
113 BUS_INTERFACE SPLB = mb_plb
114 PORT RX = fpga_0_RS232_DCE_RX_pin
115 PORT TX = fpga_0_RS232_DCE_TX_pin
116 END
117
118
119 BEGIN xps_gpio
120 PARAMETER INSTANCE = LEDs_8Bit
121 PARAMETER C_ALL_INPUTS = 0
122 PARAMETER C_GPIO_WIDTH = 8
123 PARAMETER C_INTERRUPT_PRESENT = 0
124 PARAMETER C_IS_DUAL = 0
125 PARAMETER HW_VER = 2.00.a
126 PARAMETER C_BASEADDR = 0x81400000
127 PARAMETER C_HIGHADDR = 0x8140ffff
128 BUS_INTERFACE SPLB = mb_plb
129 PORT GPIO_IO_0 = fpga_0_LEDs_8Bit_GPIO_IO_0_pin
130 END
131
```

Processor IP
MPD Files

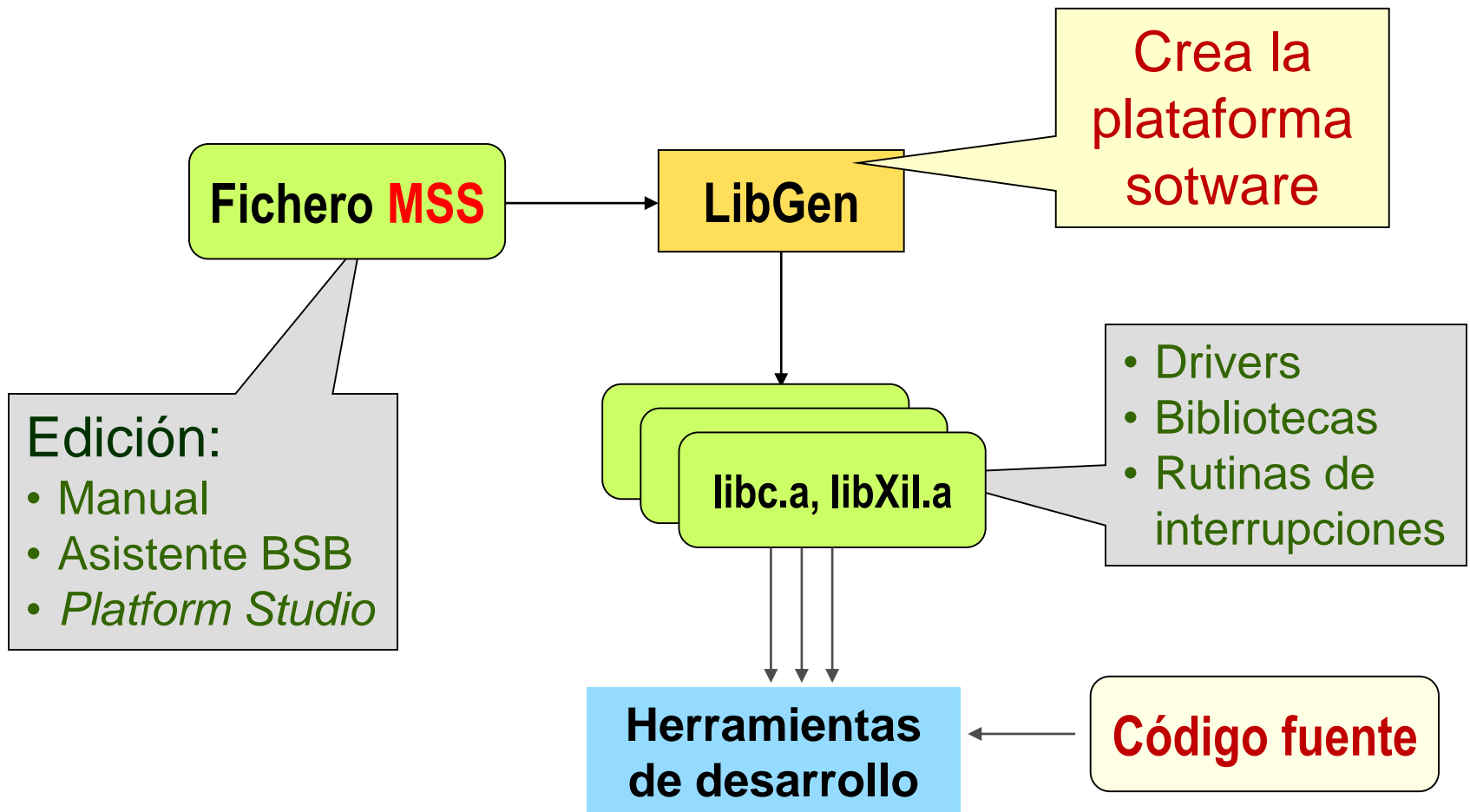


Contiene los valores **por defecto** de la configuración del componente

MHS sobrescribe los valores definidos en el fichero **MPD**

Configuración de la Plataforma Software

- Plataforma software = capa de abstracción de HW (HAL)
- Entrada: fichero MSS (Microprocessor Software Specification)
- Herramienta: LibGen (*Library Generator*)



Fichero de Especificaciones de Software

```
1  PARAMETER VERSION = 2.2.0
2
3
4
5  BEGIN OS
6    PARAMETER OS_NAME = standalone
7    PARAMETER OS_VER = 3.00.a
8    PARAMETER PROC_INSTANCE = microblaze_0
9    PARAMETER STDIN = mdrm_0
10   PARAMETER STDOUT = mdrm_0
11 END
12
13
14 BEGIN PROCESSOR
15   PARAMETER DRIVER_NAME = cpu
16   PARAMETER DRIVER_VER = 1.13.a
17   PARAMETER HW_INSTANCE = microblaze_0
18   PARAMETER COMPILER = mb-gcc
19   PARAMETER ARCHIVER = mb-ar
20 END
21
22
23 BEGIN DRIVER
24   PARAMETER DRIVER_NAME = bram
25   PARAMETER DRIVER_VER = 2.00.a
26   PARAMETER HW_INSTANCE = dlmb_cntlr
27 END
28
29 BEGIN DRIVER
30   PARAMETER DRIVER_NAME = bram
31   PARAMETER DRIVER_VER = 2.00.a
32   PARAMETER HW_INSTANCE = ilmb_cntlr
33 END
34
```

Parámetro global

OS: Sistema operativo, Versión, Identificador, E/S estándar

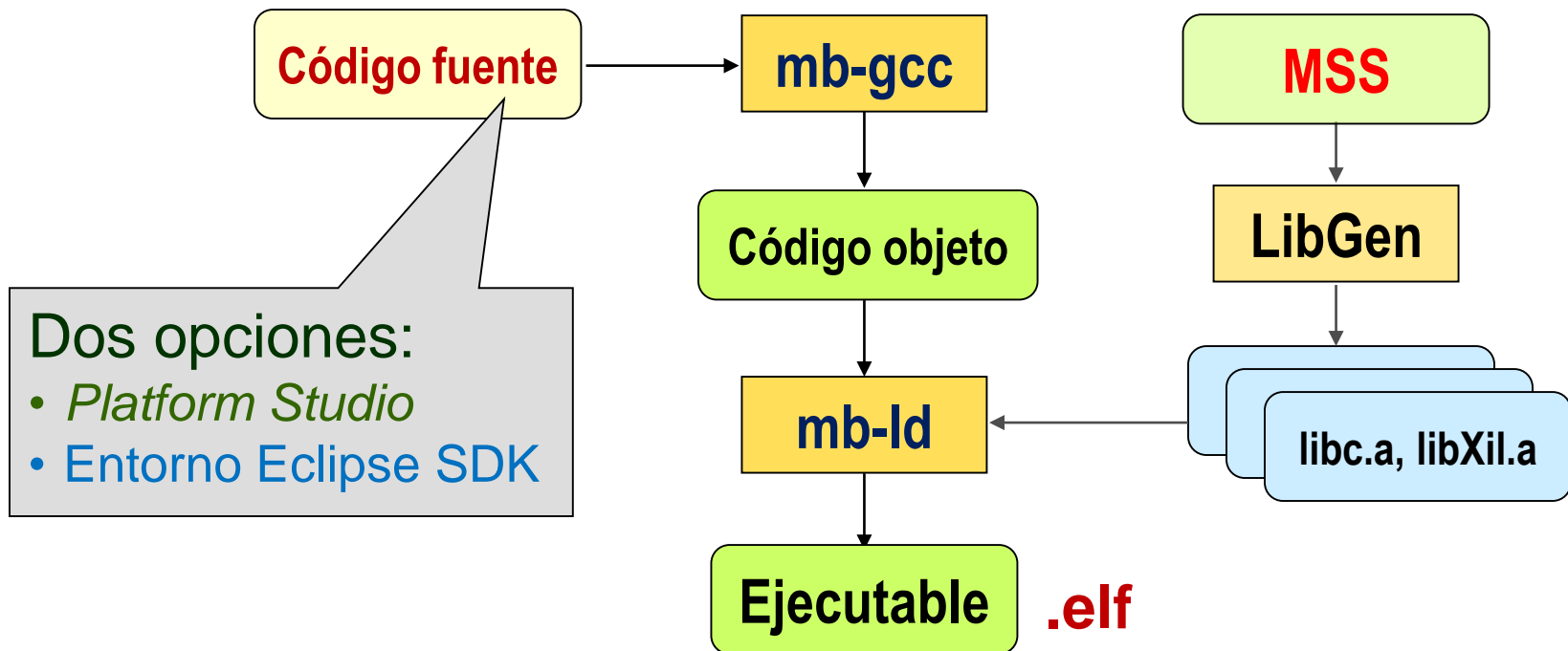
PROCESSOR: Nombre, Versión, Identificador, Compilador, Gestor bibliotecas, Periférico de depuración

DRIVER: Nombre, Versión, Identificador



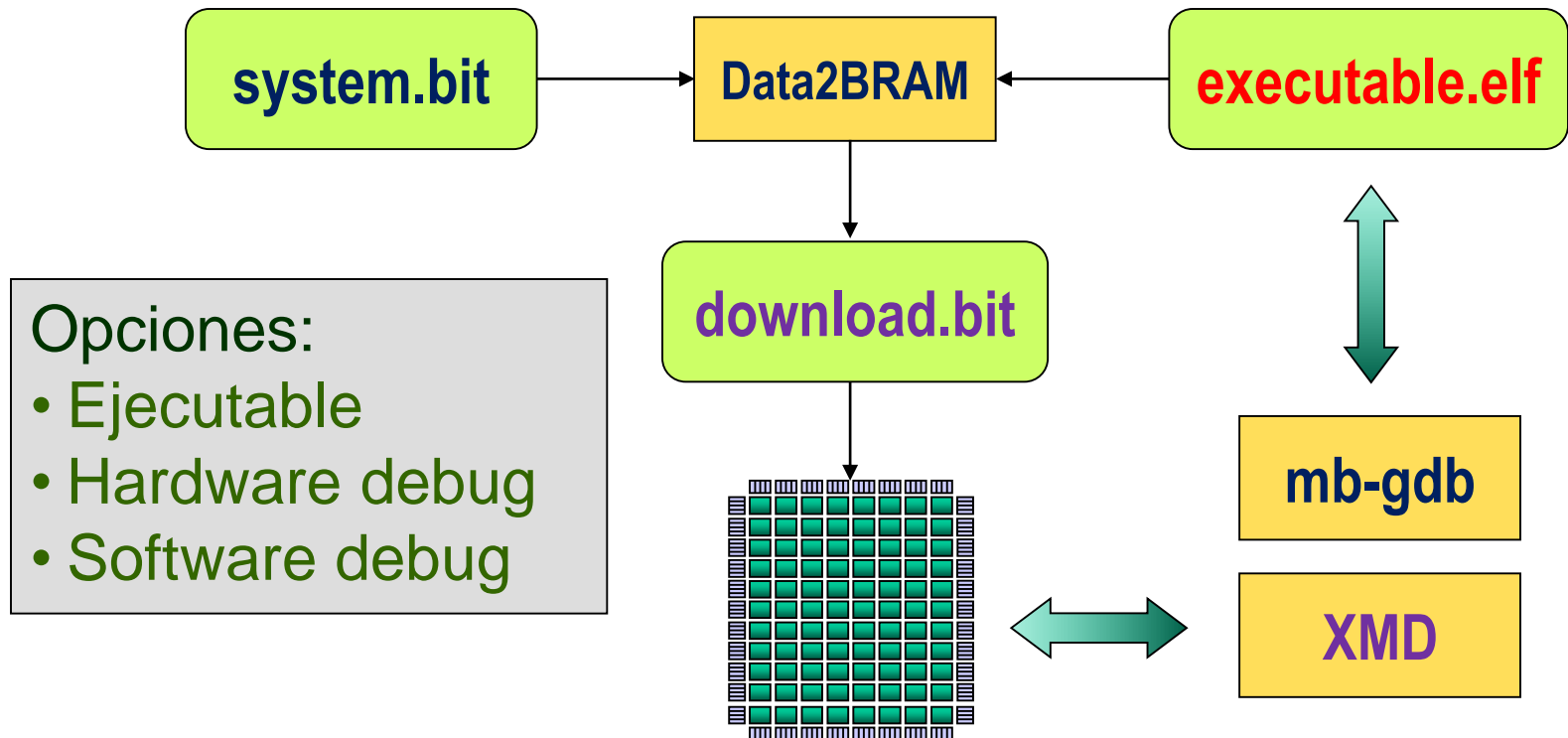
Desarrollo de Software de Aplicación

- **Entrada:** código fuente en C, C++ o ensamblador
- **Herramientas:** Entorno de desarrollo GNU
(compilador **mb-gcc**, linker **mb-ld**, depurador...)

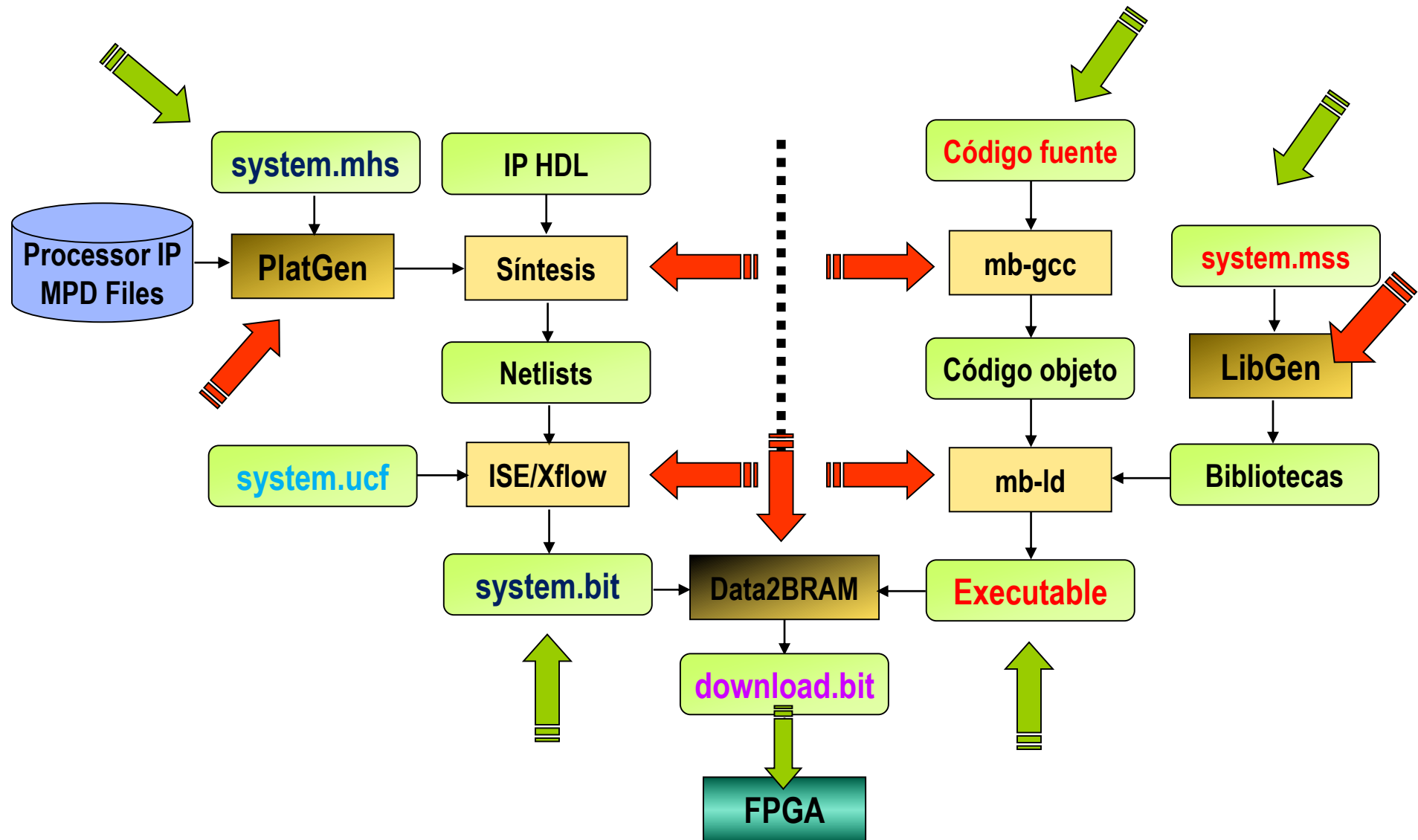


Descarga y Ejecución de Aplicaciones

- **Entrada:** código ejecutable (.elf) y fichero de configuración de la FPGA (.bit)
- **Herramientas:** a) de integración: **Data2MEM**; b) de depuración: **mb-gdb** y **XMD** (*Xilinx Microprocessor Debugger*)



Flujo de diseño con EDK



Herramientas de EDK

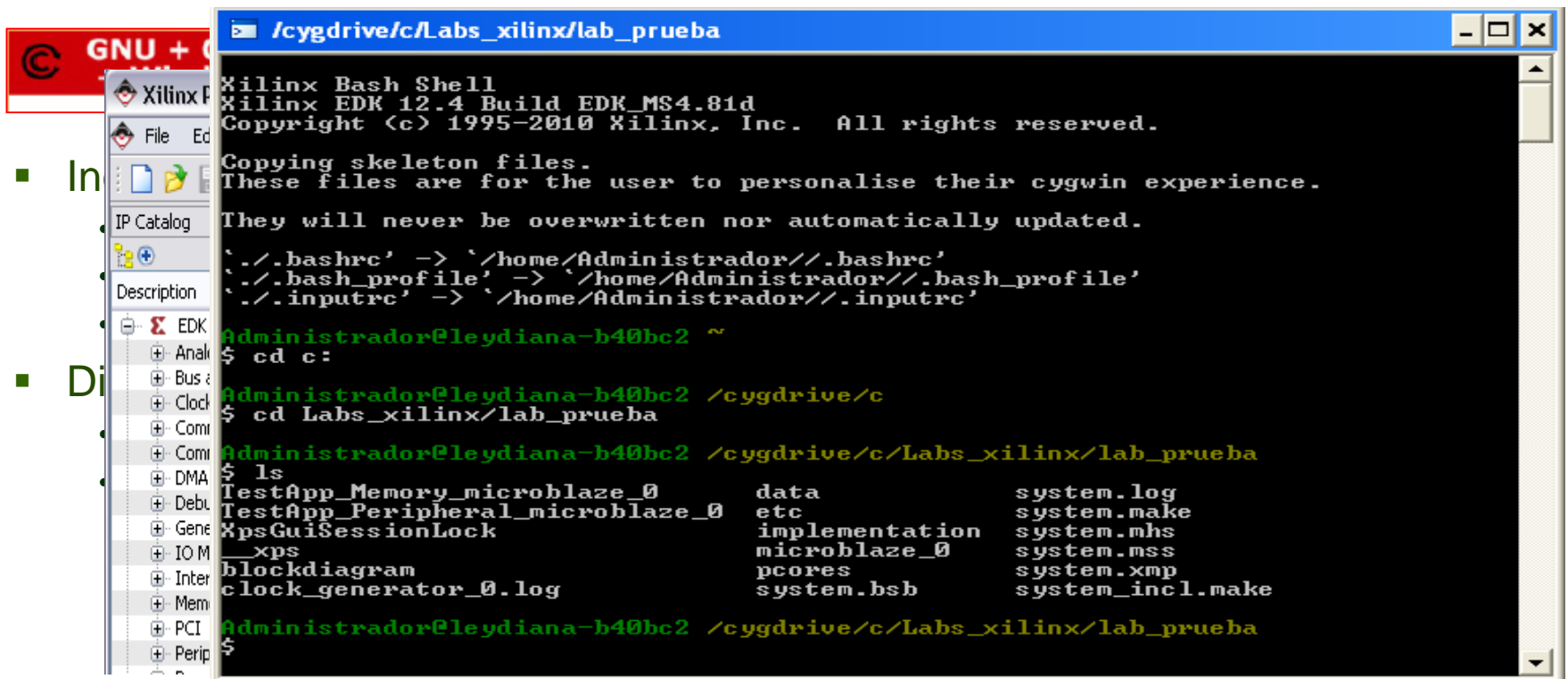
- **XPS** (*Xilinx Platform Studio*)
 - Interfaz gráfica de usuario que facilita la gestión de diseños
- **PlatGen** (*Platform Generator*)
 - Crea la plataforma hardware a partir de un fichero MHS
- **[SimGen** (*Simulation Model Generator*)
 - Genera un entorno de simulación a partir del fichero MHS
- **LibGen** (*Library Generator*)
 - Crea la plataforma software a partir de un fichero MSS
- Herramientas de desarrollo de **GNU**
 - Facilitan la compilación, link-edición y depuración de aplicaciones software
- **XMD** (*Xilinx Microprocessor Debugger*)
 - Proporciona comunicación entre las herramientas de depuración y el procesador
- **BSB** (*Base System Builder*)
 - Asistente para la creación de diseños sobre placas de desarrollo específicas
- **CreateIP** (*Create/Import Peripheral Wizard*)
 - Permite incorporar IPs de usuario a proyectos EDK

Ficheros de EDK

- **MHS** (*Microprocessor Hardware Specification*)
 - Módulos, buses, espacio de memoria, parámetros. (Define la arquitectura del sistema)
- **MSS** (*Microprocessor Software Specification*)
 - Drivers, librerías, sistema operativo, rutinas interrupción
- **MPD** (*Microprocessor Peripheral Description*)
 - Definición de periféricos E/S, contiene los valores por defecto de todos los parámetros (parámetros genéricos).
- **UCF** (*User Constraints File*)
 - Fichero de restricciones de implementación -> conexiones FPGA
- **ELF** (*Executable and Linker Format*)
 - Fichero ejecutable sobre MicroBlaze
- **BIT**
 - Configuración FPGA → **download.bit** = **system.bit** + **executable.elf**

Xygrwin Shell

- El flujo de diseño de EDK está basado en herramientas de desarrollo de **Unix**:
 - **Uso exhaustivo de la utilidad “make” y ficheros “makefile”**
- EDK para Windows utiliza una versión reducida del entorno de desarrollo **Cygnus Windows (cygwin)** de Red Hat



The screenshot shows a Windows desktop environment. On the left, a portion of the EDK IDE is visible, displaying a project tree with various components like 'Analog', 'Bus', 'Clock', 'Com', 'DMA', 'Debug', 'General', 'IO M', 'Inter', 'Mem', 'PCI', and 'Perip'. The main window is a Cygwin terminal titled '/cygdrive/c/Labs_xilinx/lab_prueba'. The terminal output shows the Xilinx Bash Shell environment, including the EDK version (12.4 Build EDK_MS4.81d) and copyright information. It then displays the process of copying skeleton files to the user's home directory. The user, 'Administrador@leydiana-b40bc2', navigates through the file system using 'cd' commands, moving from the root directory to 'c:', then to 'cygdrive/c', and finally to 'cygdrive/c/Labs_xilinx/lab_prueba'. The 'ls' command is executed, showing a directory listing with files and subdirectories such as 'TestApp_Memory_microblaze_0', 'TestApp_Peripheral_microblaze_0', 'XpsGuiSessionLock', 'xps', 'blockdiagram', 'clock_generator_0.log', 'data', 'etc', 'implementation', 'microblaze_0', 'pcores', 'system.bsh', 'system.log', 'system.make', 'system.mhs', 'system.mss', 'system.xmp', and 'system_incl.make'.

```
Xilinx Bash Shell
Xilinx EDK 12.4 Build EDK_MS4.81d
Copyright (c) 1995-2010 Xilinx, Inc. All rights reserved.

Copying skeleton files.
These files are for the user to personalise their cygwin experience.
They will never be overwritten nor automatically updated.
'./bashrc' -> '/home/Administrador/.bashrc'
'./bash_profile' -> '/home/Administrador/.bash_profile'
'./inputrc' -> '/home/Administrador/.inputrc'

Administrador@leydiana-b40bc2 ~
$ cd c:

Administrador@leydiana-b40bc2 /cygdrive/c
$ cd Labs_xilinx/lab_prueba

Administrador@leydiana-b40bc2 /cygdrive/c/Labs_xilinx/lab_prueba
$ ls
TestApp_Memory_microblaze_0    data                system.log
TestApp_Peripheral_microblaze_0  etc                system.make
XpsGuiSessionLock             implementation      system.mhs
xps                           microblaze_0       system.mss
blockdiagram                  pcores            system.xmp
clock_generator_0.log         system.bsh         system_incl.make

Administrador@leydiana-b40bc2 /cygdrive/c/Labs_xilinx/lab_prueba
$
```

Xilinx Platform Studio (XPS)

- XPS es una **interfaz gráfica** de usuario (GUI) que facilita los diferentes procesos relacionados con la especificación y creación de una plataforma de procesamiento empujada, así como el desarrollo y depuración de aplicaciones software sobre dicha plataforma
- **Funciones:**
 - Configuración hardware y software de la plataforma
 - Desarrollo de programas de aplicación
 - Gestión de dependencias en el flujo de diseño
- **Concepto de “Proyecto”**
 - *Directorio_del_proyecto*
 - Fichero **XMP**

Xilinx Platform Studio (XPS)

Xilinx Platform Studio - C:\Labs_xilinxlab_pruebasystem.xmp - [System Assembly View]

Menús y Comandos de acceso rápido

Proyecto, Aplicaciones SW, Módulos IP

Conexiones

Vista del Sistema MB

Panel de Filtro

Consola de Mensajes

Name	Bus Name	IP Type	IP Version
dlimb		lmb_v10	1.00.a
ilmb		lmb_v10	1.00.a
mb_plb		plb_v46	1.05.a
microblaze_0		microblaze	8.00.b
lmb_bram		bram_block	1.00.a
dlimb_cntlr		lmb_bram_if...	2.10.b
ilmb_cntlr		lmb_bram_if...	2.10.b
mdm_0		mdm	2.00.a
xps_intc_0		xps_intc	2.01.a
Buttons_4Bit		xps_gpio	2.00.a
DIP_Switch...		xps_gpio	2.00.a
LEDs_8Bit		xps_gpio	2.00.a
SPLB	mb_plb		
RS232_DCE		xps_uartlite	1.01.a
RS232_DTE		xps_uartlite	1.01.a
clock_genera...		clock_gener...	4.01.a
proc_sys_res...		proc_sys_re...	3.00.a

Legend

- Master (blue circle)
- Slave (green circle)
- Master/Slave (blue/green circle)
- Target (purple circle)
- Initiator (pink circle)
- Connected (blue circle)
- Unconnected (green circle)
- Monitor (green circle)
- Production (green star)
- License (paid) (yellow star)
- License (eval) (orange star)
- Local (blue star)
- Pre Production (blue star)
- Beta (blue star)
- Development (blue star)
- Superseded (yellow triangle)
- Discontinued (yellow circle)

Diagram Controls

Zoom In/Out = ALT + (Mouse + Left Button) or ARROW UP/DOWN.

Pan = SHIFT + (Mouse + Left Button) or ARROW UP/DOWN/LEFT/RIGHT.

Xilinx Platform Studio (cont.)

Xilinx Platform Studio - C:\Labs_xilinx\lab_pruebasystem.xmp

File Edit View Project Hardware Software Device Configuration Debug Simulation Window Help

Diagrama en Bloques

Editor de Texto

TestApp_Memory.c

```
63  * MemoryTest routine will not be run for the mem
64  * 0x00000000 (dlmb_cntlr)
65  * because it is being used to hold a part of thi
66  */
67
68  /*
69  * Disable cache and reinitialize it so that othe
70  * applications can be run with no problems
71  */
72  #if XPAR_MICROBLAZE_0_USE_DCACHE
73      Xil_DCacheDisable();
74      Xil_DCacheInvalidate();
75  #endif
76
77  #if XPAR_MICROBLAZE_0_USE_ICACHE
78      Xil_ICacheDisable();
79      Xil_ICacheInvalidate();
80  #endif
81
```

Start U... Design ... System ...

Start Up Page Design Summary Block Diagram System Assembly View TestApp_Memory.c

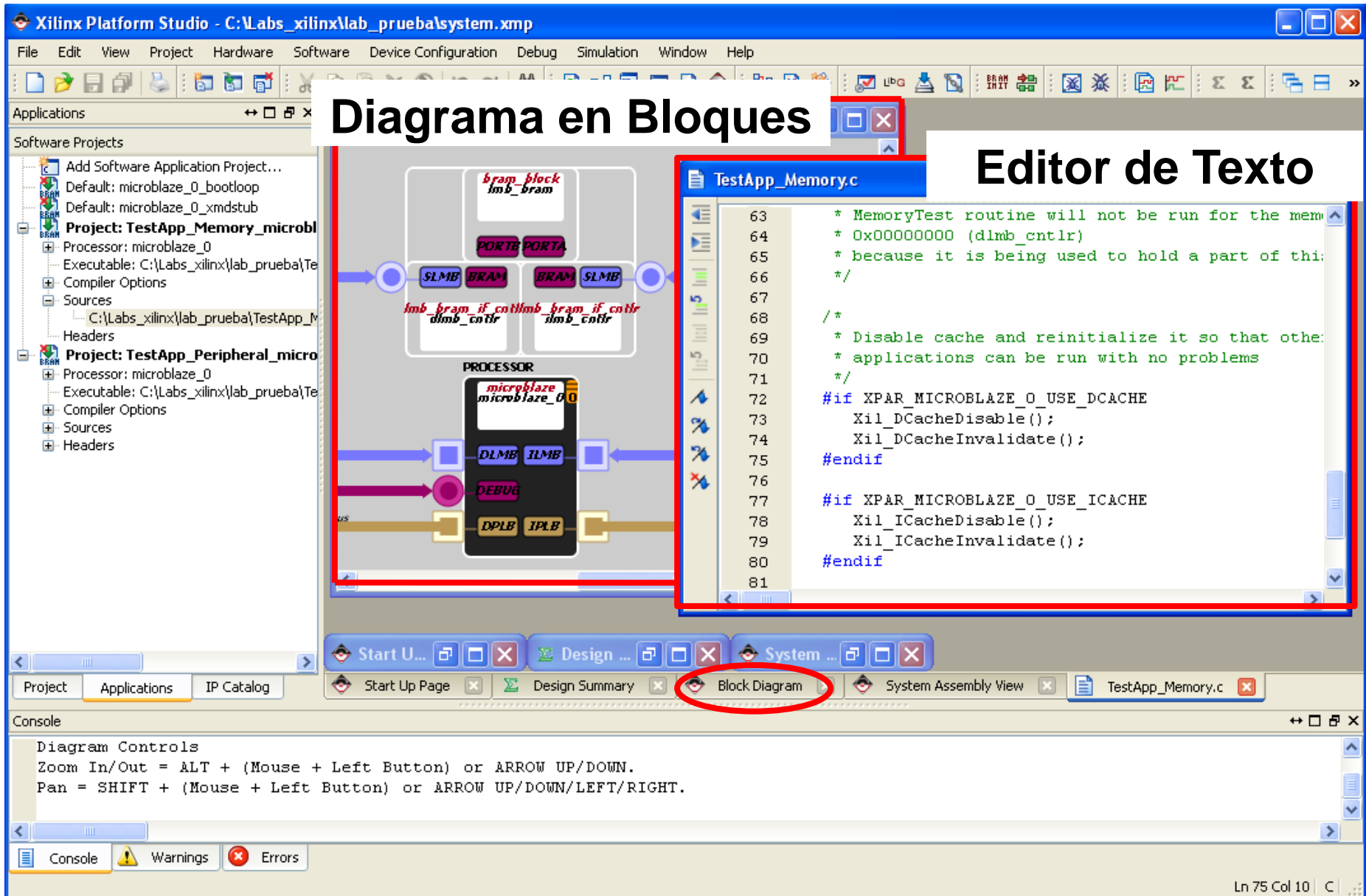
Console

Diagram Controls

Zoom In/Out = ALT + (Mouse + Left Button) or ARROW UP/DOWN.

Pan = SHIFT + (Mouse + Left Button) or ARROW UP/DOWN/LEFT/RIGHT.

Ln 75 Col 10 | C

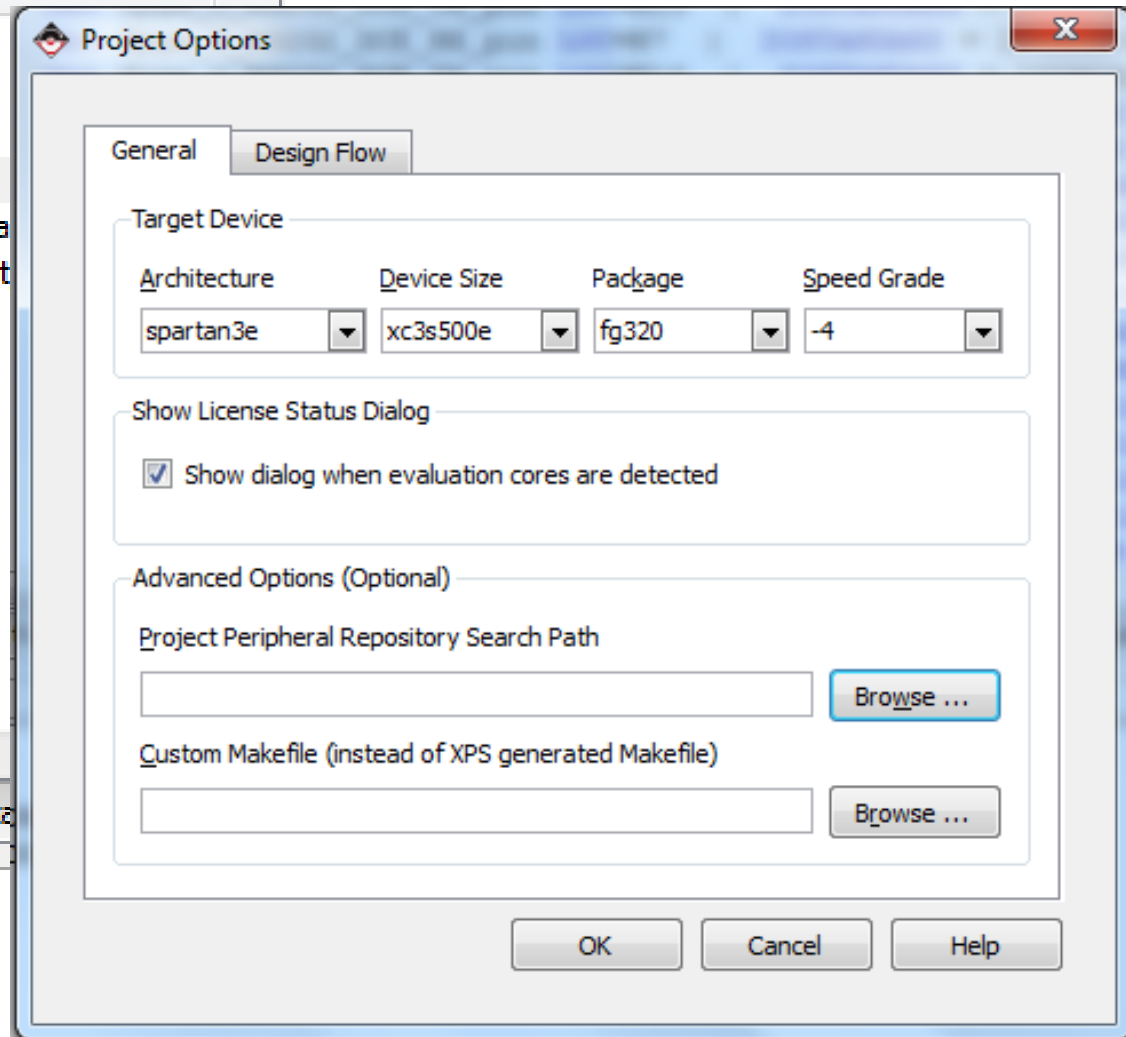
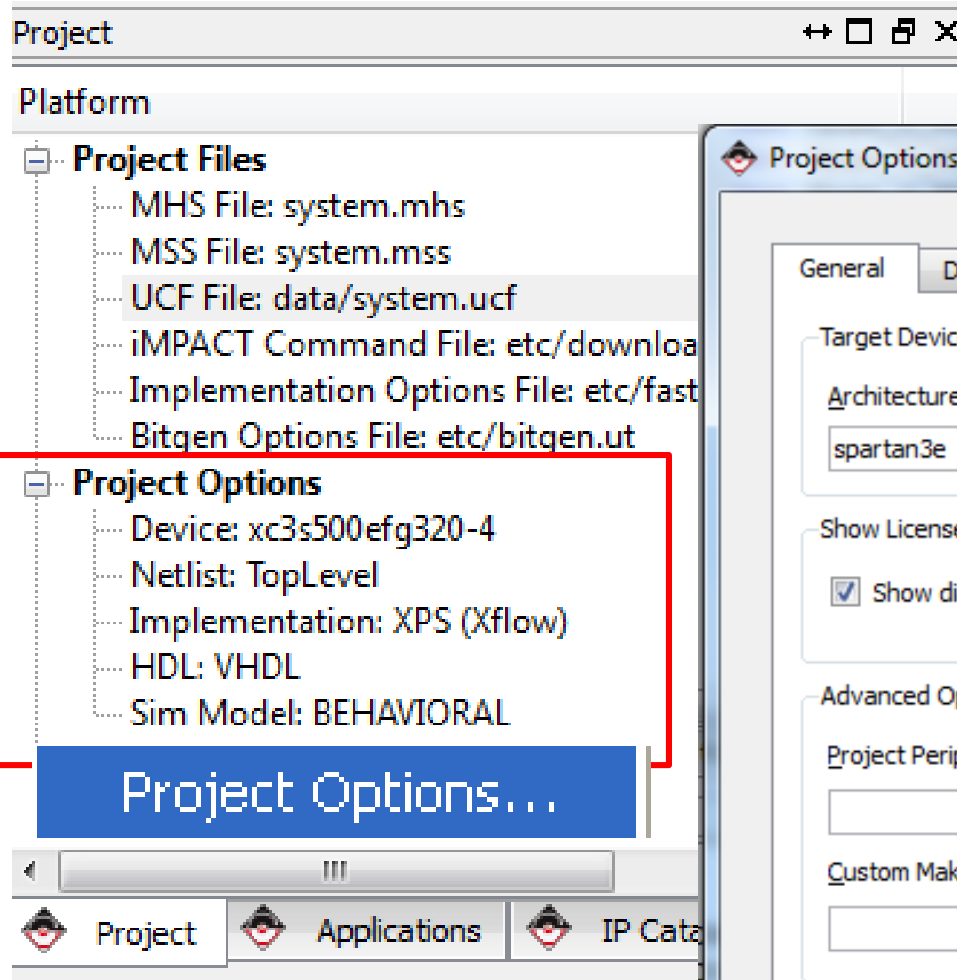


XPS: Resumen del diseño

The screenshot displays the XPS Design Summary window. The left sidebar contains a tree view with categories: Design Overview, XPS Errors and Warnings, XPS Reports, and Errors and Warnings. The Design Overview section is expanded, showing a list of reports including Summary, IOB Properties, Module Level Utilization, Timing Constraints, Pinout Report, Clock Report, and various Log Files. The Design Properties section at the bottom left includes checkboxes for 'Enable Message Filtering', 'Optional Design Summary Content', 'Show Clock Report', 'Show Failing Constraints', 'Show Warnings', and 'Show Errors'. The main area shows a table of synthesis results for various components, including system, proc sys reset 0 wrapper, mdm 0 wrapper, clock generator 0 wrapper, ddr sdram wrapper, buttons 4bit wrapper, dip switches 4bit wrapper, leds 8bit wrapper, and rs232 dce wrapper. The table columns are Report, Generated, Flip Flops Used, LUTs Used, BRAMS Used, and Errors. The status bar at the bottom shows the current window is 'Design Summary', which is highlighted with a red circle.

Report	Generated	Flip Flops Used	LUTs Used	BRAMS Used	Errors
system	vie 20. feb 22:42:44 2015	3402	3771	13	0
proc sys reset 0 wrapper	vie 20. feb 22:41:54 2015	69	53		0
mdm 0 wrapper	vie 20. feb 22:41:51 2015	126	148		0
clock generator 0 wrapper	vie 20. feb 22:41:42 2015	8	2		0
ddr sdram wrapper	vie 20. feb 22:41:39 2015	1470	840	5	0
buttons 4bit wrapper	vie 20. feb 22:40:23 2015	97	59		0
dip switches 4bit wrapper	vie 20. feb 22:40:14 2015	97	59		0
leds 8bit wrapper	vie 20. feb 22:40:05 2015	125	71		0
rs232 dce wrapper	vie 20. feb 22:39:55 2015	146	135		0

Proyecto (Project Tab)



Fichero MHS (Project Tab)

The screenshot displays the Project Tab in a software interface. On the left, the Project Files list includes:

- Project Files
 - MHS File: system.mhs
 - MSS File: system.mss
 - UCF File: data/system.ucf
 - iMPACT Command File: etc/downl...
 - Implementation Options File: etc/fa...
 - Bitgen O...
- Project Opti...
 - Device: x...
 - Netlist: TopLevel
 - Implementation: XPS (Xflow)
 - HDL: VHDL
 - Sim Model: BEHAVIORAL
- Design Summary

An "Open" button is highlighted over the Project Opti... section.

The main window displays the content of the system.mhs file, which is a VHDL configuration file. The code is as follows:

```
114
115 BEGIN xps_uartlite
116     PARAMETER INSTANCE = RS232_DCE
117     PARAMETER C_BAUDRATE = 9600
118     PARAMETER C_DATA_BITS = 8
119     PARAMETER C_USE_PARITY = 0
120     PARAMETER C_ODD_PARITY = 0
121     PARAMETER HW_VER = 1.01.a
122     PARAMETER C_BASEADDR = 0x84020000
123     PARAMETER C_HIGHADDR = 0x8402ffff
124     BUS_INTERFACE SPLB = mb_plb
125     PORT RX = fpga_0_RS232_DCE_RX_pin
126     PORT TX = fpga_0_RS232_DCE_TX_pin
127 END
128
129 BEGIN xps_gpio
130     PARAMETER INSTANCE = LEDs_8Bit
131     PARAMETER C_ALL_INPUTS = 0
132     PARAMETER C_GPIO_WIDTH = 8
133     PARAMETER C_INTERRUPT_PRESENT = 0
134     PARAMETER C_IS_DUAL = 0
135     PARAMETER HW_VER = 2.00.a
136     PARAMETER C_BASEADDR = 0x81400000
137     PARAMETER C_HIGHADDR = 0x8140ffff
138     BUS_INTERFACE SPLB = mb_plb
139     PORT GPIO_IO_0 = fpga_0_LEDs_8Bit_GPIO_IO_0
140 END
```

Fichero MSS (Project Tab)

The image shows a software interface with a 'Project' tab selected. The 'Project Files' list includes:

- MHS File: system.mhs
- MSS File: system.mss
- UCF File: data/system.ucf
- iMPACT Command File: etc/download...
- Implementation Options File: etc/fast_r...
- Bitgen Options File: etc/bitgen...

The 'Project Options' section shows:

- Device: xc7z010clg
- Netlist: TopLevel
- Implementation: XPS (Xflow)
- HDL: VHDL
- Sim Model: BEHAVIORAL

The 'Design Summary' section is visible at the bottom.

A blue 'Open' button is overlaid on the 'MSS File: system.mss' entry.

The 'system.mss*' file is open in the editor, displaying the following content:

```
1  PARAMETER VERSION = 2.2.0
2
3  BEGIN OS
4      PARAMETER OS_NAME = standalone
5      PARAMETER OS_VER = 3.00.a
6      PARAMETER PROC_INSTANCE = microblaze_0
7      PARAMETER STDIN = RS232_DTE
8      PARAMETER STDOUT = RS232_DTE
9  END
10
11 BEGIN PROCESSOR
12     PARAMETER DRIVER_NAME = cpu
13     PARAMETER DRIVER_VER = 1.13.a
14     PARAMETER HW_INSTANCE = microblaze_0
15     PARAMETER COMPILER = mb-gcc
16     PARAMETER ARCHIVER = mb-ar
17     PARAMETER xmdstub_peripheral = mdm_0
18 END
19
20 BEGIN DRIVER
21     PARAMETER DRIVER_NAME = bram
22     PARAMETER DRIVER_VER = 2.00.a
23     PARAMETER HW_INSTANCE = dlmb_cntlr
24 END
25
```

Fichero UCF (Proyector Tab)

The screenshot displays the Xilinx ISE Project Navigator interface. The 'Project' tab is active, showing a tree view of project files. The 'Project Files' section includes:

- MHS File: system.mhs
- MSS File: system.mss
- UCF File: data/system.ucf
- iMPACT Command File: etc/download.
- Implementation Options File: etc/fast_r
- Bitgen Options File: etc/bitgen

The 'Project Options' section shows:

- Device: xc3s500
- Netlist: TopLevel
- Implementation: XPS (Xflow)
- HDL: VHDL
- Sim Model: BEHAVIORAL

The 'Design Summary' section is also visible. A blue 'Open' button is overlaid on the 'UCF File: data/system.ucf' entry.

The 'system.ucf' file is open in the editor, showing the following content:

```
1 # Spartan-3E Starter Board
2 Net fpga_0_RS232_DTE_RX_pin LOC=U8 | IOSTANDARD = LVC
3 Net fpga_0_RS232_DTE_TX_pin LOC=M13 | IOSTANDARD = LVC
4 Net fpga_0_RS232_DCE_RX_pin LOC=R7 | IOSTANDARD = LVC
5 Net fpga_0_RS232_DCE_TX_pin LOC=M14 | IOSTANDARD = LVC
6 Net fpga_0_LEDs_8Bit_GPIO_IO_0_pin<0> LOC=F9 | IOSTANDARD = LVC
7 Net fpga_0_LEDs_8Bit_GPIO_IO_0_pin<1> LOC=E9 | IOSTANDARD = LVC
8 Net fpga_0_LEDs_8Bit_GPIO_IO_0_pin<2> LOC=D11 | IOSTANDARD = LVC
9 Net fpga_0_LEDs_8Bit_GPIO_IO_0_pin<3> LOC=C11 | IOSTANDARD = LVC
10 Net fpga_0_LEDs_8Bit_GPIO_IO_0_pin<4> LOC=F11 | IOSTANDARD = LVC
11 Net fpga_0_LEDs_8Bit_GPIO_IO_0_pin<5> LOC=E11 | IOSTANDARD = LVC
12 Net fpga_0_LEDs_8Bit_GPIO_IO_0_pin<6> LOC=E12 | IOSTANDARD = LVC
13 Net fpga_0_LEDs_8Bit_GPIO_IO_0_pin<7> LOC=F12 | IOSTANDARD = LVC
14 Net fpga_0_DIP_Switches_4Bit_GPIO_IO_I_pin<0> LOC=N17 | IOSTANDARD = LVC
15 Net fpga_0_DIP_Switches_4Bit_GPIO_IO_I_pin<1> LOC=H18 | IOSTANDARD = LVC
16 Net fpga_0_DIP_Switches_4Bit_GPIO_IO_I_pin<2> LOC=L14 | IOSTANDARD = LVC
17 Net fpga_0_DIP_Switches_4Bit_GPIO_IO_I_pin<3> LOC=L13 | IOSTANDARD = LVC
18 Net fpga_0_Buttons_4Bit_GPIO_IO_I_pin<0> LOC=D18 | PULLUP
19 Net fpga_0_Buttons_4Bit_GPIO_IO_I_pin<1> LOC=H13 | PULLUP
20 Net fpga_0_Buttons_4Bit_GPIO_IO_I_pin<2> LOC=V4 | PULLUP
21 Net fpga_0_Buttons_4Bit_GPIO_IO_I_pin<3> LOC=V16 | PULLUP
22 Net fpga_0_DDR_SDRAM_DDR_Clk_pin LOC=J5 | IOSTANDARD = LVC
23 Net fpga_0_DDR_SDRAM_DDR_Clk_n_pin LOC=J4 | IOSTANDARD = LVC
24 Net fpga_0_DDR_SDRAM_DDR_CE_pin LOC=K3 | IOSTANDARD = LVC
25 Net fpga_0_DDR_SDRAM_DDR_CS_n_pin LOC=K4 | IOSTANDARD = LVC
```


Estructura del Sistema (Buses)

Bus Interfaces Ports Addresses

Name	Bus Name	IP Type	IP Version
dmb		★ lmb_v10	1.00.a
ilmb		★ lmb_v10	1.00.a
mb_plb		★ plb_v46	1.05.a
+ microblaze_0		★ microblaze	8.00.b
- lmb_bram		★ bram_block	1.00.a
PORTA	ilmb_port		
PORTB	dmb_port		
+ dmb_cntlr		★ lmb_bram_if...	2.10.b
+ ilmb_cntlr		★ lmb_bram_if...	2.10.b
+ mdm_0		★ mdm	2.00.a
+ xps_intc_0		★ xps_intc	2.01.a
+ Buttons_4Bit		★ xps_gpio	2.00.a
- DIP_Switche...		★ xps_gpio	2.00.a
SPLB	mb_plb		
+ LEDs_8Bit		★ xps_gpio	2.00.a
+ RS232_DCE		★ xps_uartlite	1.01.a
+ RS232_DCE		★ xps_uartlite	1.01.a
+ clock		★ clock_gener...	4.01.a
+ proc		★ proc_sys_re...	3.00.a

IP Type : xps_gpio
IP Version : 2.00.a
IP Classification : Peripheral

Configure IP ...
View MPD
View IP Modifications (Change Log)
View PDF Datasheet
Browse HDL Sources...
Driver: bram_v2_00_a
Delete Instance
Make This IP Local

Conexiones

Asignación de Nombres

Legend
Master Slave Master/Slave Target Initiator Connected Unconnected Monitor
★ Production License (paid) License (eval) Local Pre Production Beta Development
! Superseded Discontinued

Start Up Page Design Summary Block Diagram **System Assembly View**

Estructura del Sistema (Puertos)

The screenshot displays the 'Ports' tab in the Xilinx ISE software, showing the system structure. The 'Ports' tab is selected and circled in red. The 'dlmb_cntlr' component is selected, and its ports are circled in red. A context menu is open over the selected ports, showing options like 'Configure IP ...', 'View MPD', 'View IP Modifications (Change Log)', 'View PDF Datasheet', 'Browse HDL Sources...', 'Driver: bram_v2_00_a', 'Delete Instance', and 'Make This IP Local'. The 'Port Filters' panel on the right shows filters for 'By Interface' (BUS, IO), 'By Connection' (Defaults, Connected, Unconnected), 'Class' (Clocks Only, Resets Only, Interrupts Only, Others), and 'Direction' (Inputs, Outputs, InOuts).

Name	Net	Direction	Class	Frequency	Res	Sen	IP Type
External Ports							
dlmb							lmb_v10
ilmb							lmb_v10
mb_plb							plb_v46
microblaze_0							microblaze
lmb_bram							
dlmb_cntlr							
(BUS_IF)...	Connected to BUS dlmb						
(BUS_IF)...	Connected to BUS dlmb_port						
ilmb_cntlr							
mdm_0							
xps_intc_0							
Buttons_4Bit							
IP2INTC...	Buttons_4Bit_IP2INTC_Irpt	O					
(BUS_IF)...	Connected to BUS mb_plb						
(IO_IF)...	Connected to External Ports						
DIP_Switch...							
LEDs_8Bit							
RS232_DCE							
RS232_DTE							
clock_genera...							
proc_sys_res...							

Configure IP ...

View MPD

View IP Modifications (Change Log)

View PDF Datasheet

Browse HDL Sources...

Driver: bram_v2_00_a

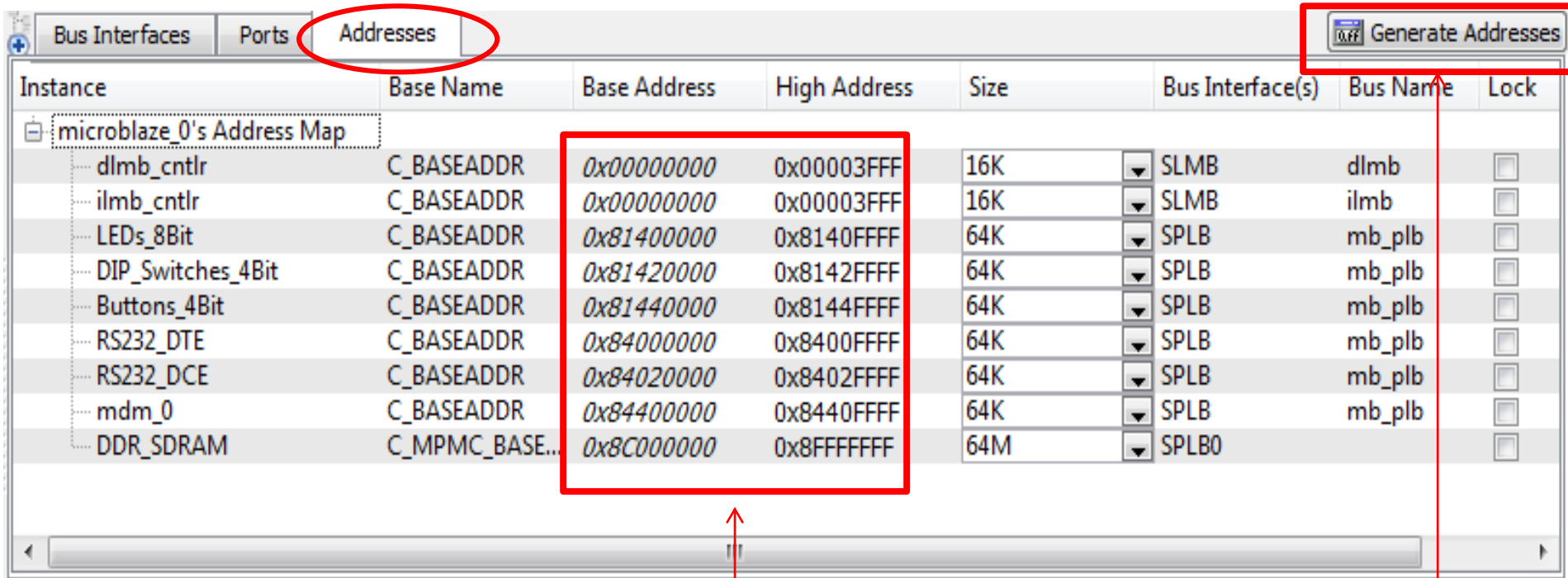
Delete Instance

Make This IP Local

Port Filters

- By Interface
 - ☒ BUS
 - ☒ IO
- By Connection
 - ☐ Defaults
 - ☒ Connected
 - ☒ Unconnected
- Class
 - Clocks Only
 - ☒ Clocks
 - Resets Only
 - ☒ Resets
 - Interrupts Only
 - ☒ Interrupts
 - ☒ Others
- Direction
 - ☒ Inputs
 - ☒ Outputs
 - ☒ InOuts

Estructura del Sistema (Direcciones)



Instance	Base Name	Base Address	High Address	Size	Bus Interface(s)	Bus Name	Lock
microblaze_0's Address Map							
dlmb_cntlr	C_BASEADDR	0x00000000	0x00003FFF	16K	SLMB	dlmb	<input type="checkbox"/>
ilmb_cntlr	C_BASEADDR	0x00000000	0x00003FFF	16K	SLMB	ilmb	<input type="checkbox"/>
LEDs_8Bit	C_BASEADDR	0x81400000	0x8140FFFF	64K	SPLB	mb_plb	<input type="checkbox"/>
DIP_Switches_4Bit	C_BASEADDR	0x81420000	0x8142FFFF	64K	SPLB	mb_plb	<input type="checkbox"/>
Buttons_4Bit	C_BASEADDR	0x81440000	0x8144FFFF	64K	SPLB	mb_plb	<input type="checkbox"/>
RS232_DTE	C_BASEADDR	0x84000000	0x8400FFFF	64K	SPLB	mb_plb	<input type="checkbox"/>
RS232_DCE	C_BASEADDR	0x84020000	0x8402FFFF	64K	SPLB	mb_plb	<input type="checkbox"/>
mdm_0	C_BASEADDR	0x84400000	0x8440FFFF	64K	SPLB	mb_plb	<input type="checkbox"/>
DDR_SDRAM	C_MPMC_BASE...	0x8C000000	0x8FFFFFFF	64M	SPLB0		<input type="checkbox"/>

Definición manual del espacio de direcciones

Generación automática

Aplicaciones (*Applications tab*)

The screenshot displays the 'Applications' tab in a software development environment. The main area shows a tree view of 'Software Projects'. The first project, 'Project: TestApp_Memory_microblaze_0', is selected and highlighted in blue. Below it, the second project, 'Project: TestApp_Peripheral_microblaze_0', is listed. The tree view shows details for each project, including the processor, executable file, compiler options, linker script, mode, sources, and headers. A red box highlights the 'Applications' tab in the bottom-left corner of the interface.

Red arrows point from the 'Add Software Application Project...' button in the tree view to a callout box, and from the 'Project: TestApp_Peripheral_microblaze_0' entry to another callout box. A third red arrow points from the 'Sources' section of the second project to a third callout box.

Callout Box 1: Add Software Application Project...

Callout Box 2:

- Set Compiler Options...
- ✓ Mark to Initialize BRAMs
- Build Project
- Clean Project
- Delete Project...

Callout Box 3:

- Make Project Inactive
- Generate Linker Script...

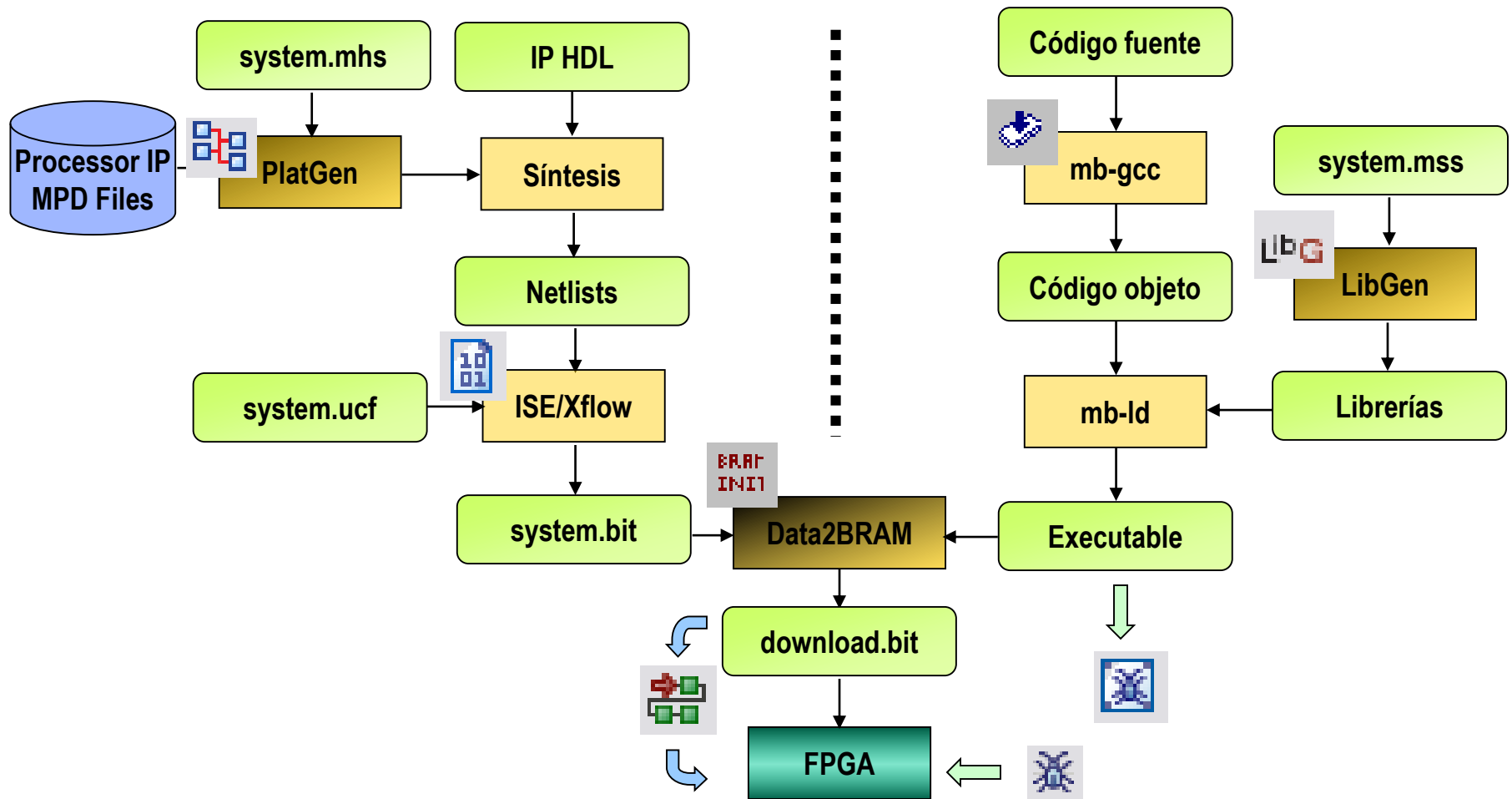
Callout Box 4:

- Add Existing Files...
- Add New File...

Código fuente

```
184
185     u32 Data;
186     volatile int Delay;
187     u32 LedBit;
188     u32 LedLoop;
189     int Status;
190
191     /* Initialize the GPIO driver so that it's ready to use,
192     specify the device ID that is generated in xparameters.h */
193     Status = XGpio_Initialize(&GpioOutput, DeviceId);
194     if (Status != XST_SUCCESS) {
195         return XST_FAILURE;
196     }
197
198     // Set the direction for all signals to be outputs
199     XGpio_SetDataDirection(&GpioOutput, LED_CHANNEL, 0x0);
200
201     // Set the GPIO outputs to low
202     XGpio_DiscreteWrite(&GpioOutput, LED_CHANNEL, 0x0);
203
204     for (LedBit = 0x0; LedBit < GpioWidth; LedBit++) {
205         for (LedLoop = 0; LedLoop < LED_MAX_BLINK; LedLoop++) {
206             //Set the GPIO Output to High
207             XGpio_DiscreteWrite(&GpioOutput, LED_CHANNEL,
208                                 1 << LedBit);
209
210             #ifndef __SIM__
211                 // Wait a small amount of time so the LED is visible
212                 for (Delay = 0; Delay < LED_DELAY; Delay++);
213             #endif
214
215             // Clear the GPIO Output
216             XGpio_DiscreteClear(&GpioOutput, LED_CHANNEL, 1 << LedBit);
217         }
218     }
```

Herramientas del flujo de diseño *XPS*



Documentación

The image displays a screenshot of the Xilinx Platform Studio (XPS) interface and a Microsoft Internet Explorer browser window. The XPS window, titled "Xilinx Platform Studio - D:\LABS_Xilinx\labs_12.4\lab_test\system.xmp - [Start Up Page]", shows the "IP Catalog" pane on the left with a tree view of IP blocks. The "Console" pane at the bottom displays "Diagram Controls" and "Zoom In/Out = ALT + (Mouse + Left Button)". The Internet Explorer window, titled "est_rm - Microsoft Internet Explorer", displays the "Embedded System Tools Reference Manual" for EDK 12.4. The address bar shows the file path "C:\Xilinx\12.4\ISE_DS\EDK\doc\usenglish\est_rm.pdf". The main content area shows the title "Embedded System Tools Reference Manual" and "EDK 12.4". The status bar at the bottom of the browser indicates the page size "21,59 x 27,94 cm" and the page number "1 de 298".

System Assembly View

Debug Simulation Window Help

Addresses

Dir

Help Topics

Xilinx Platform Studio - D:\LABS_Xilinx\labs_12.4\lab_test\system.xmp - [Start Up Page]

File Edit View Project Hardware Software Device Configuration Debug Simulation Window Help

IP Catalog

Description IP Version

- EDK Install
- Analog
- Bus and Bridge
- Clock, Reset and Interrupt
- Communication High-Speed
- Communication Low-Speed
- DMA and Timer
- Debug
- General Purpose IO
- IO Modules
- Interprocessor Communication
- Memory and Memory Controller
- PCI
- Peripheral Controller
- Processor
- Utility
- Project Local PCores

ed to BUS dlm

ed to BUS dlm_port

est_rm - Microsoft Internet Explorer

Archivo Edición Ver Favoritos Herramientas Ayuda

Atrás

Búsqueda Favoritos

Dirección C:\Xilinx\12.4\ISE_DS\EDK\doc\usenglish\est_rm.pdf

Ir Vinculos

Download PDF Creation Tools

Archivo Editar Ver Documento Comments Herramientas Ventana Ayuda

Aumentar Zoom 80%

PBD file

Escribir

Properties...

Marcas

- New
- Edit

- Embedded System Tools Reference Manual
 - Revision History
 - About This Guide
 - Table of Contents
 - Chapter 1: Embedded System and Tools Architecture Overview
 - About EDK
 - Additional Resources
 - Design Process Overview
 - Hardware Development
 - Software Development
 - Verification
 - Device Configuration
 - EDK Overview
 - Chapter 2: Platform Specification Utility (PsfUtility)
 - Tool Options
 - MPD Creation Process

Diagram Controls

Zoom In/Out = ALT + (Mouse + Left Button)

Pan = SHIFT + (Mouse + Left Button)

Console

Warnings Errors

UG111 December 14, 2010

21,59 x 27,94 cm

1 de 298

Documentación

➤ Manuales

- *Getting Started with the Embedded Development Kit*
- *Platform Studio User Guide*
- *Embedded System Tools Ref. Manual* → *Xilinx Platform Studio*
- *MicroBlaze Processor Reference Guide*
- *Processor IP Reference Guide*

➤ Soporte Web

- MicroBlaze
 - <http://www.support.xilinx.com/microblaze>
- Módulos IP
 - http://www.support.xilinx.com/ise/embedded/edk_ip.htm
- EDK
 - <http://www.support.xilinx.com/edk>

