

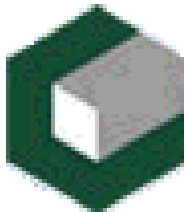
FPGA y placas de desarrollo

Maestría en Sistemas Digitales

Alejandro J. Cabrera Sarmiento

Dpto. de Automática y Computación
Universidad Tecnológica de La Habana “*José Antonio Echeverría*”
CUJAE

alex@automatica.cujae.edu.cu



Sumario

- Field Programmable Gate Arrays: **FPGA**
- FPGA de Xilinx
 - *Virtex-II, Spartan3/3A/3E*
 - *Virtex-4, -5, -6*
 - *Spartan-6, Virtex-7*
 - *Zynq 7000 (SoC-FPGA)*
- Placas de desarrollo de FPGA
 - *Spartan-3A/3E Starter Kit*

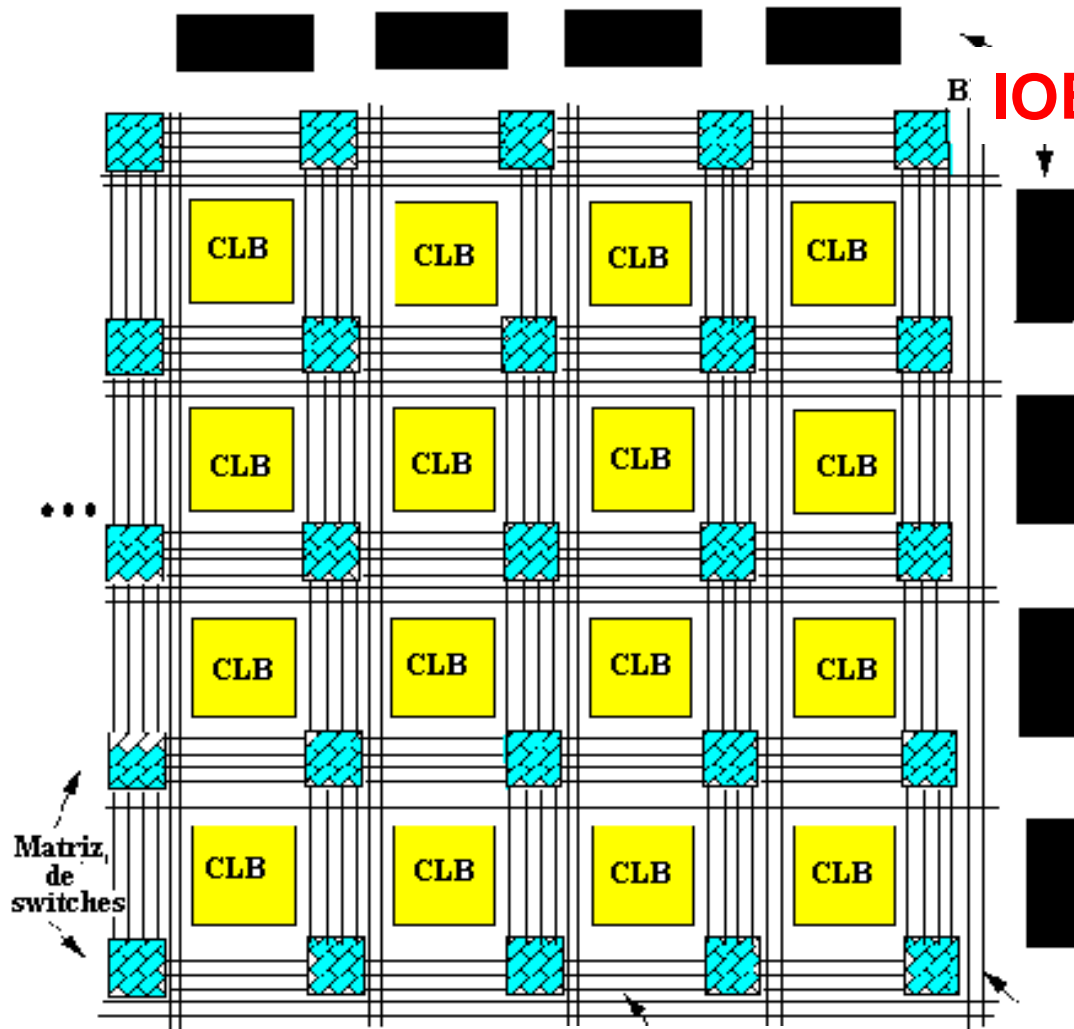


FPGA: Field Programmable Gate Array

- Funcionalidad lógica programable
 - *CLB, LE*
- Interconexiones *programables*
 - A través de transistores
 - Mayor demora que ASIC
- Apropriados para diseños *complejos*
- Principales fabricantes:
 - *Xilinx, Intel (Altera), Microsemi (Actel)*



Estructura básica de un FPGA



IOB Bloque de E/S

- Interfaz con los terminales del dispositivo

CLBs: Bloques lógicos configurables

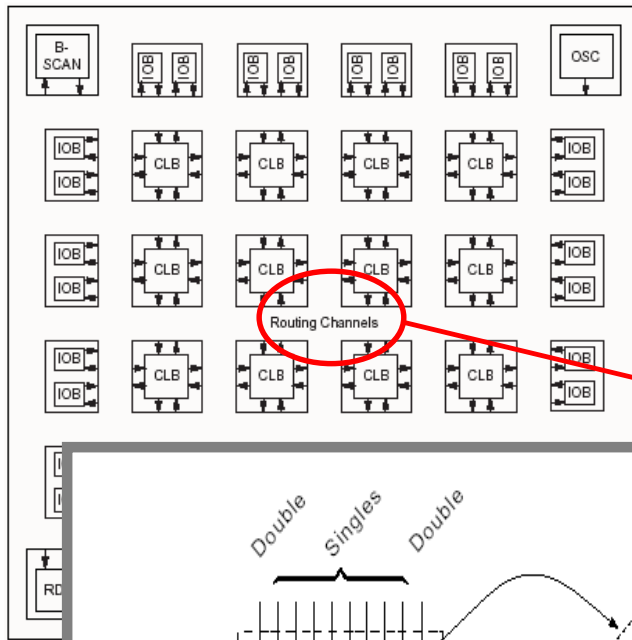
- Elementos funcionales para implementar la lógica del usuario

Red de interconexión

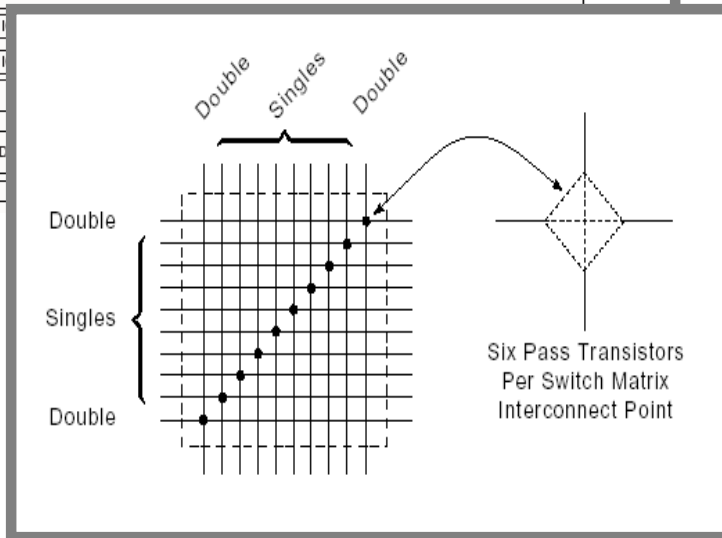
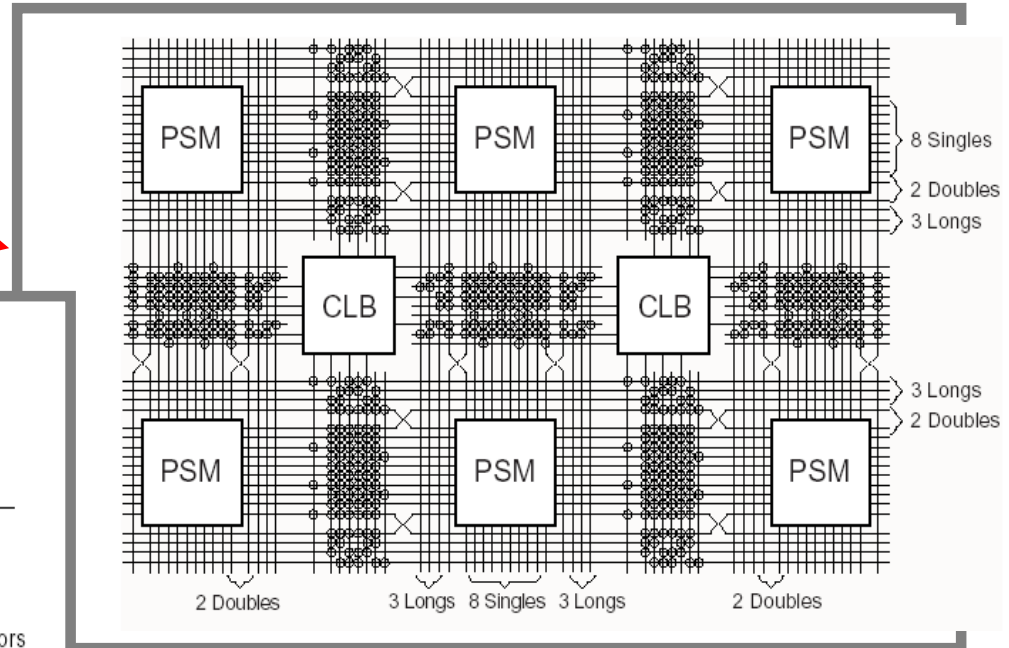
- Caminos para interconectar los recursos del FPGA



Red de interconexión



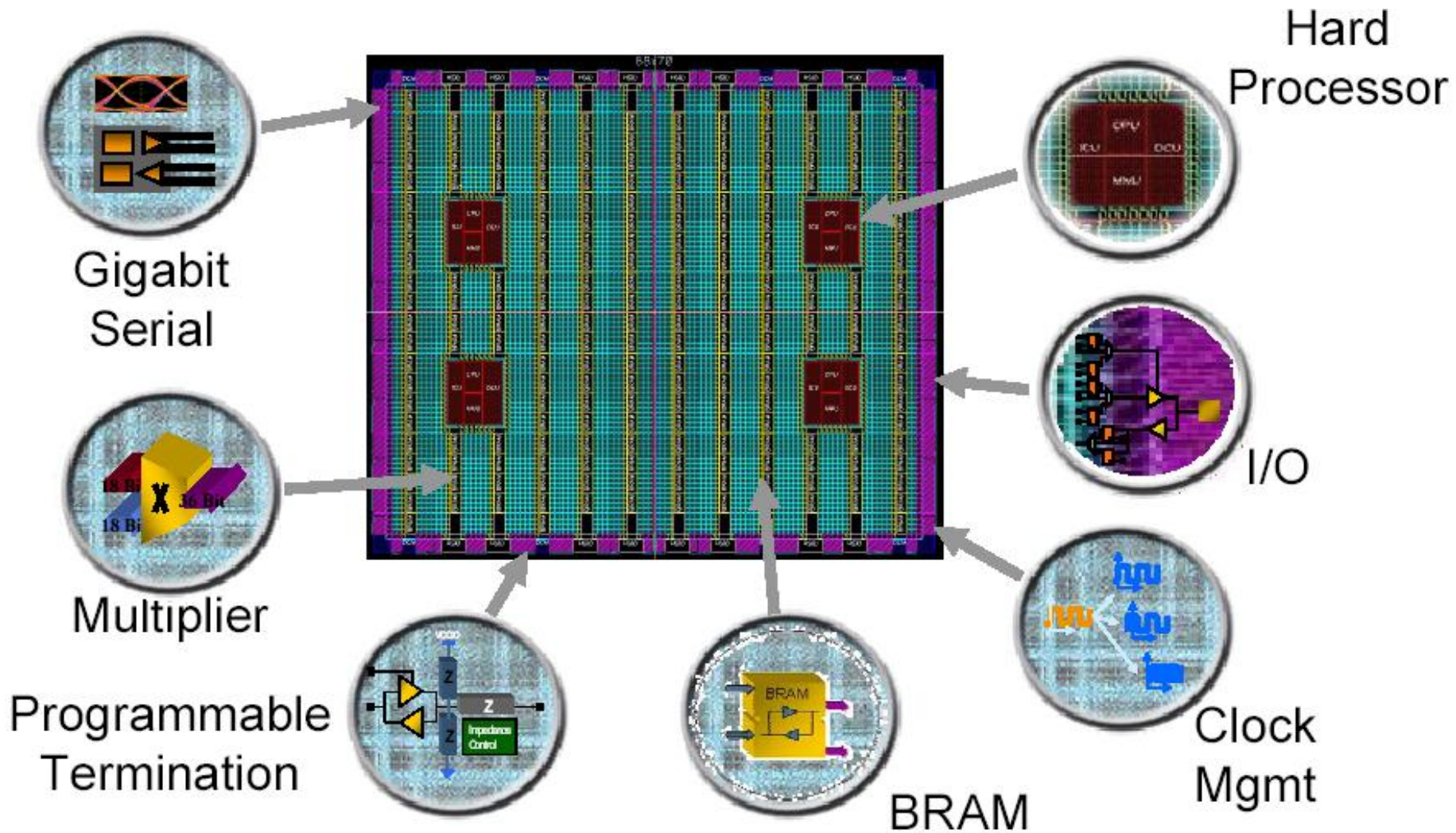
Bloques lógicos configurables (**CLBs**) formando una **matriz simétrica**



Líneas verticales y horizontales conectadas por una **matriz de conmutación programable** (elementos activos)

Las **demoras** (frecuencia máxima de operación) en un FPGA se deben a las **interconexiones**

Recursos de FPGA



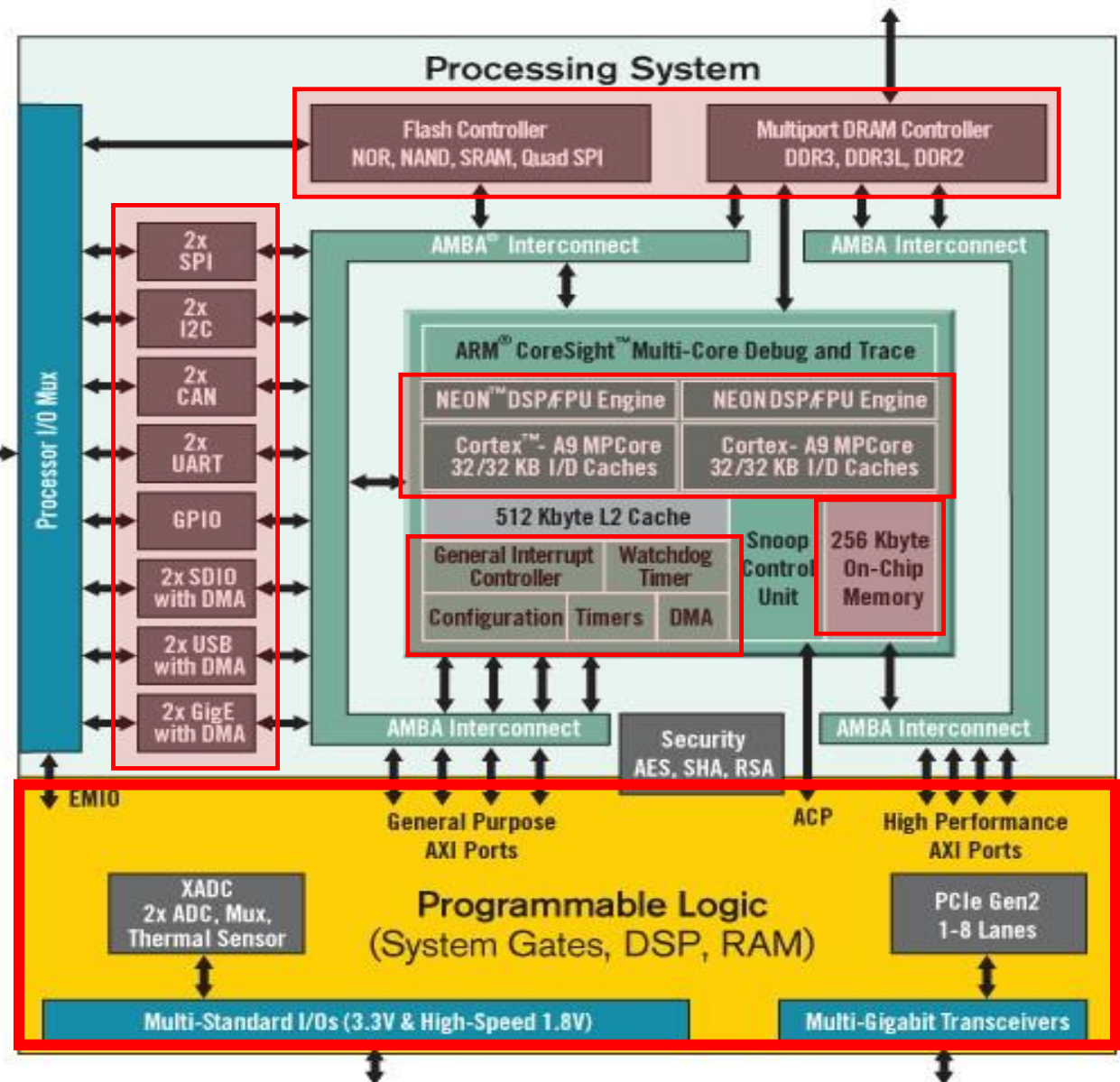
+ Controladores de memoria, Endpoint PCIe, etc.

SoC-FPGA (Zynq 7000)

Sistema de procesamiento
hardcore

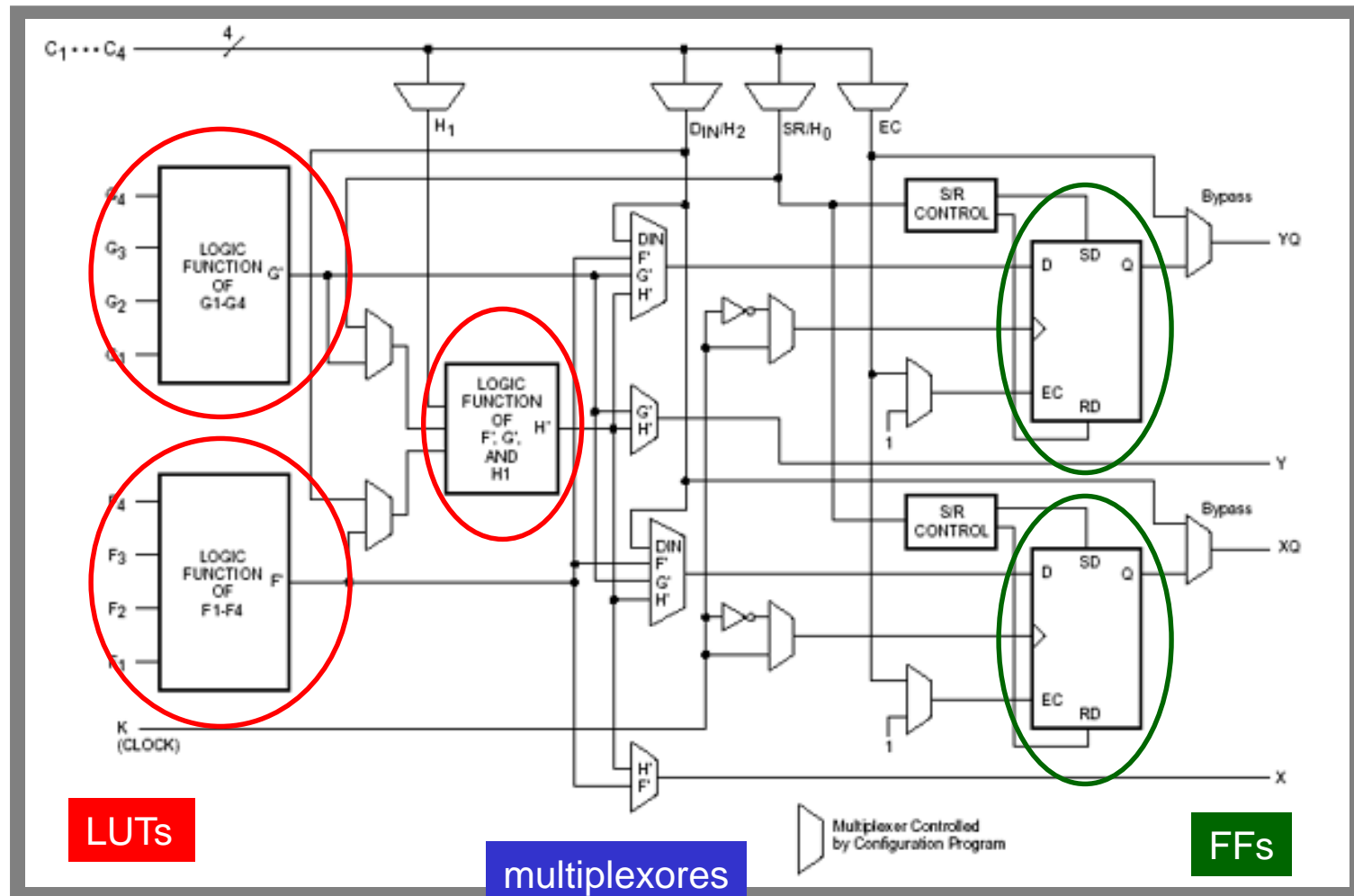


FPGA



Bloques lógicos Xilinx

(CLB – XC4000)

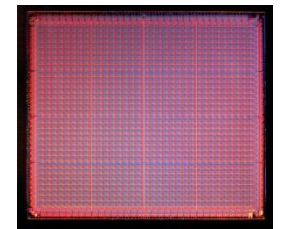




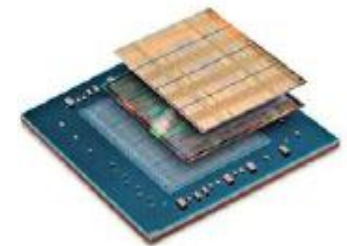
Evolución de FPGA

FPGA	Transistores	Año	Fabricante	Proceso
XC2064	85,000	1985	Xilinx	2.5 um
Virtex	~70,000,000	1997	Xilinx	250 nm
Virtex-E	~200,000,000	1998	Xilinx	180 nm
Virtex-II	~350,000,000	2000	Xilinx	150 nm
Virtex-II PRO	~430,000,000	2002	Xilinx	130 nm
Virtex-IV	1,000,000,000	2004	Xilinx	90 nm
Virtex-5	1,100,000,000	2006	Xilinx	65 nm
Stratix IV	2,500,000,000	2008	Altera	40 nm
Stratix V	3,800,000,000	2011	Altera	28 nm
Virtex-7	6,800,000,000	2011	Xilinx	28 nm

- 1985, XC2064
- 85.000 Ts
- 18 MHz



- 2011, Virtex 7
- 6.800 mill. Ts
- 28 nm



FPGA de Xilinx



FPGAs de *Xilinx*



Familia	Características	Diseño digital	Procesadores empotrados	Arquitectura computadores	DSP	SOC
XC4000	1.6K – 85K puertas	✓				
Spartan	5K – 40K puertas	✓				
Virtex	58K – 4M puertas BRAM: 32K – 132K	✓	✓	✓		
Spartan-II	15K – 300K puertas BRAM: 16K – 64K	✓	✓	✓		
Virtex-II	40K – 8M puertas BRAM: 72K – 3M 4 – 168 multiplicadores		✓	✓	✓	
Virtex-II Pro	Virtex-II + 0 – 4 PPC 4 – 24 Rocket I/O transc. 12 – 556 multiplicadores		✓	✓	✓	✓

Obsoletas o descontinuadas



FPGAs de *Xilinx* (cont.)

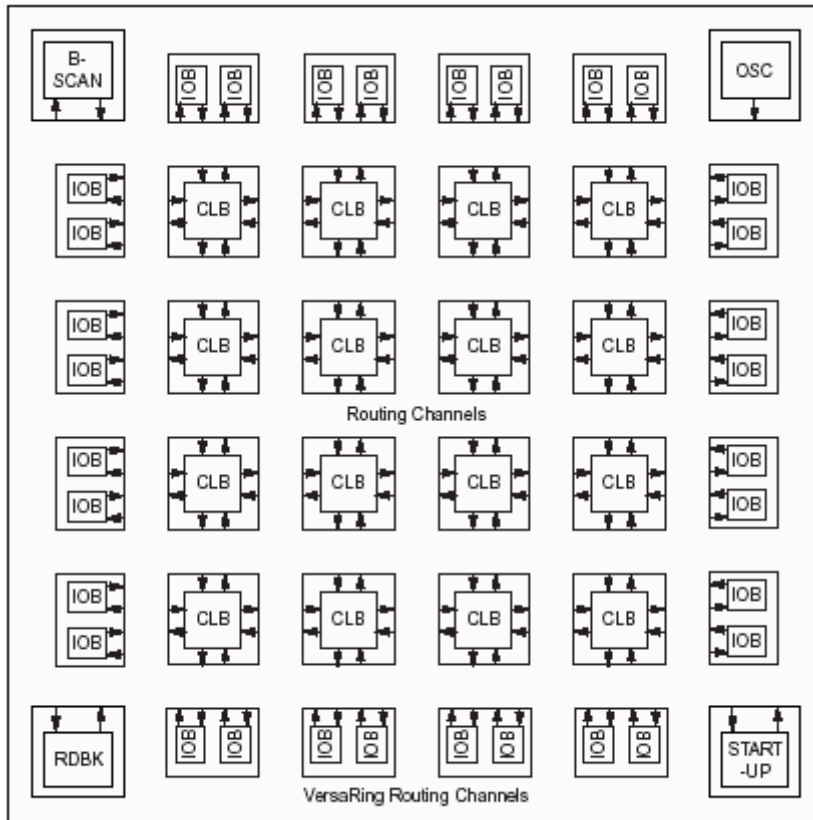


Familia	Características	Diseño digital	Procesadores empotrados	Arquitectura computadores	DSP	SOC
Spartan-3	50K – 5M puertas BRAM: 72K – 1.8M 4 – 104 multiplicadores		✓	✓	✓	✓
Spartan-6	526-3 K slices*; 45 nm BRAM: 144K – 4.8M 4 – 182 DSP slices		✓	✓	✓	✓
Virtex-4	15K – 200K celdas logicas BRAM: 0,8M – 6M; 0-2 PPC Multiplataforma		✓	✓	✓	✓
Virtex-5	5K-15 K slices*; 65 nm 32-640 DSP slices BRAM: 1 - 8M; Multiplataforma:		✓	✓	✓	✓
Virtex-6	5K-15 K slices*; 45 nm 288-2K DSP slices BRAM: 5 - 38M; Multiplataforma:		✓	✓	✓	✓



4K

XC4000 & Spartan



➤ Incorporan:

- Memoria RAM distribuida
- Lógica de acarreo
- Buses 3-state internos

➤ Velocidad de operación: 80 MHz

➤ IEEE 1149.1 (Boundary scan)

XC4000E: 5 V.

XC4000XL: 3.3 V. (0.35 μm)

XC4000XE: 2.5 V. (0.25 μm)

Spartan: 5 V.

Spartan-XL: 3.3 V. (0.35/0.25 μm)





Virtex & Spartan-II

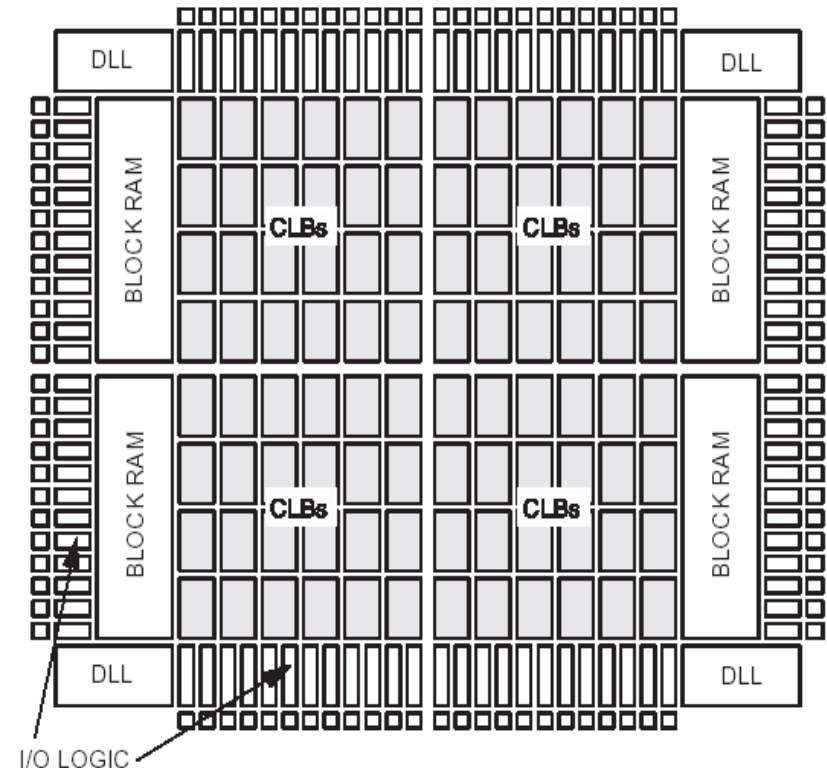


- **Incorporan:**
 - Bloques de memoria RAM
 - 4 DLL (*Delay Locked Loop*)
 - Lógica de acarreo
 - Soporte para multiplicadores
- **Velocidad de operación: 200 MHz**
- **16/19 interfaces estándar**

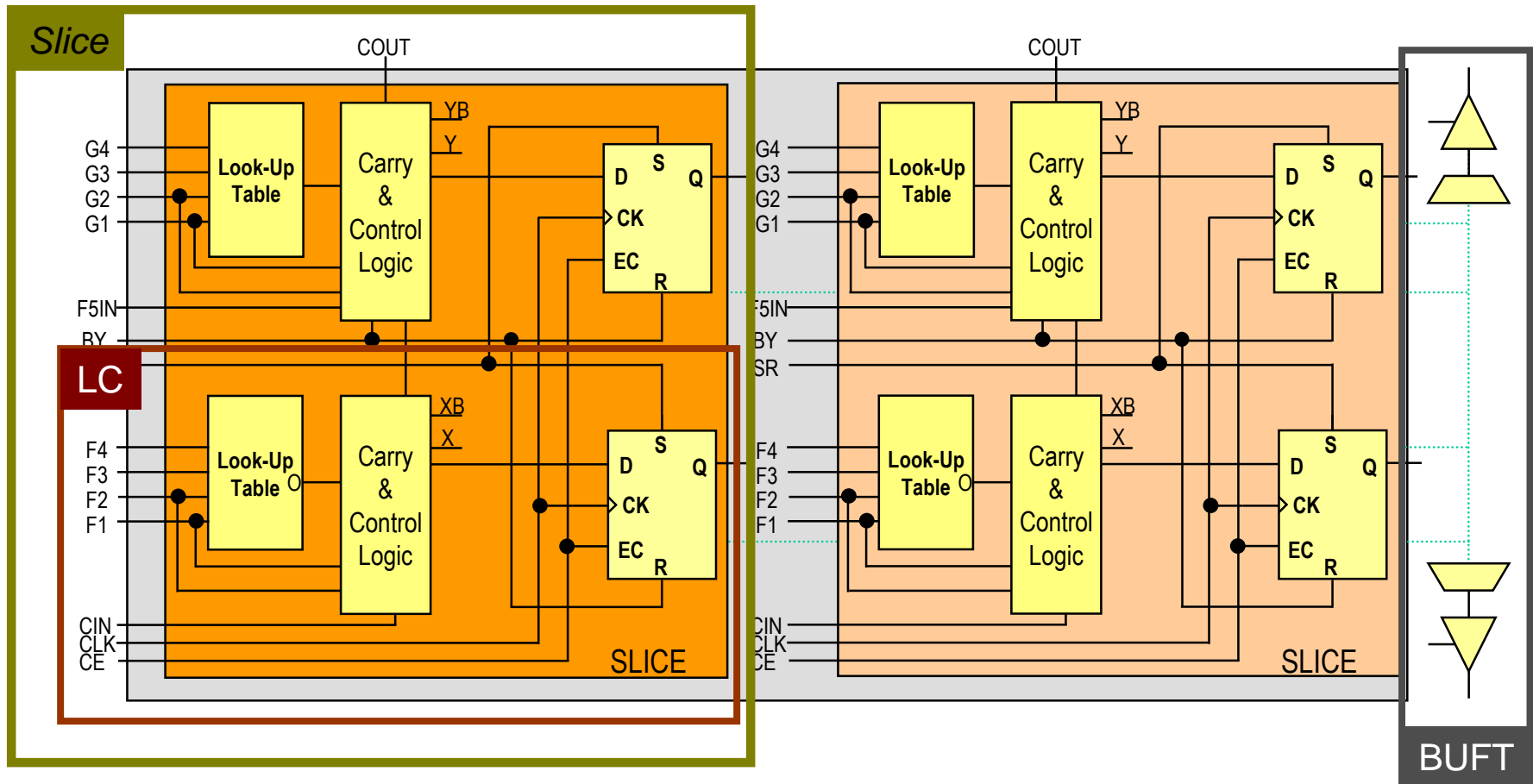
Spartan-II: 2.5 V. - 0.25 μm - (200K)

Spartan-II E: 1.8 V. - 0.22 μm - (300K)

Virtex: 2.5 V. - 0.22 μm - (4M)



Virtex & Spartan-II CLB

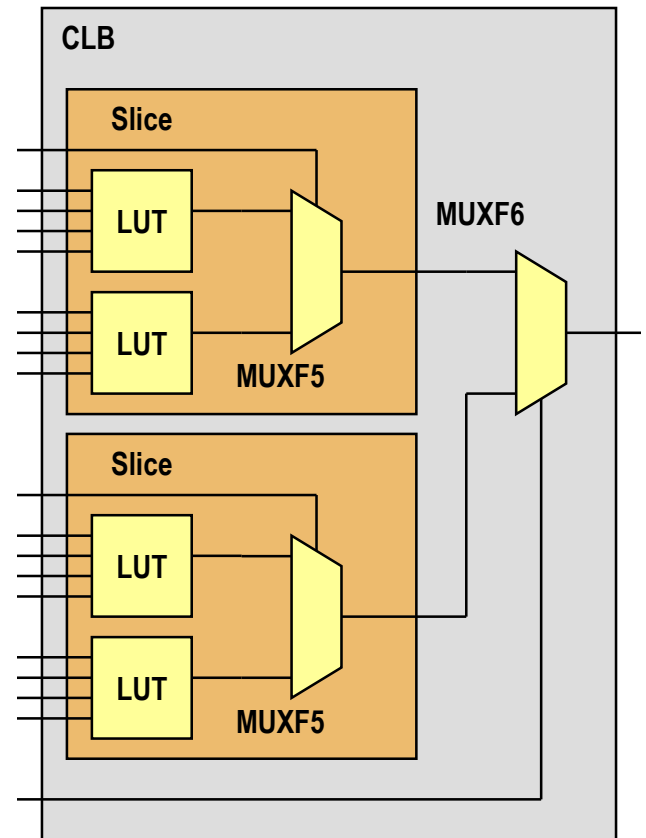


- • • • Dispone de 2 buffers tri-state accesibles para todas las salidas del CLB



LUT como bloque lógico

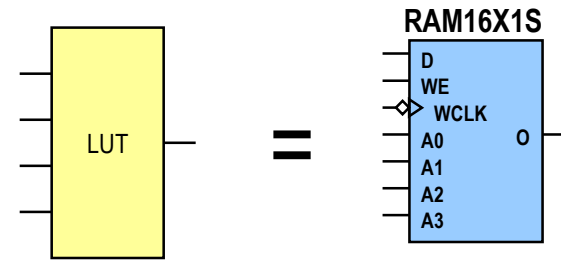
- **LUT:** Cualquier función de 4 entradas
- **MUXF5:** Combina 2 LUT para formar:
 - Cualquier función de 5 entradas
 - Un multiplexor de 4:1
 - Determinadas funciones de 9 entradas
- **MUXF6:** Combina 2 slices para formar:
 - Cualquier función de 6 entradas
 - Un multiplexor de 8:1
 - Determinadas funciones de 19 entradas



LUT como RAM distribuida

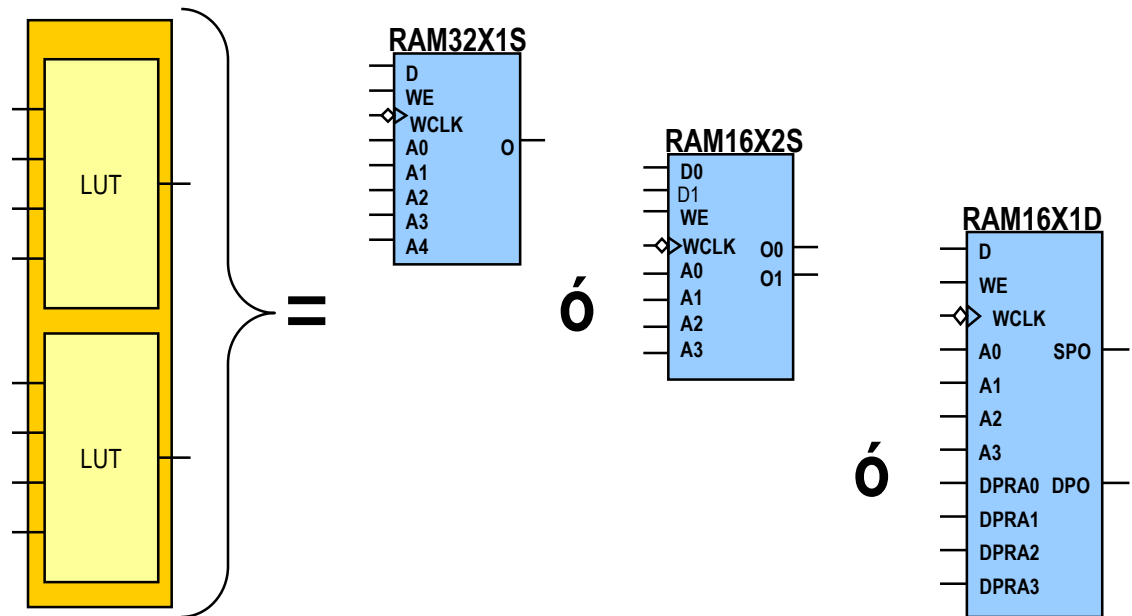
➤ LUT: RAM 16x1 bit

- Escritura síncrona
- Lectura síncrona o asíncrona (usando el flip-flop del LC)



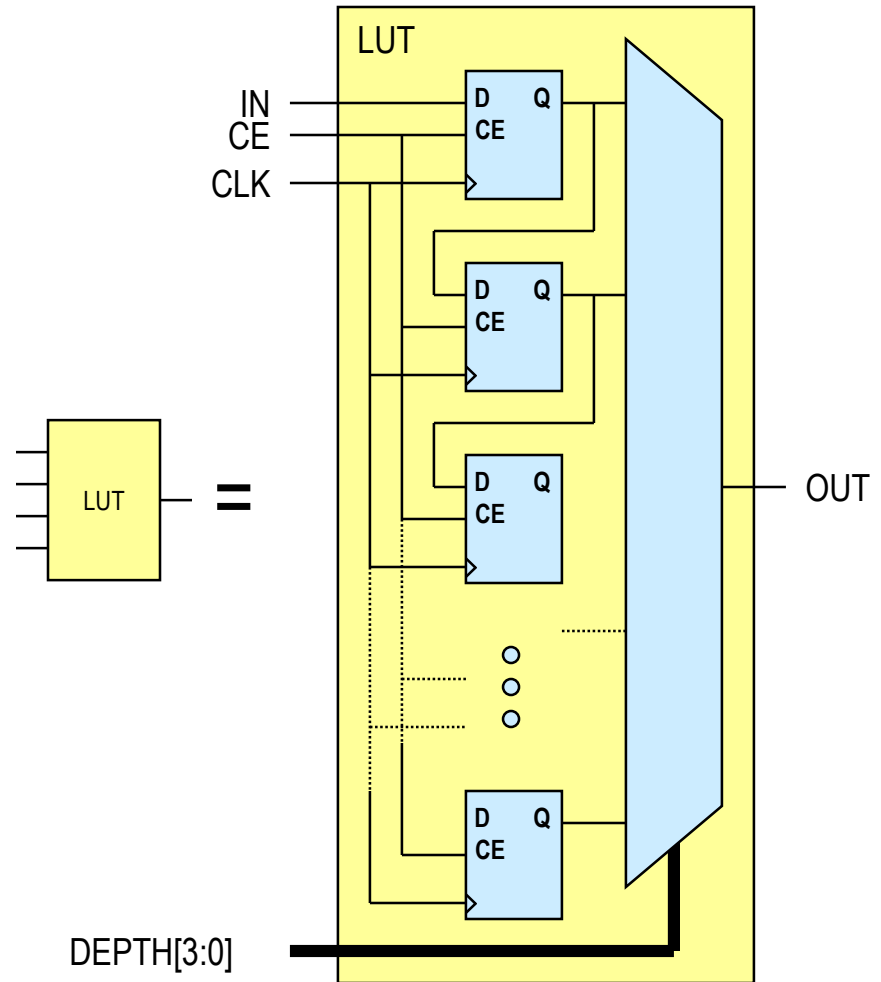
➤ Asociación de LUTs

- Mayor tamaño
- 1 ó 2 puertos



LUT como registro de desplazamiento

- Cada LUT puede configurarse como un **registro de desplazamiento**
 - **Entrada serie, salida serie**
- Retraso programable de forma dinámica hasta 16 ciclos
- Conectable en cascada para conseguir mayores retrasos
- Pueden usarse los flip-flops de los CLBs para añadir profundidad



Virtex & Spartan-II BRAM

- Bloques de memoria RAM síncrona de doble puerto de 4096-bits
- Cada bloque tiene una altura de 4 CLBs
- Configurable con *CORE Generator*

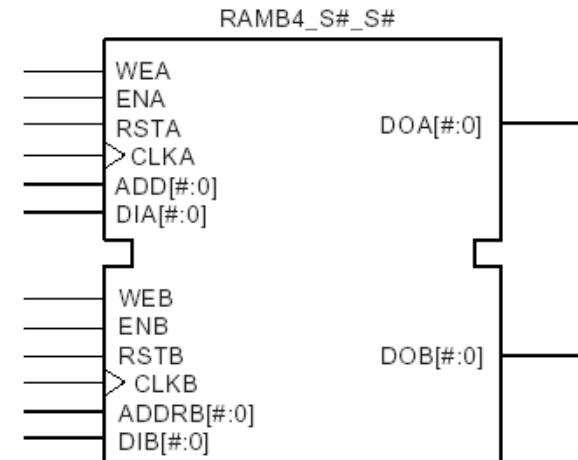
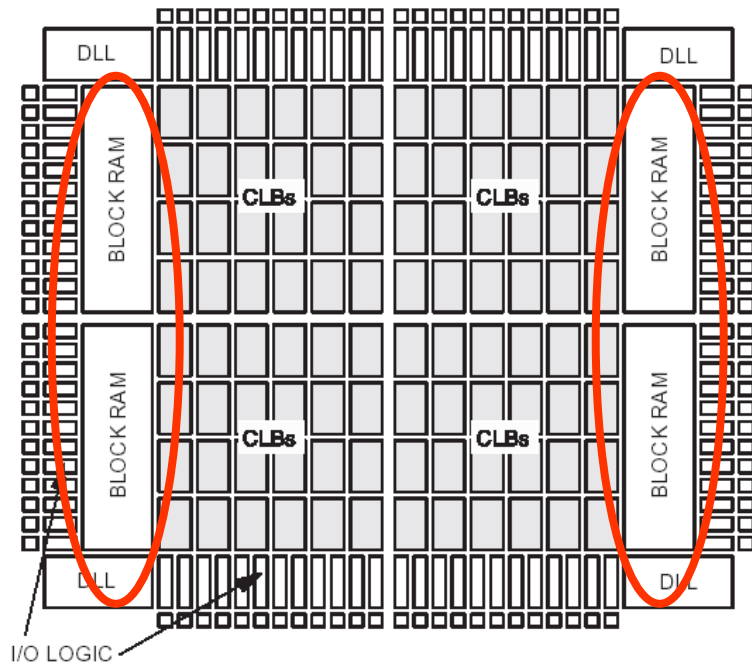


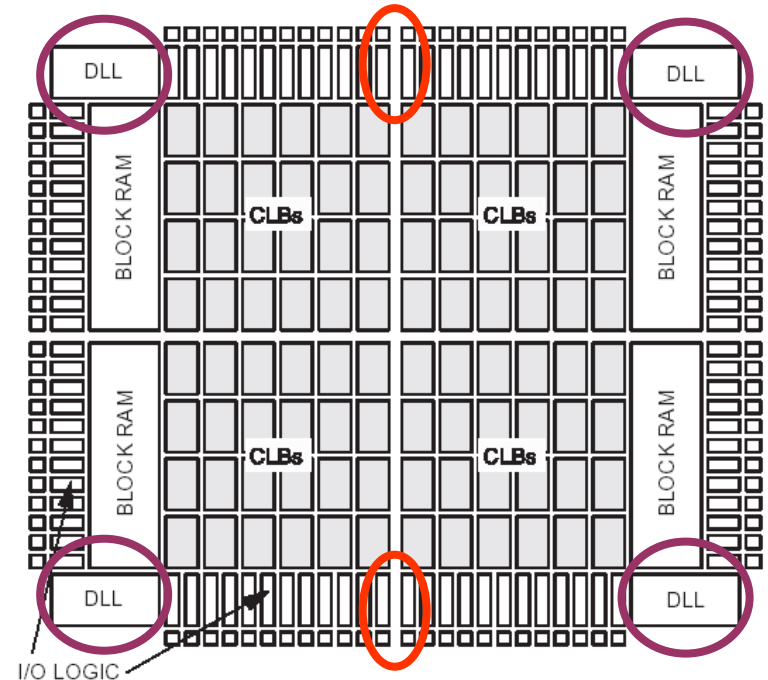
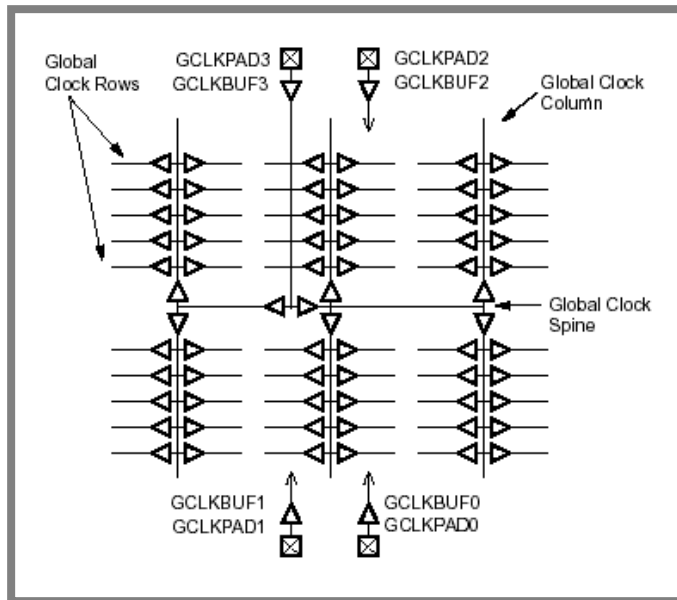
Table 5: Block RAM Port Aspect Ratios

Width	Depth	ADDR Bus	Data Bus
1	4096	ADDR<11:0>	DATA<0>
2	2048	ADDR<10:0>	DATA<1:0>
4	1024	ADDR<9:0>	DATA<3:0>
8	512	ADDR<8:0>	DATA<7:0>
16	256	ADDR<7:0>	DATA<15:0>



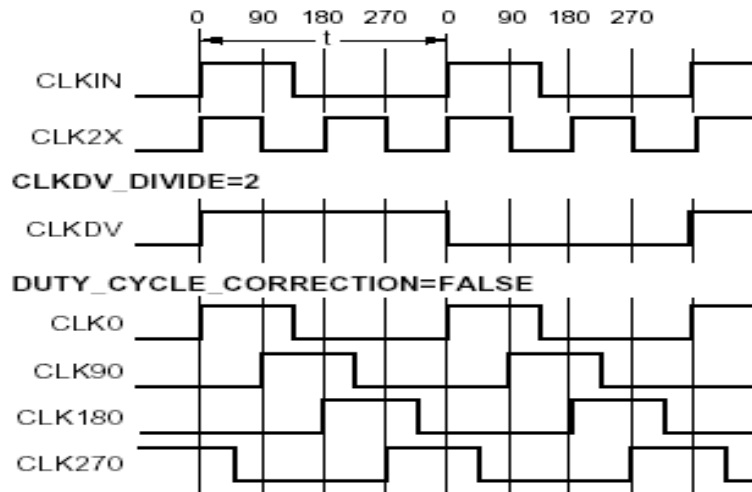
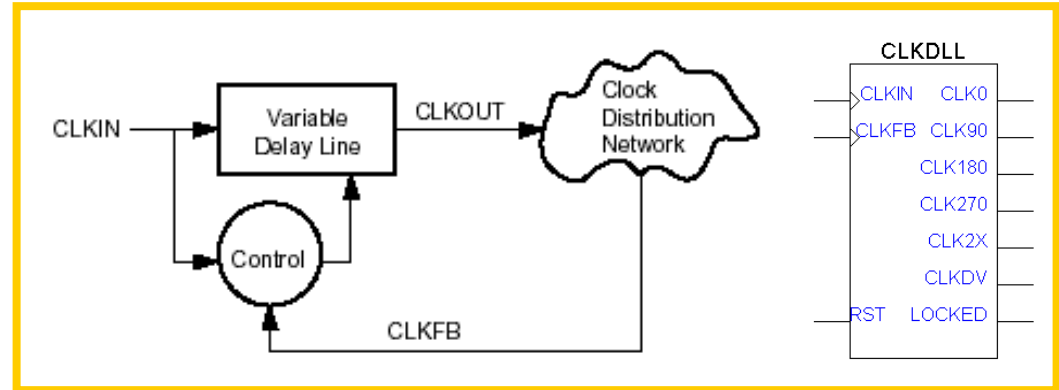
Virtex & Spartan-II Reloj

- 4 pads específicos (GCLKPAD)
- 4 buffers globales (GCLKBUF)
- Red de distribución de reloj
- 4 Delay-Locked Loops (CLKDDL)



Virtex & Spartan-II DLL

4 Delay-Locked Loops (CLKDDL)

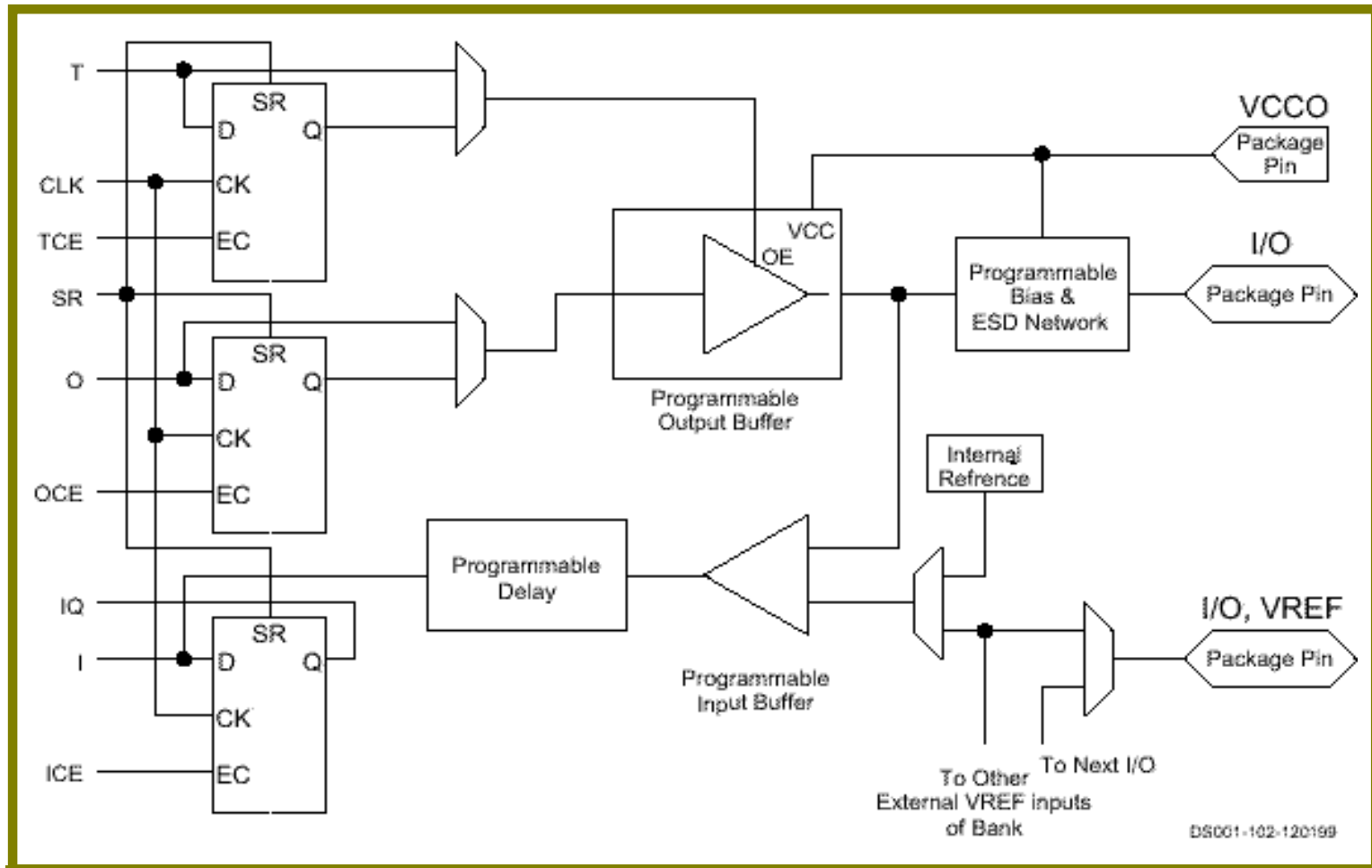


DLL (funciones)

- Doblar la frecuencia de reloj
- Dividir por 1.5, 2, 2.5, 3, 4, 5, 8 ó 16
- Generar relojes de 4 fases
- Eliminar retrasos en la distribución de reloj (*deskew*)



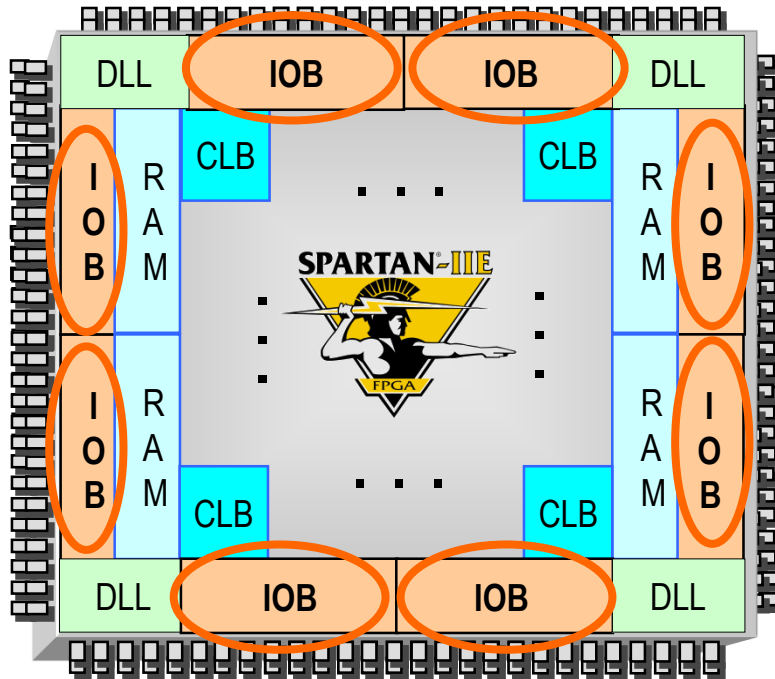
Virtex & Spartan-II IOB



IOB



Virtex & Spartan-II IOB



I/O organizada en 8 bancos diferentes que permiten el uso simultáneo de múltiples estándares



Standard	V_{REF}	V_{CCO}
----------	-----------	-----------

Chip to Chip Interface

LVTTTL	na	3.3
LVC MOS2	na	2.5
LVC MOS18	na	1.8
LVDS	na	2.5
LVPECL	na	3.3

Backplane Interface

PCI 33MHz 3.3V	na	3.3
PCI 66MHz 3.3V	na	3.3
GTL	0.80	na
GTL+	1.00	na
AGP-2X	1.32	3.3
Bus LVDS	na	2.5

Memory Interface

HSTL-I	0.75	1.5
HSTL-III & IV	0.90	1.5
SSTL3-I & II	1.50	3.3
SSTL2-I & II	1.25	2.5
CTT	1.50	3.3





Virtex-II & Spartan-3



➤ Incorporan:

- RAM: bloques (18K) y distribuida (CLBs)
- Multiplicadores de 18x18 bits
- *Digital Clock Manager (DCM)*
- Impedancia de I/O programable

➤ Velocidad de operación: 420/326 MHz

➤ Velocidad I/O: 840/622 Mbps

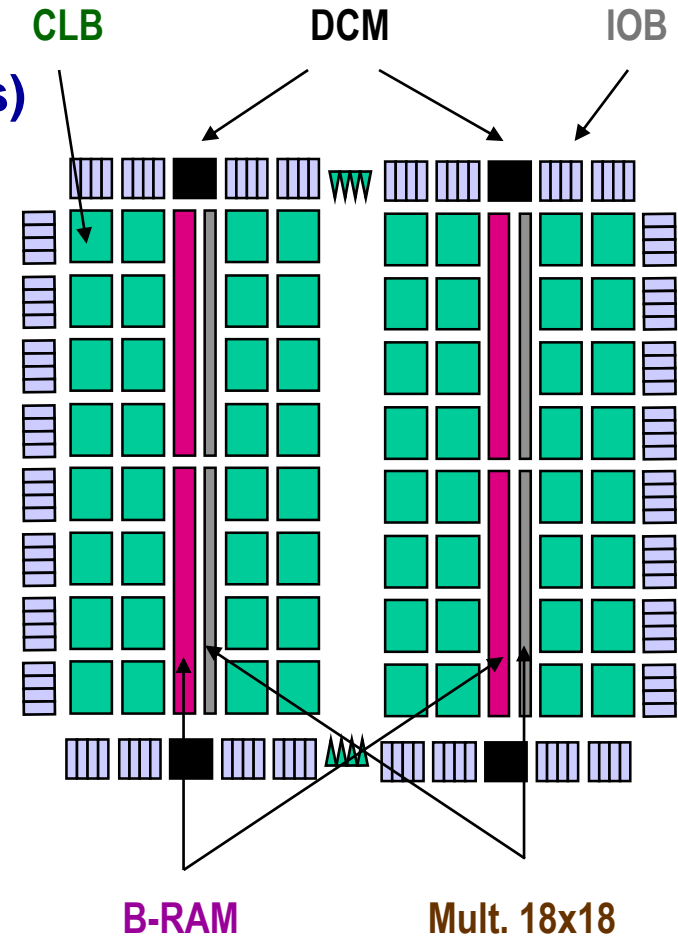
Virtex-II: 1.5/3.3 V - 0.15 mm

Virtex-II Pro: 1.5/2.5 V - 0.13 mm

- Añade:

- Rocket IO transceiver (3.125 Gbps)
- Power PC RISC (32 bit / 300 MHz)

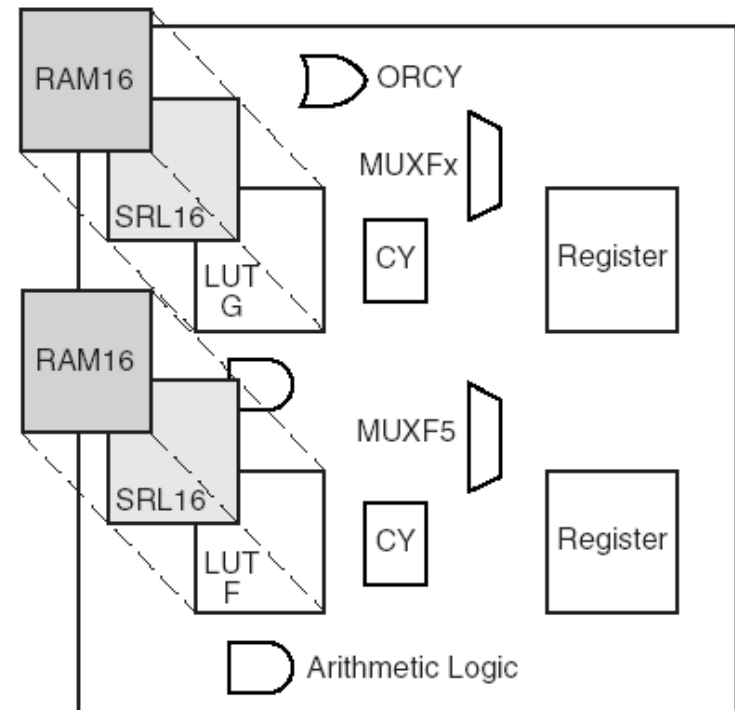
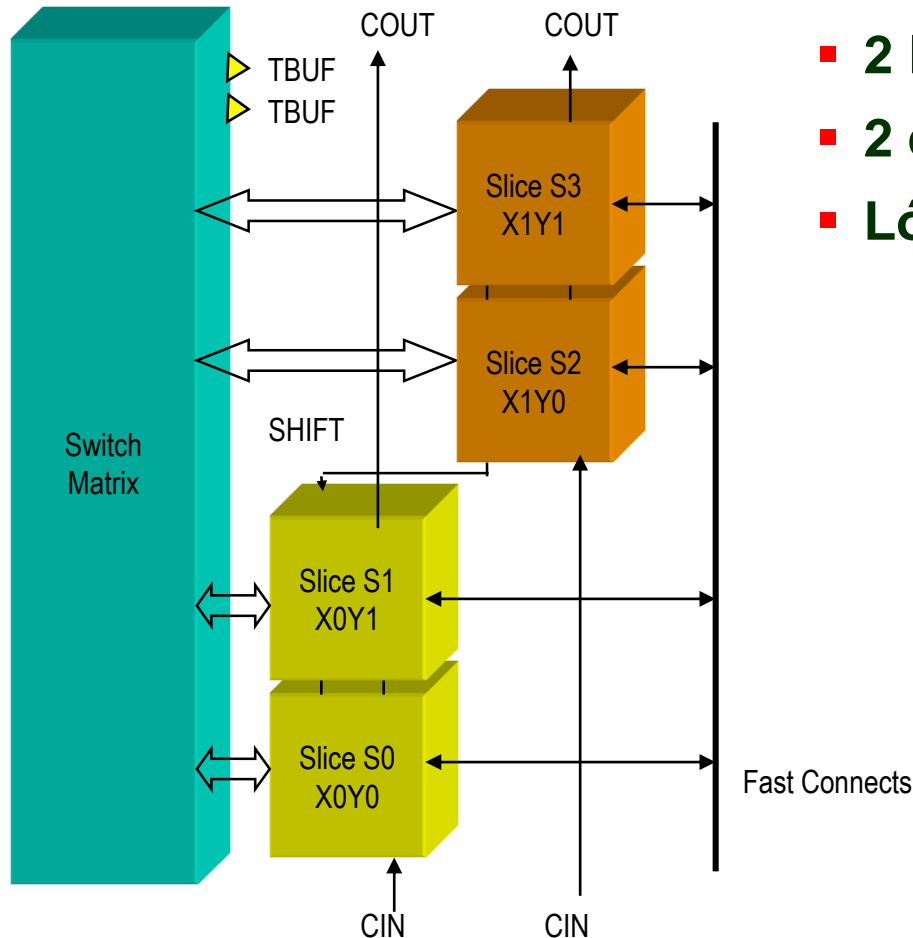
Spartan-3/3E: 1.2/3.3 V - 90 nm



Virtex-II & Spartan-3 CLB

❑ Cada **CLB** contiene 4 “*slices*” con:

- 2 LUTs de 4 entradas (SliceM y SliceL)
- 2 elementos de memoria (SliceM)
- Lógica de control y acarreo



Virtex-II & Spartan-3 Memoria

Table 9: Distributed SelectRAM Configurations

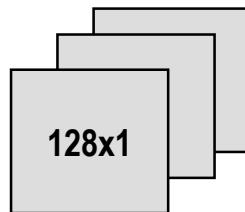
RAM	Number of LUTs
16 x 1S	1
16 x 1D	2
32 x 1S	2
32 x 1D	4
64 x 1S	4
64 x 1D	8
128 x 1S	8

Notes:

1. S = single-port configuration; D = dual-port configuration

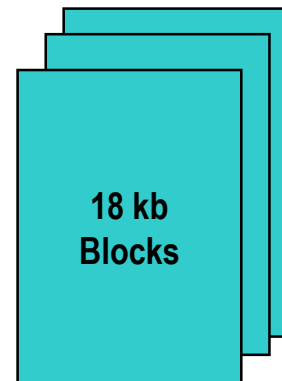
Table 16: 18 Kbit Block SelectRAM Port Aspect Ratio

Width	Depth	Address Bus	Data Bus	Parity Bus
1	16,384	ADDR[13:0]	DATA[0]	N/A
2	8,192	ADDR[12:0]	DATA[1:0]	N/A
4	4,096	ADDR[11:0]	DATA[3:0]	N/A
9	2,048	ADDR[10:0]	DATA[7:0]	Parity[0]
18	1,024	ADDR[9:0]	DATA[15:0]	Parity[1:0]
36	512	ADDR[8:0]	DATA[31:0]	Parity[3:0]



Distributed RAM

bytes



Block RAM

kilobytes

Up to
400 Mbps/pin
DDR & QDR

External RAM

megabytes



Bloques de RAM (BRAM)

- Simple o doble puerto
- Puertos independientes
- Lectura y escritura síncrona
- Relojes independientes
- Entradas y salidas separadas
- Bit de paridad
 - En anchos de byte

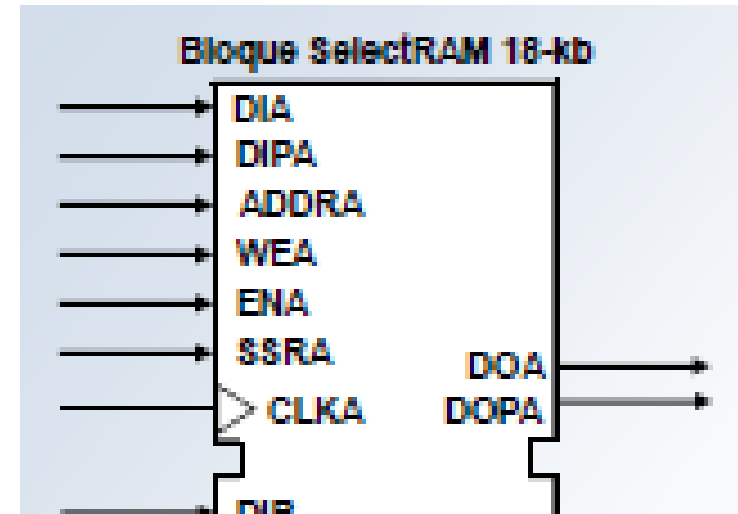


Table 16: 18 Kbit Block SelectRAM Port Aspect Ratio

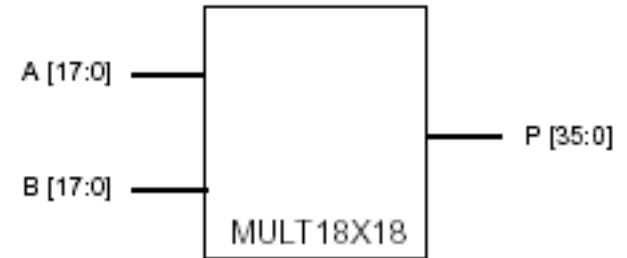
Width	Depth	Address Bus	Data Bus	Parity Bus
1	16,384	ADDR[13:0]	DATA[0]	N/A
2	8,192	ADDR[12:0]	DATA[1:0]	N/A
4	4,096	ADDR[11:0]	DATA[3:0]	N/A
9	2,048	ADDR[10:0]	DATA[7:0]	Parity[0]
18	1,024	ADDR[9:0]	DATA[15:0]	Parity[1:0]
36	512	ADDR[8:0]	DATA[31:0]	Parity[3:0]



Virtex-II & Spartan-3

Multiplicadores

- Multiplicadores dedicados de **18 bits**
- Los buses de entrada aceptan datos en complemento a 2 (**18-bit signed ó 17-bit unsigned**)
- Primitivas:
 - **MULT 18X18** (asíncrono)
 - **MULT 18X18S** (con registro de salida)
- Mediante **CORE Generator** es posible obtener multiplicadores de diferentes tamaños y funciones complejas que empleen estas primitivas



XAPP467: Using Embedded Multipliers in Spartan-3 FPGAs



Virtex-II & Spartan-3 Reloj

Digital Clock Manager (DCM)

➤ Delay-Locked Loop (DLL)

- Eliminación de retrasos en la distribución de reloj (*deskew*)
- Desfases de 90, 180 y 270 °

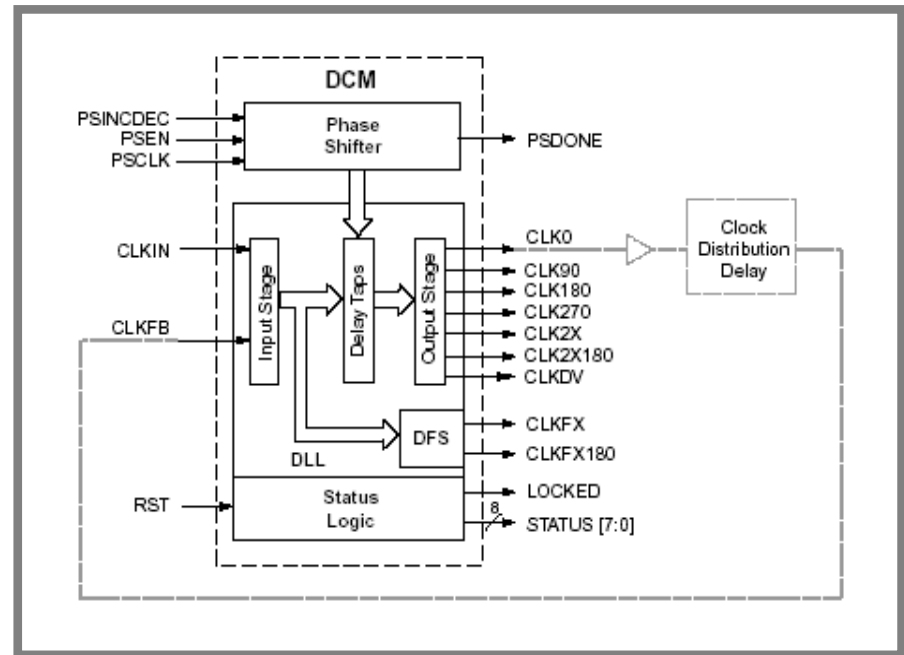
➤ Digital Frequency Synthesizer (DFS)

- Generación de reloj de frecuencia m/n

➤ Phase Shift (PS)

- Ajuste de fase en incrementos de $1/256$ de la señal de reloj

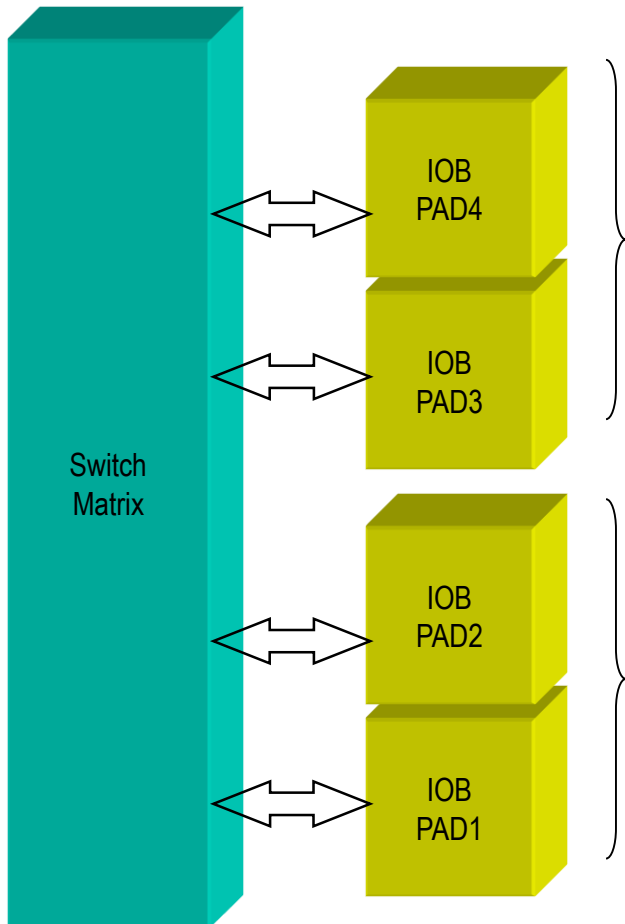
- ❑ Configurable mediante *Architecture Wizard*



XAPP462: Using Digital Clock Managers (DCMs) in Spartan-3 FPGAs



Virtex-II & Spartan-3 IOB



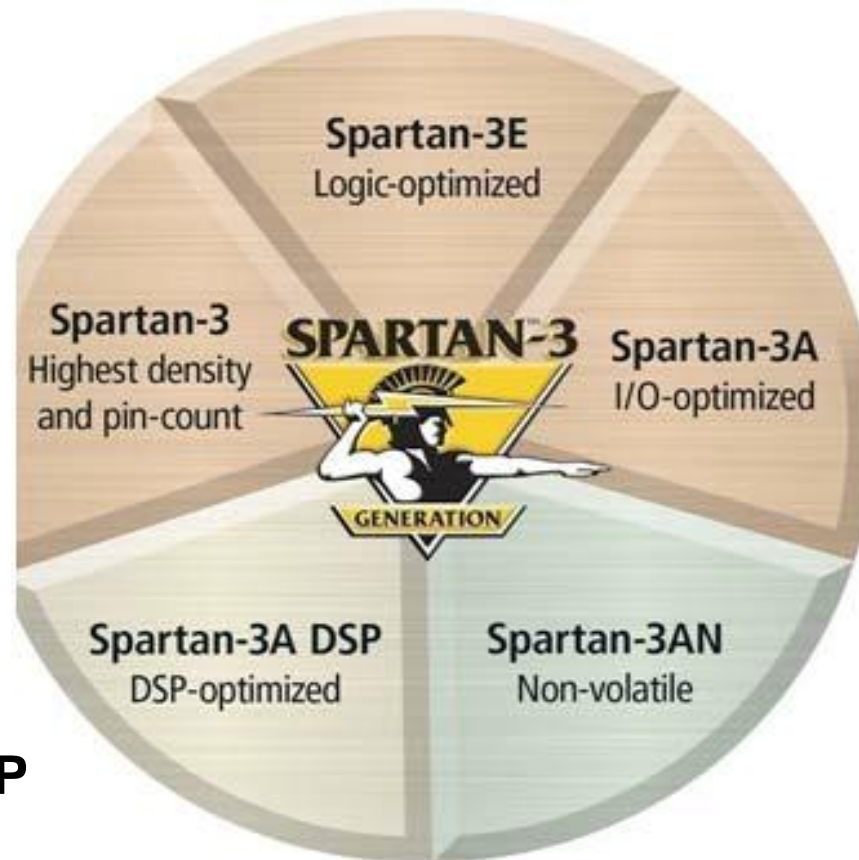
- Cada IOB puede ser usado como entrada y/o salida
- Dos IOBs pueden configurarse como un *par diferencial*
- Estándares para single-ended I/O (**19/16**):
 - LVTTTL, LVCMOS
 - PCI-X, CardBus, GTL, GTLP, AGP-2X
 - HSTL, SSTL
- Estándares para señales diferenciales (**7**):
 - LVDS, BLVDS, ULVDS, LDT, LVPECL
- Impedancia de salida programable
 - DCI (Digitally controlled impedance)



Familia de FPGA

Spartan-3/3E/3A/3AN/3ADSP

Mayor cantidad
de lógica que S3



Mayor cantidad
de pines de E/S
que S3E

Sustituye los
multiplicadores
por bloques DSP
y +BRAMs

Configuración
en Flash en
lugar de SRAM

Familia de FPGA

Spartan-3A/3E

Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits ⁽¹⁾	Block RAM bits ⁽¹⁾	No. BRAM Dedicated Multipliers	DCMs
			Rows	Columns	Total CLBs	Total Slices				
XC3S50A	50K	1,584	16	12	176	704	11K	54K	3	2
XC3S200A	200K	4,032	32	16	448	1,792	28K	288K	16	4
XC3S400A	400K	8,064	40	24	896	3,584	56K	360K	20	4
XC3S700A	700K	13,248	48	32	1,472	5,888	92K	360K	20	8
XC3S1400A	1400K	25,344	72	40	2,816	11,264	176K	576K	32	8
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8



Virtex-4

A partir de la familia **Virtex-4**, Xilinx introduce una serie de ***cambios significativos*** en la estructura y filosofía de las FPGAS

➤ Estructura:

- Pasa de una arquitectura de matriz simétrica a una **arquitectura ASMBL** (*Application Specific Modular BLock Architecture*) donde todas las funciones – incluidas las de E/S – se organizan en columnas

➤ Filosofía:

- Pasa del concepto de “Plataforma de uso general” al de **sub-familias especializadas** en aplicaciones específicas:
 - **LX**: aplicaciones lógicas
 - **FX**: plataformas empotradas (1 ó 2 PPC 405 @450 MHz)
 - **SX**: procesamiento digital de señal



Sub-familias en Virtex-4

➤ LX (8)

- Celdas lógicas: 15k – 200k
- DCM (*Digital Clock Manager*): 4 – 8
- DSP slices: 32 – 96
- BRAM: 96kb – 1392kb



Lógica

➤ SX (3)

- Celdas lógicas: 25k – 55k
- DCM (*Digital Clock Manager*): 4 – 8
- DSP slices: 128 – 512
- BRAM: 160kb – 384kb



DSP

➤ FX (6)

- Celdas lógicas: 12k – 140k
- DCM (*Digital Clock Manager*): 4 – 20
- DSP slices: 32 – 192
- BRAM: 86kb – 987kb
- Power PC: 1 – 2, Ethernet MACs: 2 – 4, I/O Transc.: 0 – 24



SoPC



Sub-familias en Virtex-4 (cont.)

	LX	FX	SX
Resource	<i>Logica</i>	<i>Emb./Serie</i>	<i>DSP/Serie</i>
Logic	14K–200K LCs	12K–140K LCs	23K–55K LCs
Memory	0.9–6 Mb	0.6–10 Mb	2.3–5.7 Mb
DCMs	4–12	4–20	4–8
DSP Slices	32–86	32–192	128–512
SelectIO	240–960	240–896	320–640
RocketIO	N/A	0–24 Channels	N/A
PowerPC	N/A	1 or 2 Cores	N/A
Ethernet MAC	N/A	2 or 4 Cores	N/A





Virtex-5

➤ **Continuación de la familia Virtex-4 pero con cambios significativos en:**

- **Tecnología: 65 nm**
- **Reducción del consumo de potencia**
- **Mayor velocidad de operación (550 MHz)**
- **Énfasis en bloques de DSP e interfaces serie**

➤ **Sub-familias de Virtex-5**

- **LX: aplicaciones lógicas**
- **LXT: aplicaciones lógicas con conectividad serie**
- **SXT: procesamiento digital de señal**
- **FXT: procesador empujado**
- **TXT: aplicaciones de gran ancho de banda**



Arquitectura Virtex-5

Mejorado

36Kbit Dual-Port Block RAM
/ FIFO with Integrated ECC

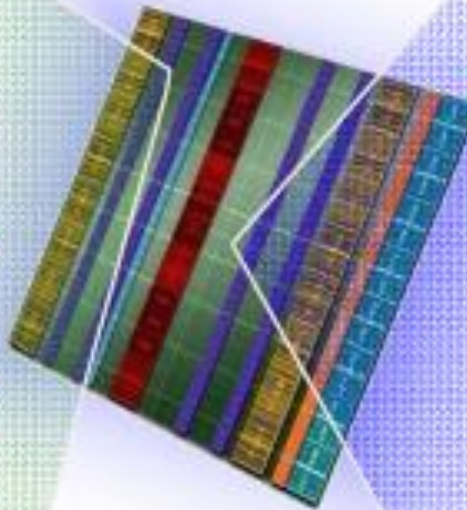
550 MHz Clock Management
Tile with DCM and PLL

SelectIO with ChipSync
Technology and XCITE DCI

Advanced Configuration
Options

25x18 DSP Slice with
Integrated ALU

Tri-Mode 10/100/1000 Mbps
Ethernet MACs



Nuevo

Most Advanced High-
Performance Real 6 LUT
Logic Fabric

PCI Express® Endpoint
Block

System Monitor Function
with Built-in ADC

Next Generation PowerPC®
Embedded Processor

RocketIO™ Transceiver
Options
Low-Power GTP: Up to 3.75
Gbps High-Performance GTX:
Up to 6.5 Gbps



Familias Virtex-6 / Spartan-6

❑ Cambios significativos en:

- **Tecnología: 45 nm**
- **Optimización de slices (tres tipos)**
- **Hardcore de controlador de memoria DDR**
- **LUTs de 6 entradas**
- **Eliminan PPC**

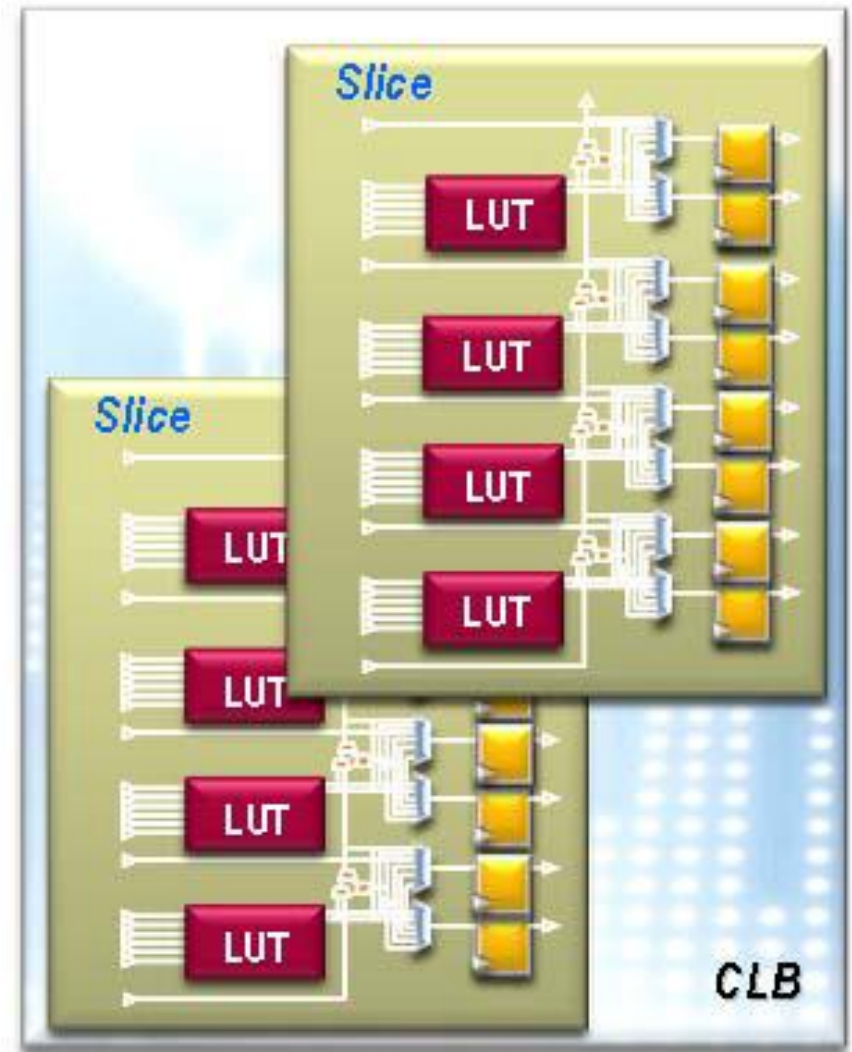
❑ Sub-familias de Virtex-6 / Spartan-6

- **LX: Lógica**
- **HX: Alta velocidad**
- **SX: Procesado de señal**
 - **-T: Endpoint de PCIe**



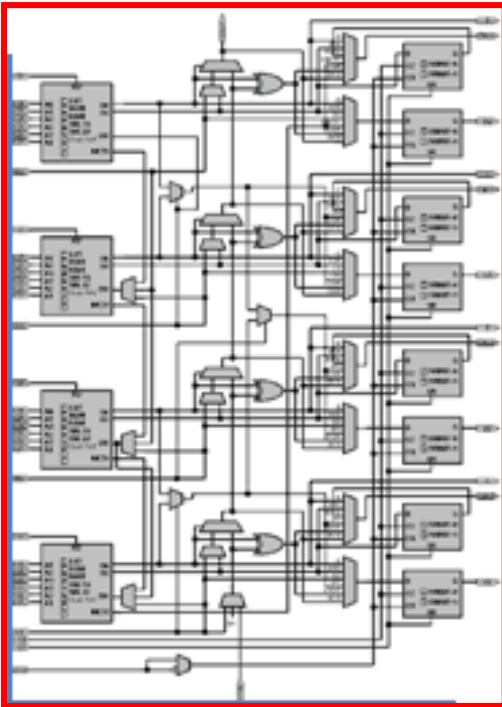
CLB en Virtex-6 / Spartan-6

- **CLB:**
 - 2 Slices
- **Slice:**
 - 4 LUT de 6 entradas
 - Equivale a 4 LUT de 4
 - 8 biestables
 - Tres tipos: -M. -L, -X

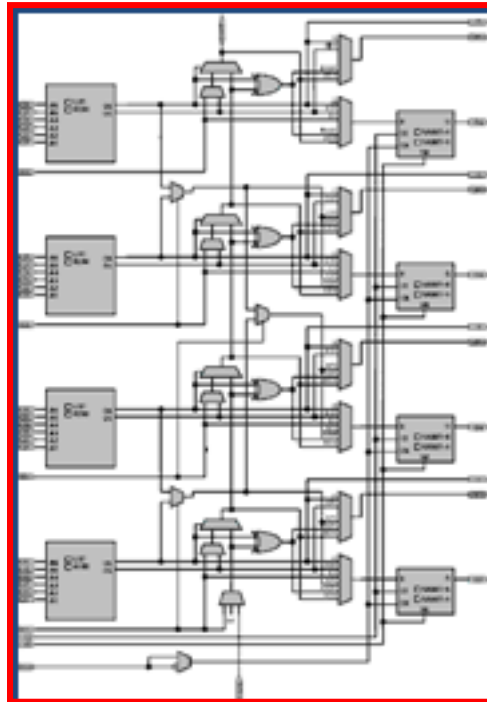


Slices en Spartan-6

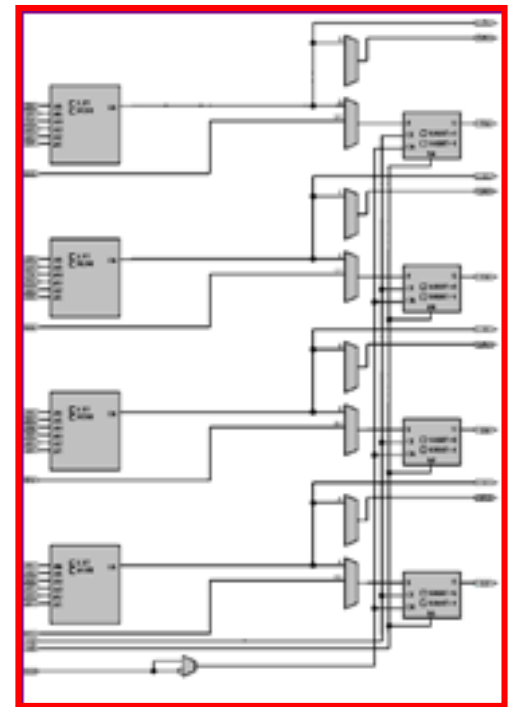
SliceM (25%)



SliceL (25%)



SliceX (50%)



NO RAM, SRL

**NO RAM, SRL,
acarreo, MUX**

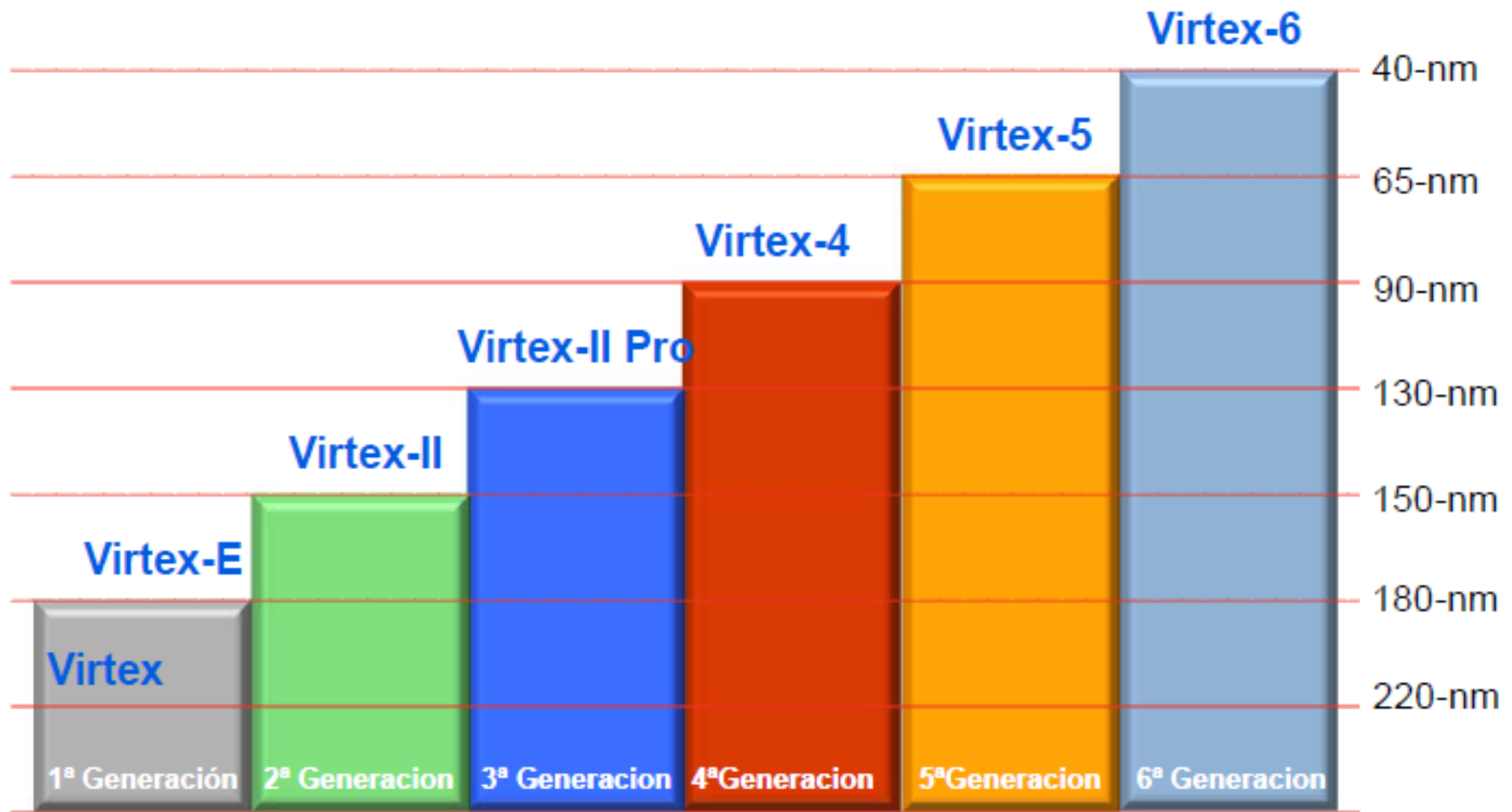


Comparación Spartan-6 vs Spartan 3A

Doble de capacidad, Mitad de consumo de potencia , Hard Blocks!

Feature	Extended Spartan-3A (90nm)	Spartan-6 (45nm)
Logic Cells (Kbit)	Up to 55K	Up to 150K
LUT Design	4-input LUT + FF	6-input LUT + 2FF
Block RAM (Mbit)	Up to 2 Mbit	Up to 5 Mbit
Transceiver Count / Speed	no	Up to 8 / Up to 3.125 Gbps
Voltage Scaling	No (1.2V only)	Yes (1.2V, 1.0V)
Static Power (typ mW)	11 mW (smallest density)	Up to 60% less!
Memory Interface	400 Mbps	DDR3 800 Mbps
Max Differential IO	640 Mbps	1050 Mbps
Multipliers/DSP	Up to 126 Multipliers / DSP	Up to 184 DSP48 Blocks
Memory Controllers	no	Up to 4 Hard Blocks
Clock Management	DCM Only	DCM & PLL
PCI Express Endpoint	no	Yes, Gen 1
Security	Device DNA Only	Device DNA & AES

Evolución familia Virtex



Virtex-7: 28 nm, 22 nm, 18 nm...



Serie 7

- Comparten arquitectura con Virtex-6/Spartan-6
...con mejoras
- Diferentes (sub) familias en Serie 7:
 - Spartan-7: Similar a Spartan-6
 - Artix-7: Bajo costo y la menor disipación de potencia
 - Kintex-7: Mejor relación precio-prestaciones
 - Virtex-7: Mayores prestaciones y productividad



Serie 7

ARTIX⁷

KINTEX⁷

VIRTEX⁷

	Lowest Power & Cost	Industry's Best Price/Performance	Industry's Highest System Performance
Logic Cells	20K – 355K	30K – 410K	285K – 2,000K
DSP Slices	40 – 700	120 – 1540	700 – 3,960
Max. Transceivers	4	16	80
Transceiver Performance	3.75Gbps	6.6Gbps 10.3Gbps	10.3Gbps 13.1Gbps 28Gbps
Memory Performance	800Mbps	2133Mbps	2133Mbps
Max. SelectIO™	450	500	1200
SelectIO™ Voltages	3.3V and below	3.3V and below 1.8V and below	3.3V and below 1.8V and below



SoC-FPGA

- Cambio en concepción de realizaciones SoC sobre FPGA
- Eliminación de hardcore de procesadores
- Potente sistema de procesamiento basado en ARM:
 - 1 – 4 núcleos
 - FPU
 - Caches L1 y L2
 - Memoria y controladores de memoria externa
 - Múltiples periféricos e interfaces
- Lógica programable (FPGA)

Filosofía adoptada por los principales fabricantes de FPGA

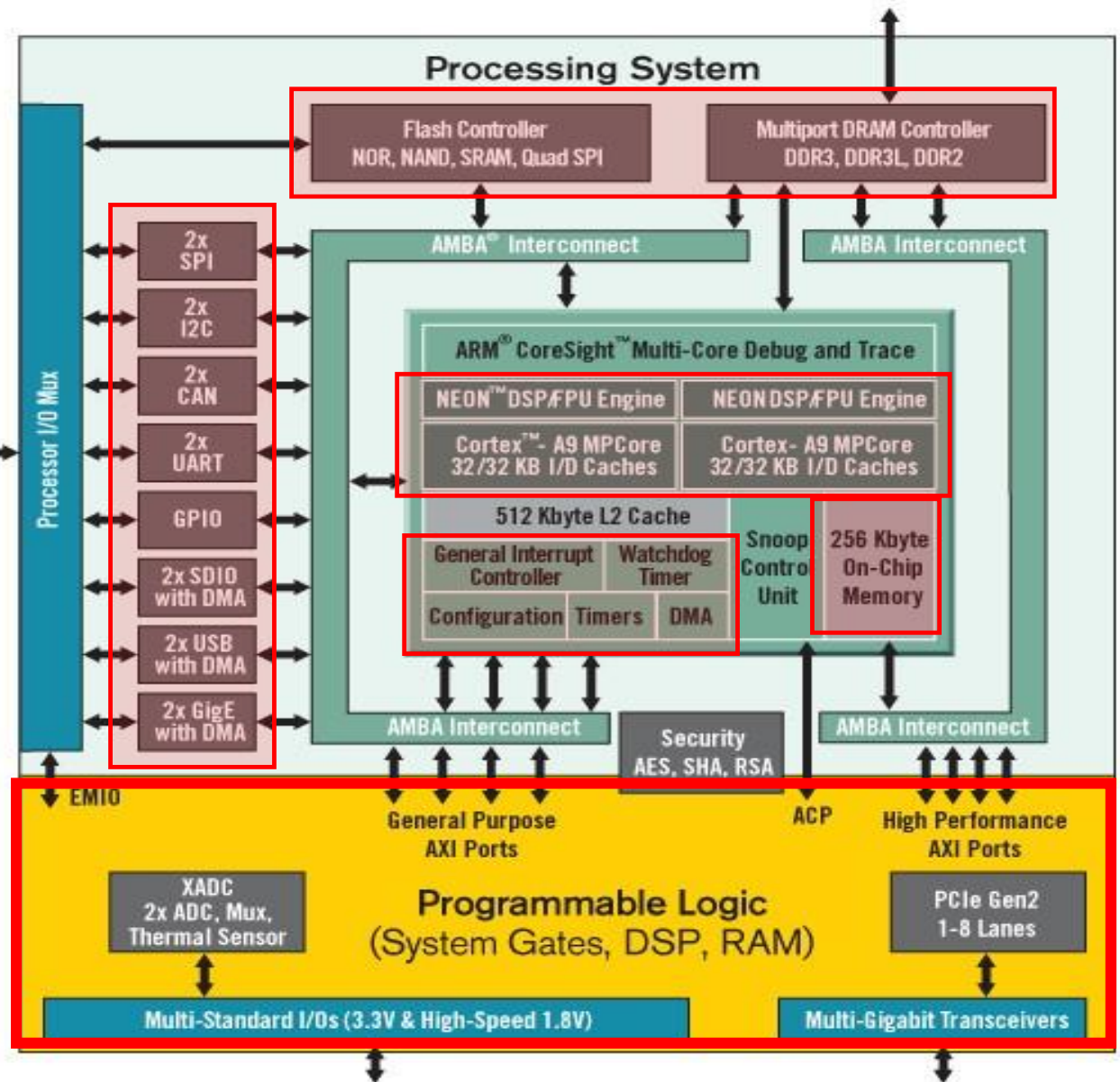


SoC-FPGA (Zynq 7000)

Sistema de procesamiento
hardcore



FPGA



Data Sheets - Microsoft Internet Explorer

Archivo Edición Ver Favoritos Herramientas Ayuda

Dirección http://www.xilinx.com/xlnx/xweb/xil_publications_index.jsp

Google Buscar en la Web 170 bloqueado(s) Opciones

US Site 日本サイト 中国网站 Documentation Download Buy Online Login

XILINX® Support

Enter Search Terms Data Sheets

Home Technology Solutions Products & Services Market Solutions Support

Documentation Download Troubleshoot Contact Support

Home : Documentation : Data Sheets

Publications By Part

Data Sheets

FPGA Device Families
CPLD Device Families
Configuration Solutions
Mature Products
Other Products

Errata
Package Drawings
Customer Notifications
Application Notes
User Guides
Characterization Reports
White Papers

 Xilinx is the leading innovator of complete programmable logic solutions, including field programmable gate arrays (FPGAs), CPLDs, Configuration Solutions (PROMs, hardware), Automotive IQ solutions, and Aerospace and Defense solutions.

If you have a question about Xilinx documentation please [open a case](#) with the hotline.

[See All Data Sheets](#) or [Browse Publications By Part](#)

FPGA Device Families

- ▶ Virtex-4
- ▶ Virtex-II Pro
- ▶ Virtex-II
- ▶ Virtex-E Extended Memory
- ▶ Virtex-E
- ▶ Virtex
- ▶ Spartan-3E
- ▶ Spartan-3/3L
- ▶ Spartan-IIE
- ▶ Spartan-II
- ▶ Spartan/XL

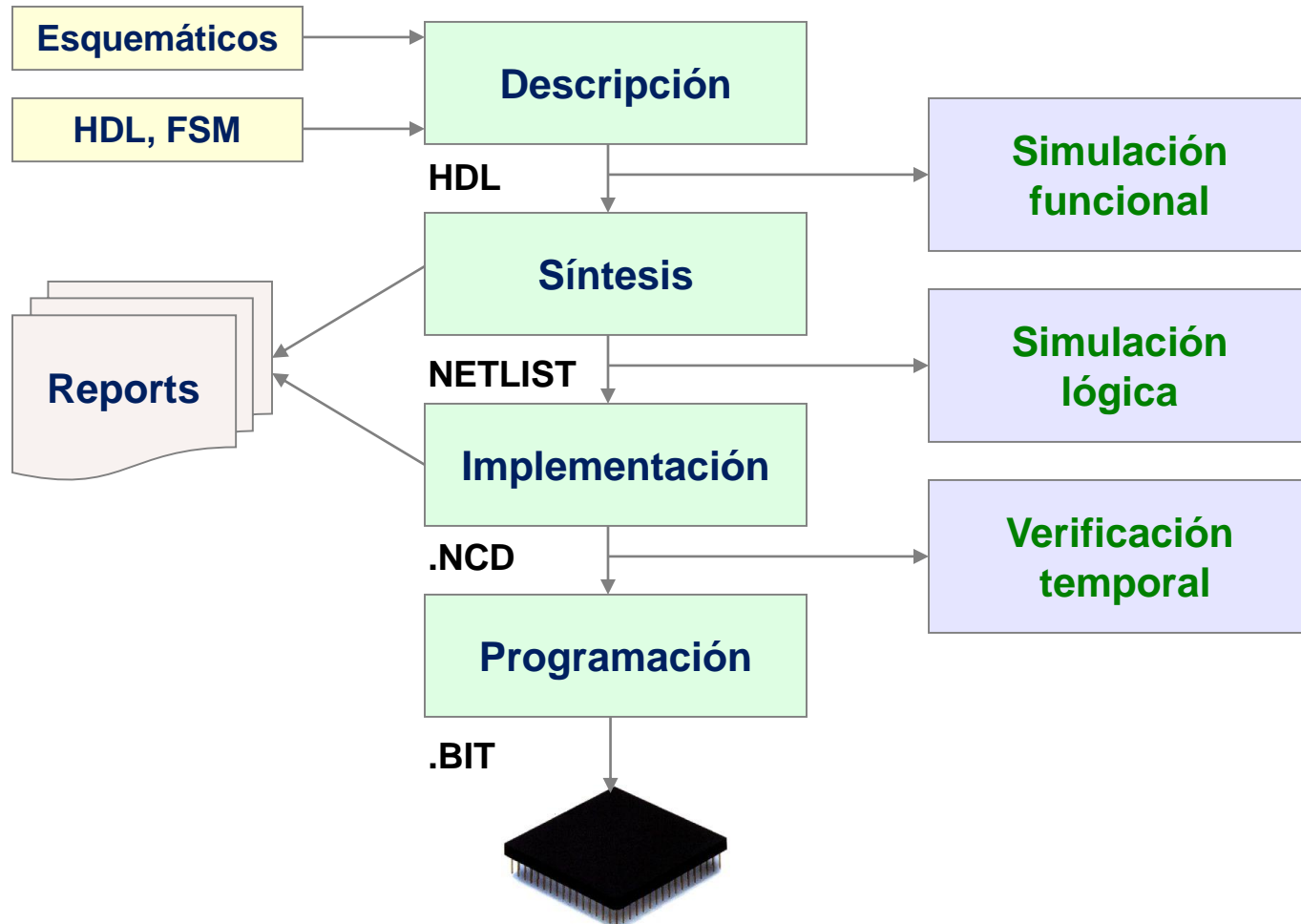
CPLD Device Families

- ▶ CoolRunner-II
- ▶ CoolRunner XPLA3
- ▶ XC9500XV
- ▶ XC9500XL
- ▶ XC9500



Flujo de diseño de FPGAs

Xilinx ISE



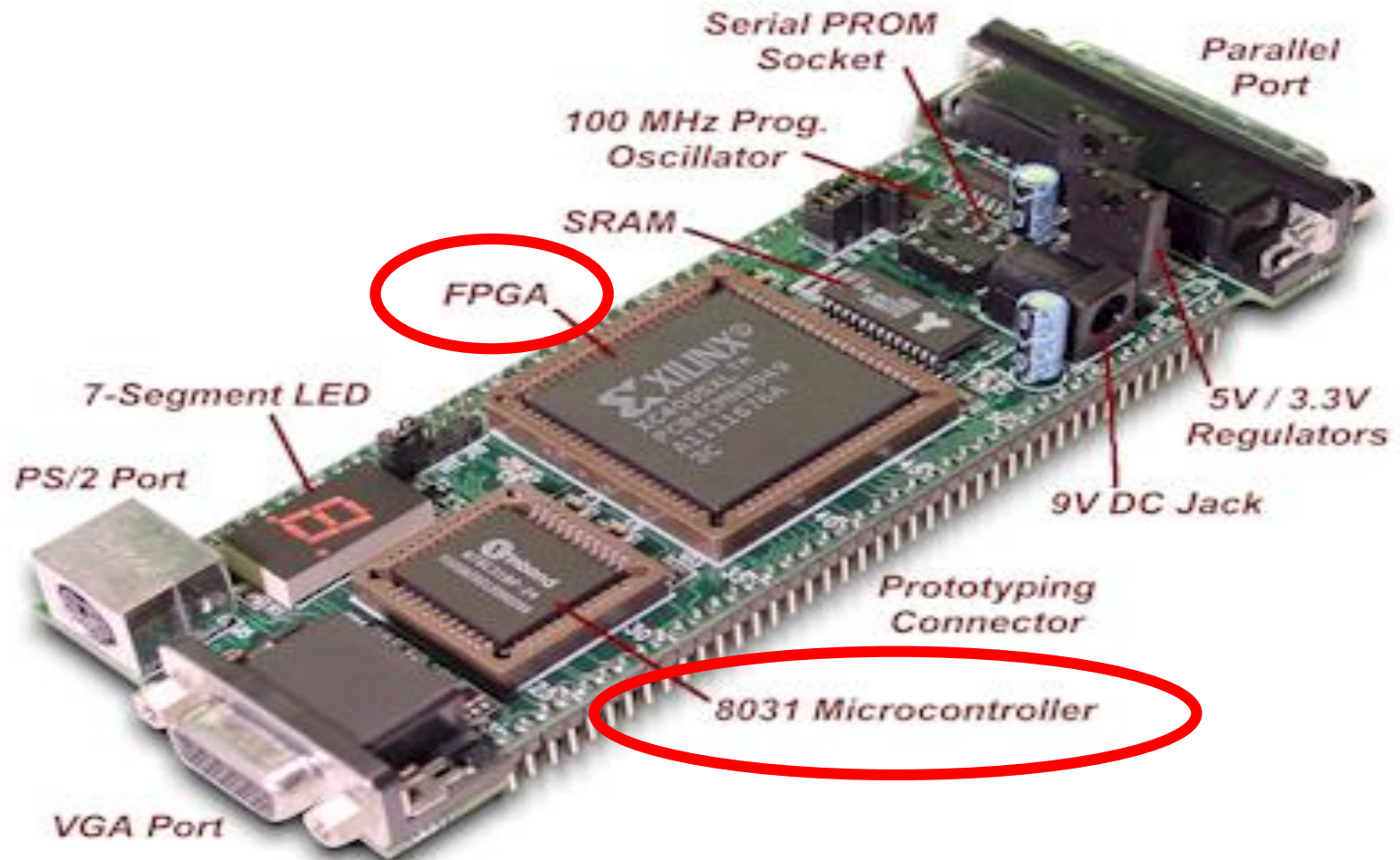
Placas de desarrollo de FPGA

Placas de desarrollo de FPGAs

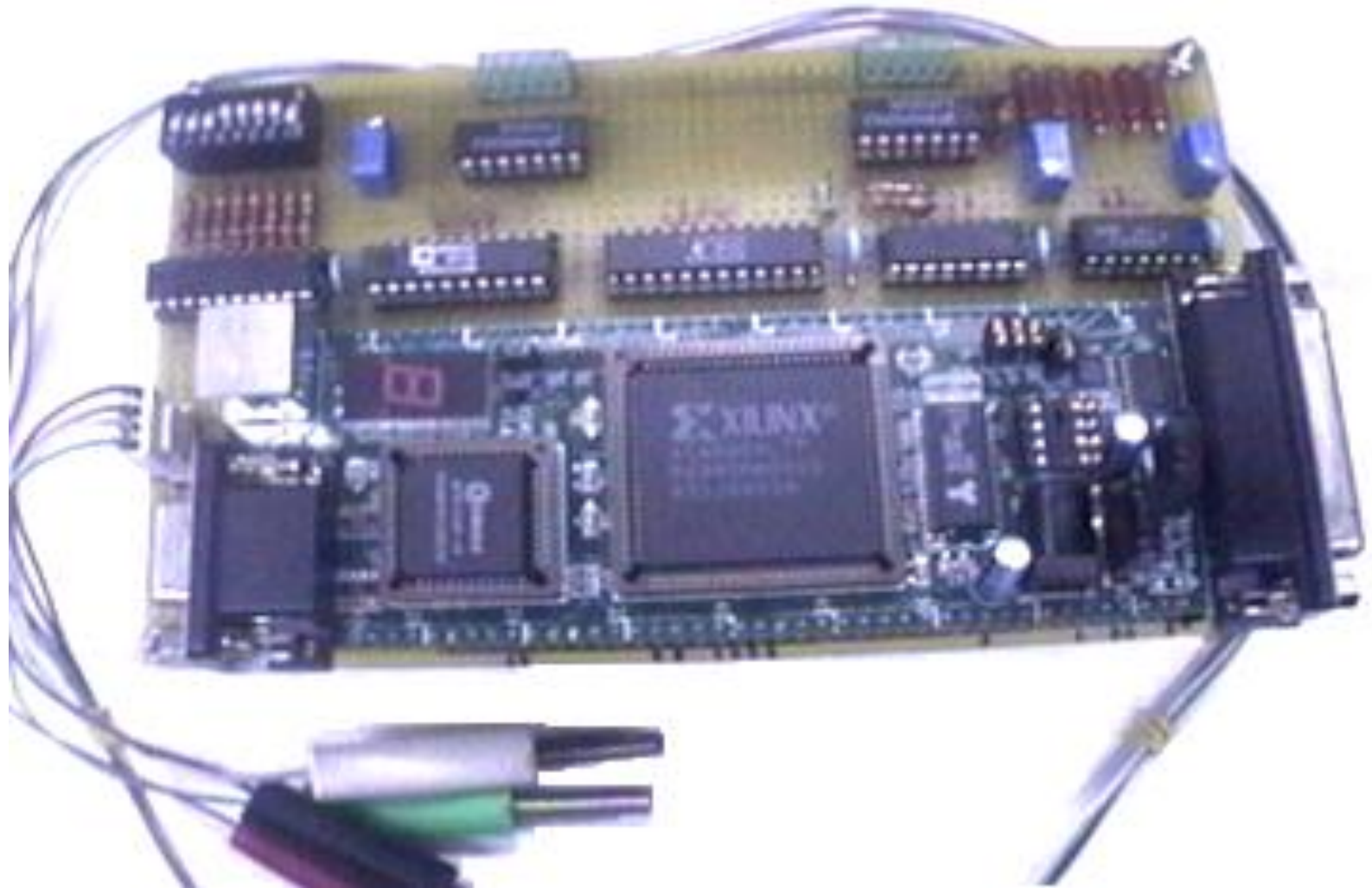
- Incorporan diversas **interfaces y componentes**
 - Reloj, puerto serie, memorias, E/S
 - USB, Ethernet, conversores A/D y D/A, audio, video, etc.
- Relativamente **bajo costo**
- Gran **variedad**
- Facilitan el desarrollo de **prototipos...**
...y también de ***soluciones definitivas***



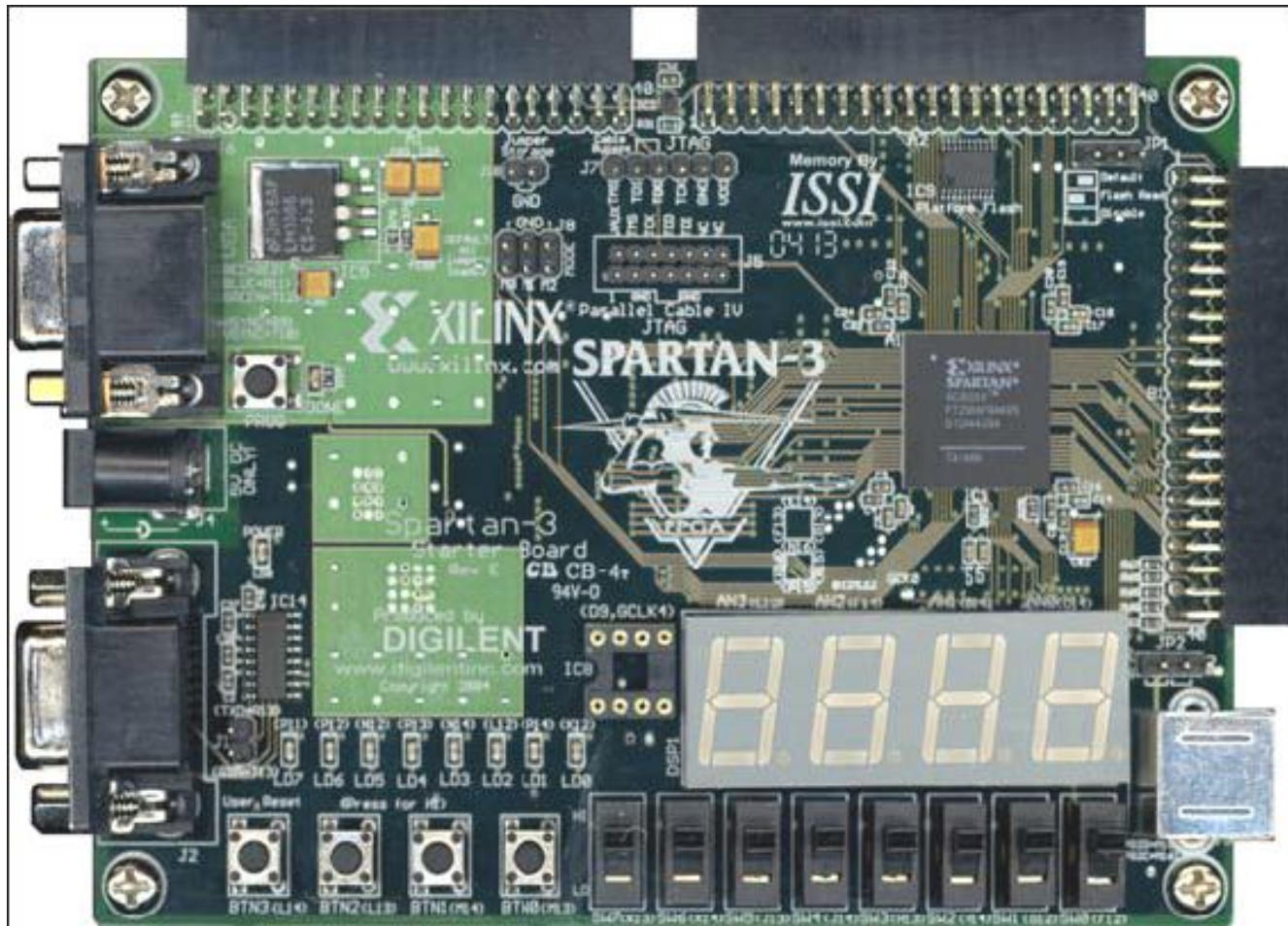
Placa *XS40-005XL* XC4000



Montaje Real



Placa *Spartan 3 Starter KIT*



Placa *Spartan 3E Starter KIT*



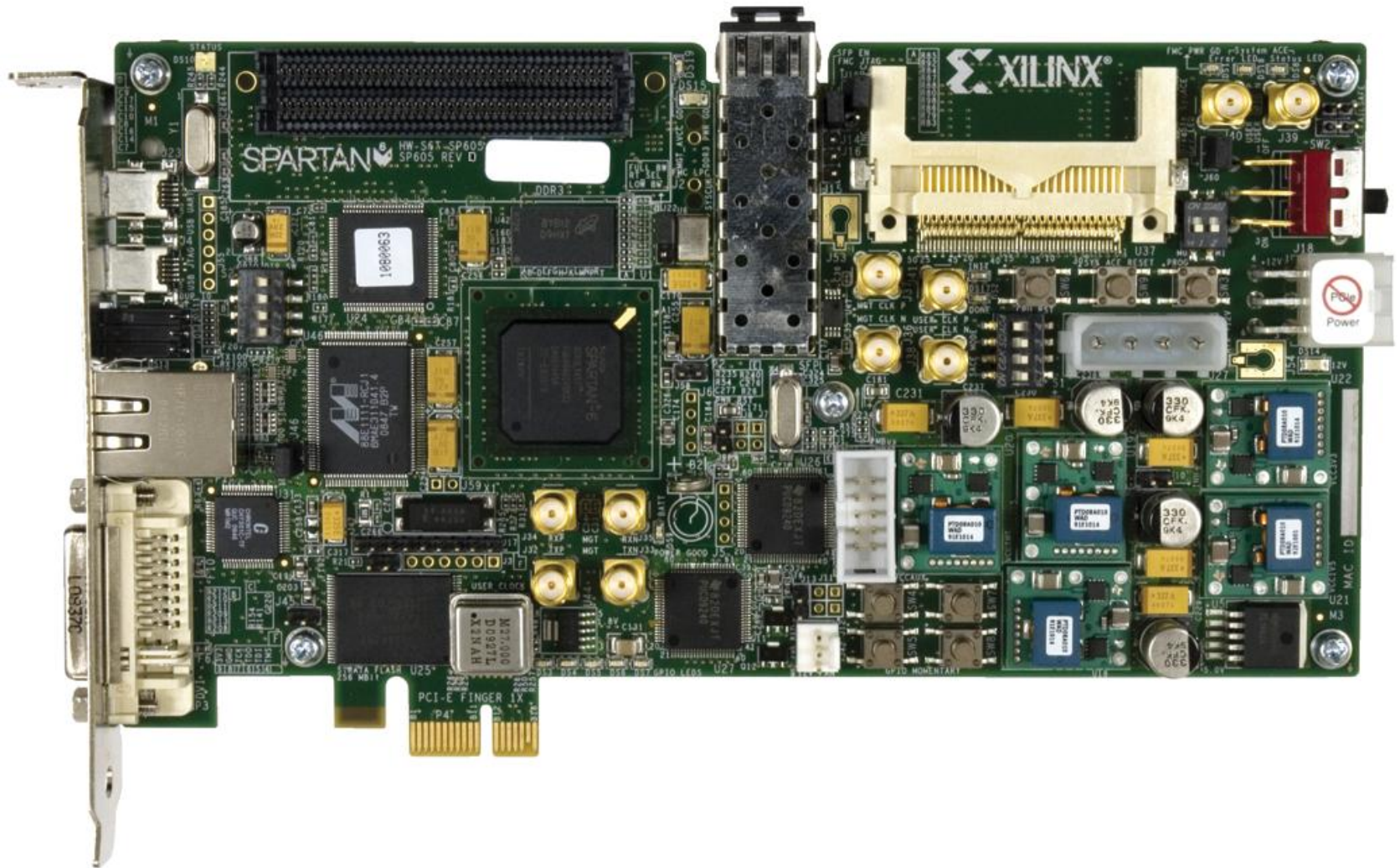
Placa *Spartan 3A Starter KIT*



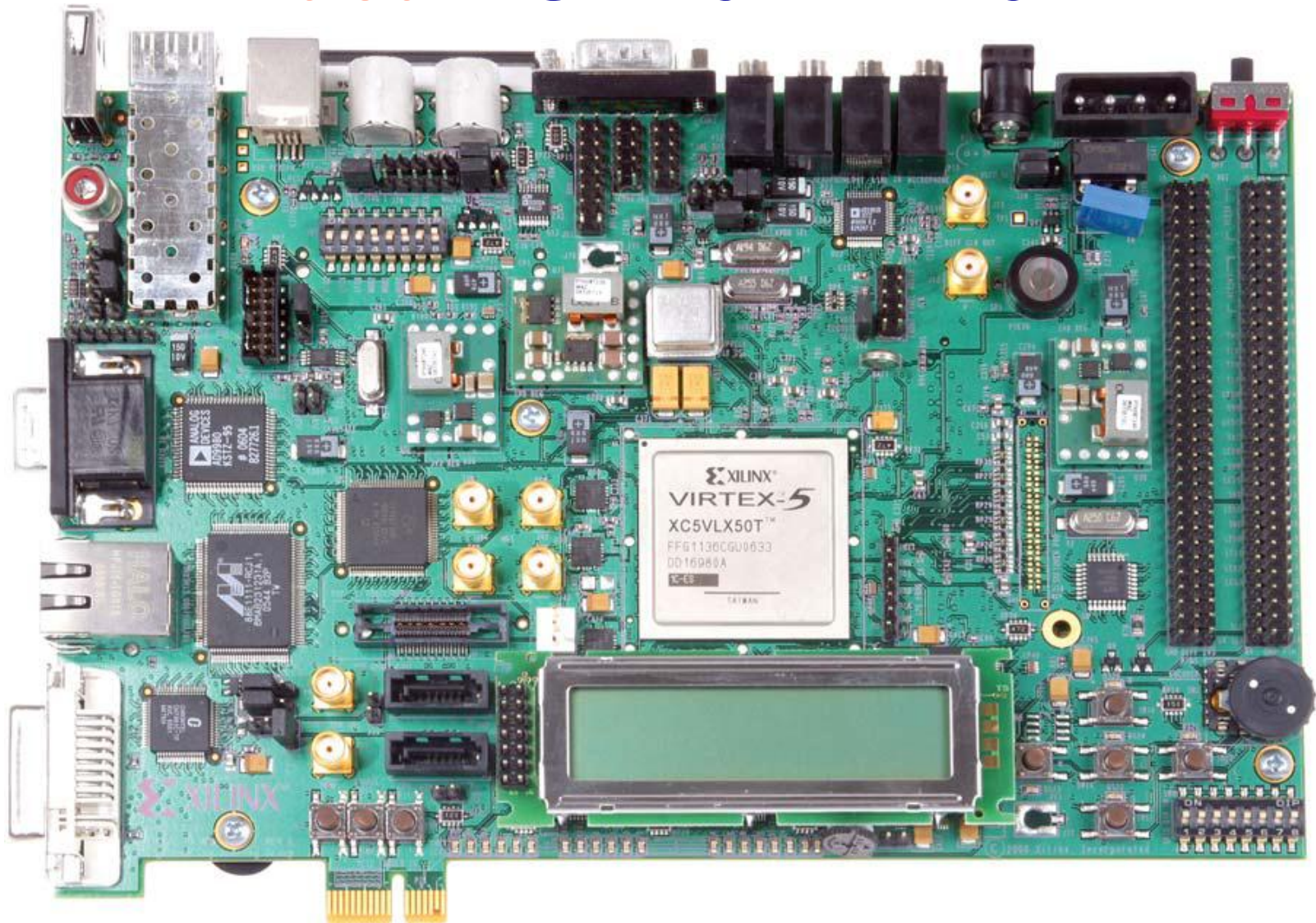
Placa *Atlys Spartan-6 Development Kit*



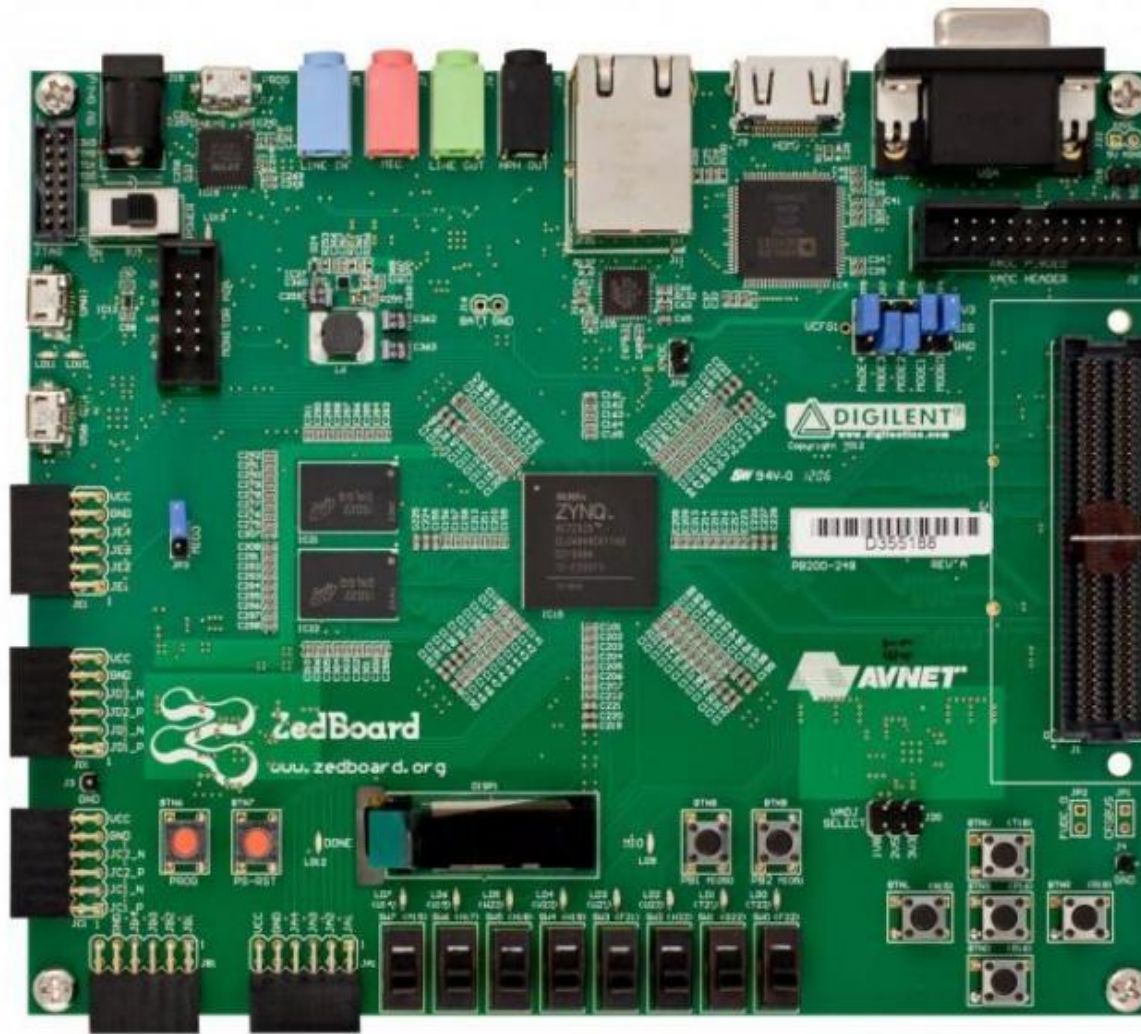
Placa *Spartan-6 SP605*



Placa *XUPV5-LX110T*



Placa Zedboard (Zynq 7020)





Alejandro J. Cabrera Sarmiento, CUJAE

Características de las placas *Spartan-3A/3E Starter Kit*

➤ **FPGA:**

- **Spartan-3A (XC3S700A)**
- **700k compuertas, FG-484**
- **Spartan-3E (XC3S500E)**
- **500k compuertas, FT-320**

➤ **Reloj de 50 MHz**

➤ **Flash serie de configuración (16 Mbit)**

➤ **64 MB DDR2 / DDR SDRAM**



Características de las placas *Spartan-3A/3E Starter Kit* (cont.)

- LCD de 2 x 16 caracteres
- 8 LEDs; 4 interruptores; 4 push-buttons; ...
- Puertos **Serie (DTE y DCE), PS-2 y VGA**
- Interfaz **10/100 Ethernet PHY**
- **4x DAC** de 12 bit con interfaz SPI
- **2x ADC** de 14 bit con interfaz SPI, con **preamplificador con ganancia programable**
- **Salida de audio estéreo**



Características de las placas *Spartan-3A/3E Starter Kit* (cont.)

- **CPLD XC2C64A**
- **1-Wire SHA-1 EEPROM**
 - **Protección de .bit**
- **Conectores de expansión:**
 - **Hirose 100 pin; PMOD 6 pin**
- **Flash paralela de 32/128 Mb (4/16 MB)**
- **Interfaz de configuración mediante JTAG**



Placa *Spartan 3A Starter KIT*

