

TP N°7: Amplificador de RF

Universidad Tecnológica Nacional, Facultad Regional Córdoba

Cátedra: Electrónica Aplicada III

Profesor: Rivas, Guillermo

Integrantes: Nicolodi, Juan Ignacio 66875

Cueva Bono, Sebastián 56016

Ruiz, Dante 49881

Albarrán, Darío Gustavo 43143

Resumen—Se diseña un amplificador de RF de 100MHz de tres etapas, con foco en la eficiencia. Se simula para verificar funcionamiento.

I. INTRODUCCIÓN

Los sistemas de transmisión de Radio Frecuencia (RF) requieren el manejo de elevada potencia, con baja distorsión de la señal y alto rendimiento en un determinado ancho de banda [1]. Para que esto sea posible, es necesaria una correcta adaptación de impedancias entre las diferentes etapas del sistema [2].

I-A. Transistores de potencia de RF

I-A1. Impedancia de entrada: En los transistores de potencia de RF, la impedancia de entrada tiene valores bajos, siendo menores a medida que la potencia aumenta. Dificilmente esta coincide con la del generador o etapa anterior, e incluso es común que tenga un valor complejo, lo cual hace más complicada la adaptación. La impedancia de entrada tiene una parte activa R_p y una reactiva X_p , que dependen de la frecuencia, y normalmente tienen una frecuencia f_s de resonancia ($X_p = 0$). En VHF es esencialmente capacitiva mientras que en microondas se vuelve inductiva.

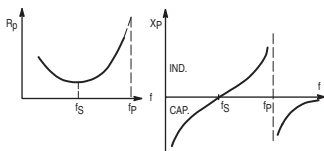


Fig. 1: Impedancia de entrada de transistores de potencia en RF, en función de la frecuencia [2]

Estos datos son generalmente brindados en la hoja de datos, o se pueden medir. Son importantes para determinar el factor Q, que a su vez es un indicativo del ancho de banda. EN VHF tiene un valor cercano a 1 o menor.

I-A2. Impedancia de salida: La resistencia interna a la salida del transistor normalmente no se considera, por ser mucho mayor que la de la carga. Por lo tanto, en la impedancia de salida se considera solo la capacitancia C_{OUT} que se puede considerar a grados rasgos como el doble de la capacitancia colector-base para pequeña señal, C_B . El valor de C_{OUT} decae con la frecuencia.

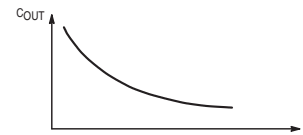


Fig. 2: Impedancia de salida de transistores de potencia en RF, en función de la frecuencia [2]

I-B. Amplificador de Potencia

En un amplificador de potencia (AP) de RF es generalmente necesaria la utilización de varias etapas, para llevar la señal a la potencia requerida. Cada etapa debe estar correctamente adaptada entre sí, y con el generador y la carga, a una frecuencia o ancho de banda determinado.

La impedancia de entrada de cada etapa depende en mayor o menor medida, de la carga que exista a la salida, y viceversa. Por lo tanto, no se puede realizar una adaptación en un extremo, sin modificar el otro [3]. Es por ello que para lograr una correcta adaptación en ambos extremos, se requeriría una cantidad repetitiva de cálculos, que serían inviables sin la asistencia por computadora. Los software de simulación de RF permiten realizar un *trade off* entre las redes de entrada y salida, hasta lograr un punto óptimo, en el sentido de permitir la mayor transferencia de potencia posible.

II. ESPECIFICACIONES

El diseño del dispositivo, debe ser de alta eficiencia, y tener las siguientes características:

- $V_{cc} = 12V$
- $R_L = 50\Omega$
- $P_{out} = 1W$
- $P_{in} = 1 \sim 5mW$

III. DESARROLLO

Considerando una señal de entrada de $1mW$, y una salida mínima de $1W$, la ganancia total mínima del sistema es de:

$$G = \frac{P_{out}}{P_{in}} = \frac{1W}{1mW} = 1000$$

Para el manejo de ganancia de etapas en cascada, es conveniente expresar las ganancias en dB. Se utilizan 3 etapas, para obtener la ganancia deseada, sin comprometer la estabilidad [4].

$$G_{dB} = 10 \times \log 1000$$

$$= 30dB$$

Si consideramos una pérdida de inserción promedio de las 4 redes de adaptación, de $0,5dB$, se requerirá que la suma de las etapas sea de al menos $32dB$ (fig. 3).

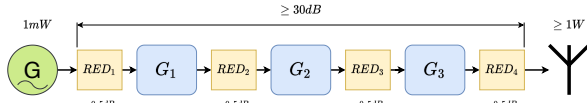


Fig. 3: Requerimiento de ganancia

La pérdida de inserción de cada red de adaptación, se puede calcular de acuerdo a la ecuación 1. Se puede ver que depende tanto de sus parámetros S intrínsecos, como de los coeficientes de reflexión de entrada Γ_{in} y de carga Γ_L , una vez incluidos en el circuito. Para lograr la menor pérdida de inserción, se minimiza la susceptancia de los elementos en paralelo y la reactancia de los elementos en serie de la red [5].

$$G_p = \frac{P_L}{P_{in}} = \frac{|S_{21}|^2}{(1 - |\Gamma_{in}|^2)} \frac{(1 - |\Gamma_L|^2)}{(|1 - S_{22}\Gamma_L|^2)} \quad (1)$$

III-A. Etapas amplificadoras

III-A1. Etapa 1: Para la primera etapa se eligió un amplificador clase A, por ser los más lineales, y, considerando que de las tres es la etapa que debe manejar menor potencia a la salida, su bajo rendimiento no va a incidir significativamente en el rendimiento total del circuito. Se diseña en base a el transistor BFR90.

De la hoja de datos [6] se obtienen los parámetros de corriente continua, para determinar la polarización del circuito (tabla I).

Valores máximos absolutos			
Símbolo	Parámetro	Valor	Unidad
V_{CEO}	Voltaje Colector-Emisor	15	V (DC)
V_{CBO}	Voltaje Colector-Base	20	V (DC)
V_{EBO}	Voltaje Emisor-Base	3	V (DC)
I_C	Corriente de Colector	30	mA
Ganancia			
HFE	Ganancia de Corriente DC	25 ~ 250	-

TABLA I: Valores máximos y ganancia del transistor BFR90

Otros parámetros de interés, son los que indican el comportamiento del transistor en radiofrecuencia. Es necesario verificar que cumpla con las condiciones de trabajo, como ancho de banda y potencia (tabla II).

Parámetros de interés			
Símbolo	Parámetro	Valor	Unidad
F_T	Ganancia x Ancho de banda	5	GHz
C_{CB}	Capacitancia de salida	0,5 ~ 1	pF
I_C	Corriente de Colector	14	mA
G_{Umax}	Gan. Unilateral máx. @ 500MHz	18	dB

TABLA II: Parámetros de RF del BFR90

También se encuentran en la misma hoja de datos, valores de parámetros S del transistor. Se toman como referencia los valores para 100 MHz, con $V_{CE}=10V$ e $I_C= 14mA$ (tabla III).

Parámetros S @ 100MHz, $V_{CE}=10V$, $I_C= 14mA$		
	Módulo	Fase
S_{11}	0,382	-41
S_{12}	0,016	79
S_{21}	21,21	141
S_{22}	0,718	-9

TABLA III: Parámetros S del BFR90

Para la polarización, se calculan valores aproximados de los componentes, con:

$$I_C = 10mA \quad V_{CC} = 12V \quad HFE = 200 \quad V_{CE} = 4V$$

Análisis del factor estabilidad de Rollett

Para que el transistor sea estable en la frecuencia de trabajo, se tiene que verificar que [7]:

$$K = \frac{1 + |D|^2 - |S_{11}|^2 - |S_{22}|^2}{2 \times |S_{12} \times S_{21}|} > 1 \quad (2)$$

Donde:

$$D = \begin{vmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{vmatrix} = S_{11} \times S_{22} - S_{12} \times S_{21} \quad (3)$$

Para la primer etapa se tiene:

$$D = (0,382 \angle -41^\circ) \times (0,718 \angle -9^\circ) -$$

$$(0,016 \angle 79^\circ) \times (21,21 \angle 141^\circ)$$

$$= 0,4362661 + j * 0,0080288$$

$$K = \frac{1 + |0,43634|^2 - |0,382|^2 - |0,718|^2}{2 \times |0,016 \times 21,21|}$$

$$= 0,77933$$

Como $K \neq 1$, es necesario agregar al circuito de la primer etapa, una red de neutralización. Esta consiste en una red de realimentación RC entre el colector y la base.

Los resultados se ajustan mediante simulación, para obtener la mejor relación entre ganancia e integridad de la señal. Luego de varias iteraciones de ajuste, se obtiene el circuito de la figura 4.

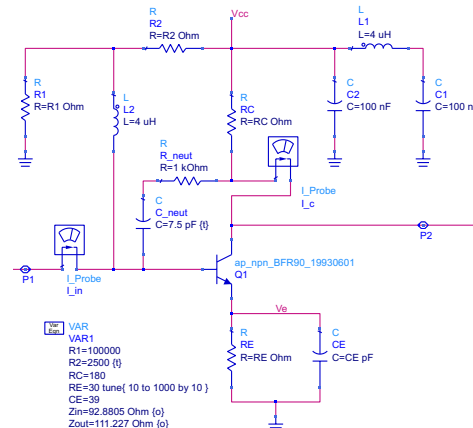


Fig. 4: Circuito de la primera etapa amplificadora

Utilizando el software **PathWave Advanced Design System (ADS)**, se obtiene por optimización los valores de impedancias de entrada y salida del circuito amplificador de la primera etapa, cuyos valores se encuentran en la figura 5.

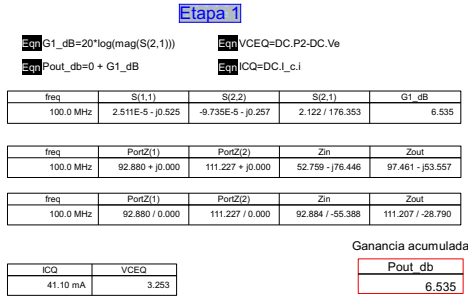


Fig. 5: Valores obtenidos de la simulación de la primera etapa

Se obtiene una ganancia no muy elevada, en pos de mantener la linealidad. Son de interés también los valores de impedancias de entrada Z_{in} y de salida Z_{out} . En la figura 6 se indican los resultados de la simulación de parámetros S, como también la señal amplificada en el tiempo.

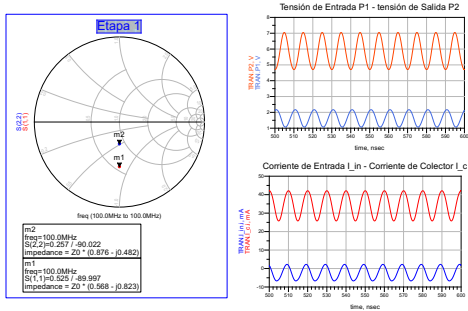


Fig. 6: Gráficos de respuesta en tiempo y frecuencia de la primera etapa

III-A2. Etapa 2: La segunda etapa esta basada en un transistor BFR96, con manejo de mayor corriente a la salida. Se utiliza siempre la misma VCC de 12 V. Considerando que en la primera etapa se obtuvieron unos 6dB de ganancia (fig. 5), se pretende que en esta se obtengan al menos 10dB lo que equivaldría a una potencia total a la salida de 16dBm como mínimo:

$$P_{out2} = 10^{16dBm/10} \times 1mW = 19,8mW \approx 20mW$$

A la entrada, tendremos como máximo, la potencia de salida de la etapa anterior, que es de alrededor de:

$$P_{out1} = 10^{6,5dBm/10} \times 1mW = 4,46mW$$

Consultando la hoja de datos [8], se obtienen los valores para continua del transistor BFR96 (tabla IV).

Valores máximos absolutos			
Símbolo	Parámetro	Valor	Unidad
V_{CEO}	Voltaje Colector-Emisor	15	V (DC)
V_{CBO}	Voltaje Colector-Base	20	V (DC)
V_{EBO}	Voltaje Emisor-Base	3	V (DC)
I_C	Corriente de Colector	100	mA
Ganancia			
HFE	Ganancia de Corriente DC	30 ~ 200	-

TABLA IV: Valores máximos y ganancia del transistor BFR96

Con respecto al comportamiento en radiofrecuencia, se puede ver en la tabla V, que las prestaciones del transistor están dentro de lo requerido. Sin embargo esto se debe confirmar a través de la simulación.

Parámetros RF			
Símbolo	Parámetro	Valor	Unidad
F_T	Ganancia x Ancho de banda	4,5	GHz
C_{CB}	Capacitancia de salida	1, 2 ~ 1, 5	pF
I_C	Corriente de Colector (DC)	50	mA
G_{Umax}	Gan. Unilateral máx. @ 500MHz	14,5	dB

TABLA V: Parámetros de RF del BFR96

Parámetros S @ 100MHz, VCE=10V, IC= 50mA		
	Módulo	Fase
S_{11}	0,33	-119
S_{12}	0,029	63
S_{21}	22,59	109
S_{22}	0,39	-51

TABLA VI: Parámetros S del BFR96 a 100 MHz

Análisis del factor estabilidad de Rollett

En esta etapa también es necesario verificar la estabilidad. Valiéndonos de las ecuaciones 2 y 3, obtenemos el factor de estabilidad:

$$D = (0,33 \angle -119^\circ) \times (0,39 \angle -51^\circ) - (0,029 \angle 63^\circ) \times (22,59 \angle 109^\circ) = 0,52199 - j \cdot 0,11352$$

$$K = \frac{1 + |0,53419|^2 - |0,33|^2 - |0,39|^2}{2 \times |0,029 \times 22,59|} = 0,78182$$

Como $K \not\geq 1$, también es necesario agregar al circuito de la segunda etapa una red de neutralización.

La polarización es similar al caso anterior, pero con una bobina de choque en el colector. Esta debe presentar una impedancia mucho mayor que la carga, para la frecuencia de trabajo. Se utiliza una bobina de $4\mu H$. Los valores considerados para la polarización son los siguientes:

$$I_C = 50mA \quad V_{CC} = 12V \quad HFE = 200 \quad V_{CE} = 12V$$

Luego del diseño, se simula mediante ADS, y se ajusta la polarización para lograr una excursión amplia de la señal y poca distorsión. El resultado se puede ver en la figura 7

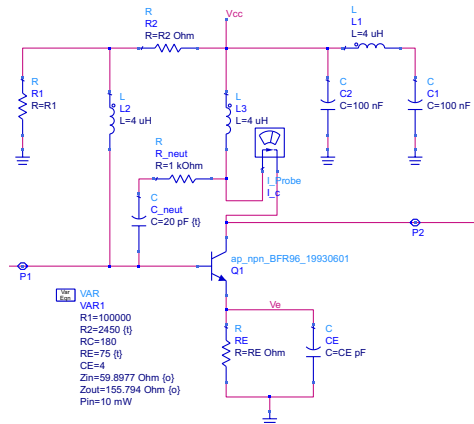


Fig. 7: Circuito de la segunda etapa amplificadora

Utilizando las herramientas de optimización, se obtienen las impedancias de entrada y salida. Con ellas se simula la etapa para máxima transferencia de potencia. Luego de algunos ajustes se obtienen los resultados de la figura 8.

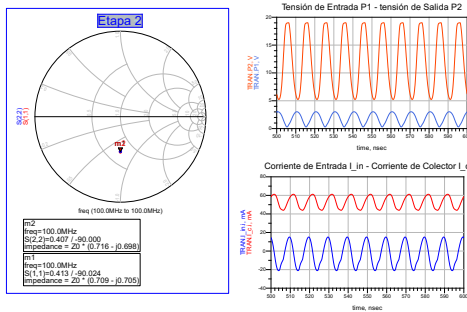


Fig. 8: Gráficos de respuesta en tiempo y frecuencia de la segunda etapa

Realizando la adaptación a la primer etapa, se puede obtener en la simulación los resultados de la figura 9. Se logra hasta aquí una potencia de 18,5 dBm o 70,8mW aproximadamente.

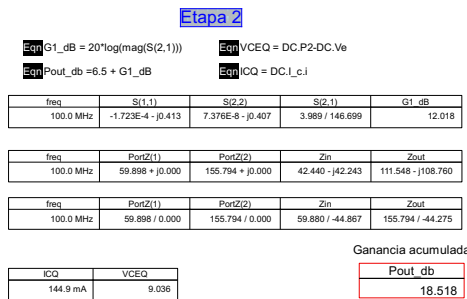


Fig. 9: Valores obtenidos de la simulación de la segunda etapa

III-A3. Etapa 3: Para esta ultima etapa se utilizó un amplificador clase C, por su alto rendimiento y manejo de gran potencia (en el orden de los Watts). El circuito de salida consta solamente de una bobina de choque. A diferencia de las etapas anteriores, no requiere una resistancia entre tierra y emisor.

El transistor utilizado es un MRF237, el cual tiene una frecuencia de trabajo de hasta 225 MHz y una potencia de

hasta 4 W. La hoja de datos[9] indica los valores máximos y ganancia de la tabla VII.

En la figura 9 la ganancia al final de la segunda etapa es de 18,5 dBm aproximadamente. Por lo tanto, sería necesario alcanzar una ganancia de unos 14 dBm (considerando las atenuaciones de las etapas de adaptación).

Valores máximos absolutos			
Símbolo	Parámetro	Valor	Unidad
V_{CE0}	Voltaje Colector-Emisor	18	V (DC)
V_{CBO}	Voltaje Colector-Base	36	V (DC)
V_{EBO}	Voltaje Emisor-Base	4	V (DC)
I_C	Corriente de Colector	640	mA (DC)
Ganancia			
HFE	Ganancia de Corriente DC	5	-

TABLA VII: Valores máximos y ganancia del transistor MRF237

Para las condiciones de trabajo en RF, se tienen en cuenta los valores de la tabla VIII.

Parámetros RF			
Símbolo	Parámetro	Valor	Unidad
F_T	Ganancia x Ancho de banda	225	MHz
C_{CB}	Capacitancia de salida	15 ~ 20	pF
I_C	Corriente de Colector (DC)	250	mA
G_{Umax}	Gan. Unilateral máx. @ 175MHz	14	dB

TABLA VIII: Parámetros de RF del MRF237

Los parámetros S del transistor fueron obtenidos mediante ADS, para una frecuencia de 100 MHz, con $V_{CE} = 10V$ y $I_C = 100mA$.

Parámetros S @ 100MHz, VCE=10V, IC= 100mA		
	Módulo	Fase
S_{11}	0.736	178.694
S_{12}	0.039	67.267
S_{21}	6.007	83.663
S_{22}	0.288	-158.642

TABLA IX: Parámetros S del MRF237 a 100 MHz obtenidos por simulación

Para la polarización, se calculan valores aproximados de los componentes, con:

$$I_C = 100mA \quad V_{CC} = 12V \quad HFE = 5 \quad V_{CE} = 12V$$

En la figura 10 se muestra el circuito utilizado en la simulación. Mediante optimización termina consiguiendo una ganancia de 13.15 dB, una impedancia de entrada de $(16,9 + j3,2)\Omega$ y una impedancia de salida de $(1,1 - j7,2)\Omega$ (fig. 12).

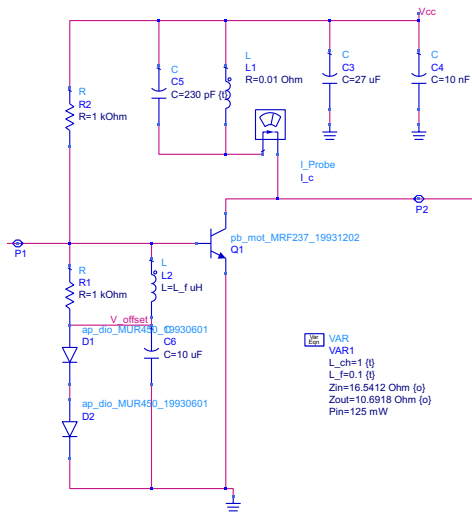


Fig. 10: Circuito de la tercera etapa amplificadora

La figura 11 contiene los valores de impedancias normalizadas, en el diagrama de Smith, y el resultado de la simulación en el tiempo para tensión y corriente, en la entrada y salida del transistor. Podemos ver que todos los parámetros se mantienen dentro del rango de trabajo del dispositivo.

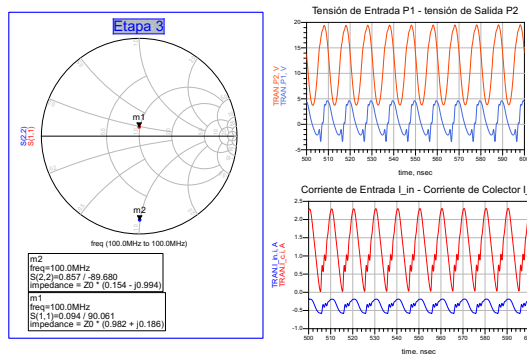


Fig. 11: Gráficos de respuesta en tiempo y frecuencia de la tercera etapa

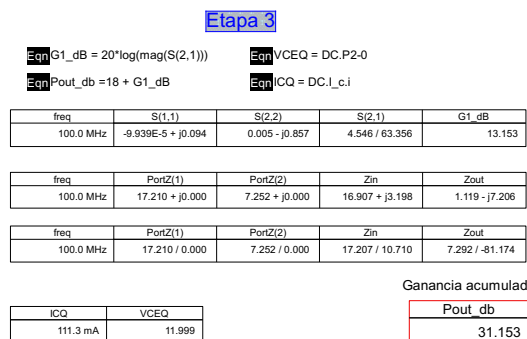


Fig. 12: Valores obtenidos de la simulación de la tercera etapa

III-B. Etapas de adaptación

Entre la salida del generador y la entrada de la etapa 1, se adapta mediante la primera red, del tipo T. La topología de la red se escogió, de manera que permita una adaptación mas precisa, y que aporte el desacople de continua necesario entre etapas y respecto a tierra.

La impedancia de salida del generador se considera de $(50 + j0)\Omega$. La herramienta *Smith Chart Utility* de ADS permite construir rápidamente la red de adaptación (fig. 13).

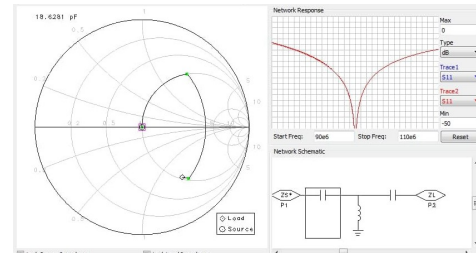


Fig. 13: Diagrama de Smith de la primera red

Ingresando en el campo Zs^* el conjugado de la impedancia de salida de la etapa de origen de la señal, y en el campo ZL la impedancia de entrada de la etapa siguiente, se obtienen dos puntos en el diagrama de Smith. Cada componente de la red T aporta una curva, y con estas tres curvas se unen ambos puntos, obteniendo de esta manera la adaptación, y los valores de los componentes (fig. 14).

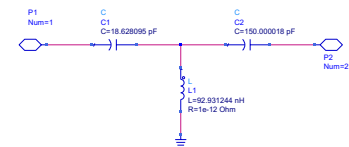


Fig. 14: Primera red adaptadora

La herramienta indica además, la pérdida de inserción de la red, útil para determinar que tan deficiente sería esta al utilizar por ejemplo, valores normalizados.

Las gráficas 16, 18 y 20 corresponden a la obtención mediante ADS de las redes de adaptación entre la etapa 1 y 2, la etapa 2 y 3, y la etapa 3 y la carga, respectivamente.

A su vez, las figuras 17, 19 y 21 indican los valores obtenidos de cada componente, para cada una de la segunda, tercera y cuarta red.

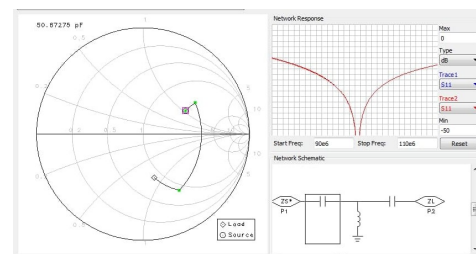


Fig. 16: Diagrama de Smith de la segunda red

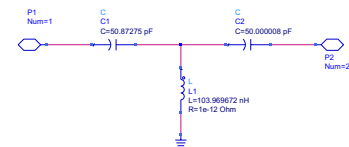


Fig. 17: Segunda red adaptadora

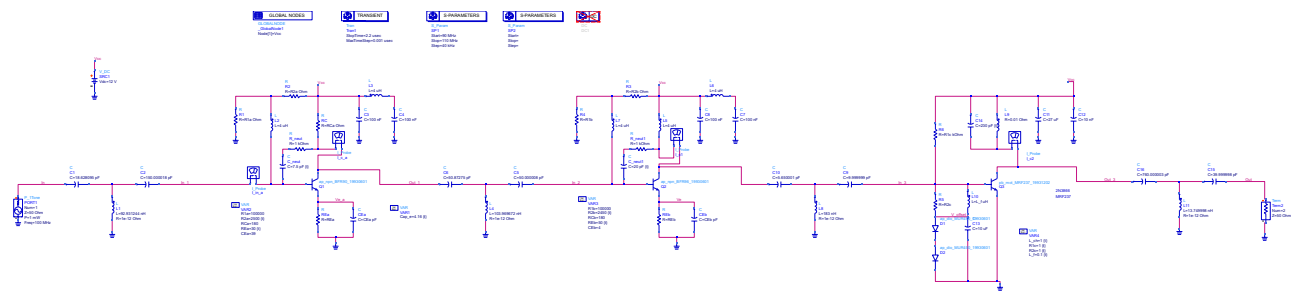


Fig. 15: Circuito de simulación completo

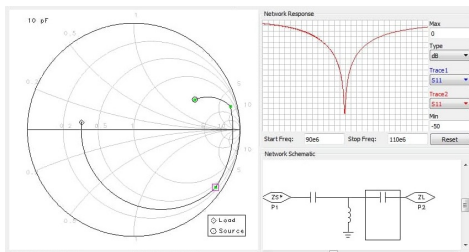


Fig. 18: Diagrama de Smith de la tercera red

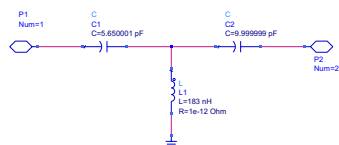


Fig. 19: Tercera red adaptadora

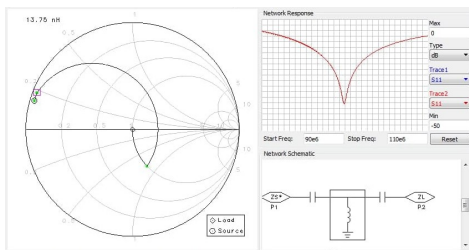


Fig. 20: Diagrama de Smith de la cuarta red

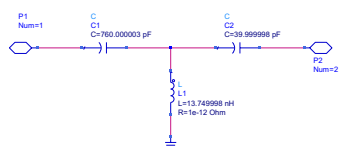


Fig. 21: Cuarta red adaptadora



Fig. 22: Respuesta en el tiempo de entrada y salida del amplificador

Por otra parte, la figura 23 corresponde a la simulación de los parámetros S del amplificador, el cual es mas representativo de la calidad de adaptación y el rendimiento, como así también del ancho de banda.

freq	SP2.SP.S(1,1)	SP2.SP.S(2,2)	SP2.SP.S(2,1)	G1_dB
100.0 MHz	0.498 / 146.745	0.043 / -86.515	47.265 / 79.225	33.491

Ganancia Total

freq	Pout_dB
100.0 MHz	33.491

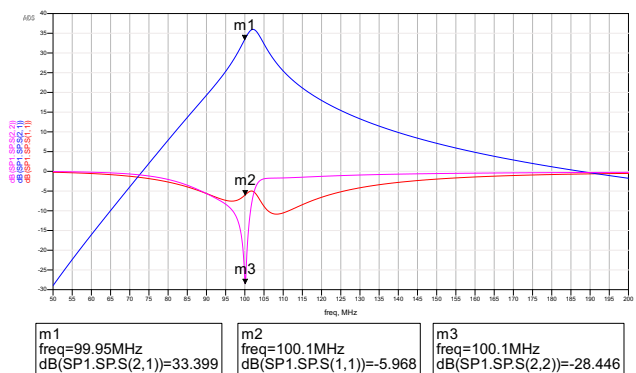


Fig. 23: Respuesta en frecuencia y parámetros S del amplificador

Según los resultados de la simulación, el amplificador completo, alcanzaría una ganancia de aproximadamente 33,5 dB, lo que equivaldría a una potencia de salida mayor a los 2W, cumpliendo ampliamente con los requerimientos.

III-C. Simulación

Una vez obtenidas las etapas, y las respectivas redes, se procede a realizar la simulación del circuito completo (fig. 15).

Mediante la simulación temporal (fig. 22), podemos verificar la ganancia de tensión y la consistencia de la señal amplificada. Si consideramos que tanto el generador como la carga tienen impedancias iguales y resistivas puras, esta gráfica es también representativa de la amplificación de potencia.

IV. CONCLUSIÓN

Según las curvas de parámetros S de la figura 23, la adaptación lograda no es óptima, en el sentido que no coincide la frecuencia de máxima transferencia directa con el de mínima inversa.

Sin embargo, en estas condiciones, el circuito logra cumplir con las especificaciones de diseño, y permite mantener la forma de la señal original.

En cuanto a la metodología aplicada, La simulación a demostrado ser sumamente útil para estimar los valores de los componentes y el comportamiento en tiempo y frecuencia.

De otra manera, sería necesario implementar primeramente un circuito que permita realizar ajustes en un rango muy amplio, y además, se perdería mucho tiempo en encontrar un punto de trabajo adecuado.

Las características de la problemática de adaptación de etapas amplificadoras en RF, hacen que sea impensable hoy en día encarar un proyecto de este tipo sin la asistencia de cálculo computacional. Esto no quita la necesidad de contar con un conocimiento claro y profundo de la teoría relacionada.

REFERENCIAS

- [1] MOTOROLA. Matching Network Designs with Computer Solutions, Application Note AN267/D, 1967.
- [2] MOTOROLA. IMPEDANCE MATCHING NETWORKS APPLIED TO RF POWER TRANSISTORS, Application Note 721/D, 1967.
- [3] Bingting Wang, Ziping Cao. A Review of Impedance Matching Techniques in Power Line Communications. Electronics, Nanjing University. 2019.
- [4] Gonzalez, Francisco. Martin, Jose. Asensio, Alberto. Effects of Matching on RF Power Amplifier Efficiency and Output Power. Microwave Journal 41. 1998
- [5] Bezooijen, A.V.; Jongh, M.A.D.; Straten, F, V. Adaptive Impedance-Matching Techniques for Controlling L Networks. IEEE Trans. Circuits Syst. Regul. Pap. 2010, 57, 495–505.
- [6] BFR90 datasheet. Microsemi. MSC1307. 1999.
- [7] Hewlett Packard. S-parameter Techniques for Faster, More Accurate Network Design, Application Note 95-1, 1967.
- [8] BFR96 datasheet. Motorola. BFR96/D. 1994.
- [9] MRF237 datasheet. Motorola. 1994.
- [10] MOTOROLA. SYSTEMIZING RF POWER AMPLIFIER DESIGN, Application Note AN282A/D, 1967.