

# TP N°4: Phase Locked Loop

Universidad Tecnológica Nacional, Facultad Regional Córdoba

Cátedra: Electrónica Aplicada III

Profesor: Rivas, Guillermo

Integrantes: Nicolodi, Juan Ignacio 66875

Cueva Bono, Sebastián 56016

Ruiz, Dante 49881

Albarrán, Darío Gustavo 43143

**Resumen**—Se diseña la red PLL sobre el integrado CD4046, multiplicando por 10 la frecuencia con el contador CD4017 en el lazo de realimentación. Se simula sobre LTspice logrando ancho de banda de 120MHz a 250 Mhz.

**Index Terms**—VCO, PLL, Oscilador.

## I. INTRODUCCIÓN

UN bucle de fase enganchada (PLL por sus siglas en inglés), es un sistema realimentado, que combina un oscilador controlado por voltaje (VCO) y un comparador de fase, que se conecta al oscilador manteniendo un ángulo de fase constante en relación a una señal de referencia [1]. Su objetivo es brindar una señal con una determinada frecuencia y fase, la manera mas estable posible.

Un PLL de fracción entera N (Fractional-N PLL) permite aumentar la frecuencia a la salida del VCO, salvando las limitaciones de ancho de banda del comparador de fase. Esto se logra dividiendo la frecuencia a la salida del VCO, a través de un contador, y la señal resultante se utiliza como realimentación en el comparador de fase 1. Se considera la frecuencia de la señal de referencia  $f_s$  N veces menor que la frecuencia de salida  $f_o$ .

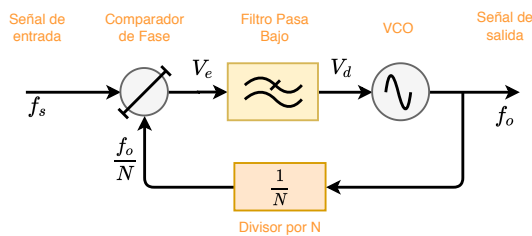


Fig. 1: Diagrama de sistema del PLL

El sistema queda completo con un filtro pasa-bajos.

### I-A. Detector de fase

Compara la fase de la señal de entrada con la de realimentación ( $\frac{f_o}{N}$  para este PLL).

Existen diferentes tipos de comparadores de fase (fig. 2). Nos centraremos en el comparador de tipo multiplicador digital, con el que se puede obtener una diferencia de fase fija de  $90^\circ$ .

Tipo	Señales	Diagrama	Respuesta en fase	Respuesta en frecuencia
1. Multiplicador analógico				Indefinida
2. Multiplicador digital				Indefinida
3. Biestable JK				
4. Fase-frecuencia				

Fig. 2: Tipos de comparadores de fase [4]

Si las señales a comparar son ondas cuadradas, se puede utilizar una compuerta OR EXCLUSIVA, en cuya salida se obtendrá un valor alto cuando los niveles de las entradas coincidan (1-1 ó 0-0), y un nivel bajo, cuando los niveles de entrada sean distintos (1-0 ó 0-1) (fig. 3).

A la salida genera una señal rectangular, del doble de frecuencia de las de entrada y con una modulación PWM proporcional a la diferencia de fase de las dos señales de entrada.

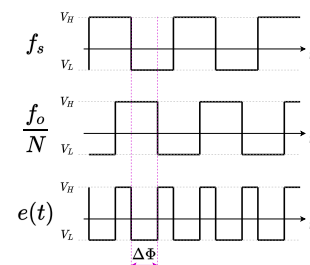
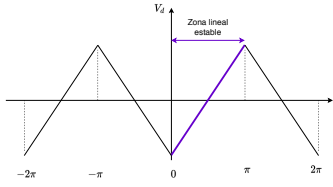


Fig. 3: Señales de entrada y salida (error) del comparador

El valor medio de esta señal varía entre el valor de tensión del nivel 0 cuando ambas señales están en fase, y un nivel 1 cuando están en contra fase. El punto medio corresponde a un desfase de  $\pi/2$ , y el margen lineal se extiende entre 0 y  $\pi$  de diferencia. Para diferencias de fase entre  $-\pi$  y 0, la pendiente de la función es negativa, y el PLL es inestable.

Fig. 4: Relación entre la tensión media  $V_d$  y el ángulo de error

La constante de fase está dada por la pendiente de la zona lineal, y determina factor de ganancia  $K_d$ .

$$K_d = \frac{\Delta V_e}{\Delta \Phi} \quad (1)$$

Si las señales de entrada no son exactamente cuadradas ( $PWM \neq 50\%$ ), la recta característica se distorsiona en los extremos, reduciendo el margen dinámico.

Para convertir la señal PWM en una tensión de referencia, se utiliza una bomba de carga (charge pump, CP). se conforma por la salida de la compuerta XOR, y el capacitor del filtro pasa bajos. El factor  $K_d$  se expresa en unidades de  $V/(2\pi \times rad)$ , aunque el término del denominador se suele obviar, multiplicando por  $2\pi$ .

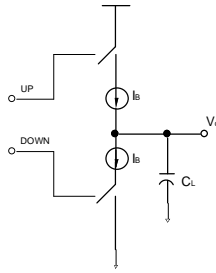


Fig. 5: Bomba de carga

Al multiplicar esta corriente por la impedancia del filtro, se obtiene la tensión  $V_e$  [2]. Este comparador solo tiene dos estados, carga y descarga; por lo que la tensión presenta histéresis de manera constante (fig. 6), lo que genera armónicos que deben ser filtrados para no perjudicar la pureza espectral del VCO.

El primer armónico se encuentra en el doble de la frecuencia de entrada ( $2 \times f_s$ ) y su amplitud depende de la diferencia de fases. Para este tipo de comparador, la máxima diferencia estará en  $90^\circ$ , es decir en el centro del margen lineal.

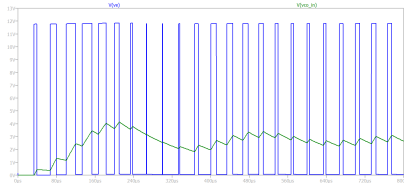


Fig. 6: Señal PWM de error (ve) y salida del filtro (vco\_in)

### I-B. VCO

Es la parte mas importante del PLL. Su función es generar las frecuencias del oscilador local. Idealmente es un oscilador

cuya frecuencia varía linealmente con la tensión de entrada (fig. 7). Cuando la tensión de entrada es  $V_c = V_{dd}/2$ , la frecuencia de salida es  $f_c$ , la frecuencia central del VCO. A medida que la tensión aumenta, la frecuencia se incrementa linealmente en un factor de proporcionalidad  $K_v$ . En la mayoría de las aplicaciones, las frecuencias bajas no son necesarias, por lo que se aplica un offset, aumentando la frecuencia mínima, lo que da mayos resolución (y por lo tanto estabilidad) en el rango de trabajo del PLL.

$$f_o = f_{min} + K_v V_c \quad (2)$$

Donde  $f_o$  va a variar en un ancho de banda de dos veces el rango de enganche (locked)  $f_L$ . La frecuencia mínima también es llamada frecuencia de corrida libre, ya que es la frecuencia a la que oscila libremente cuando no hay tensión en la entrada.

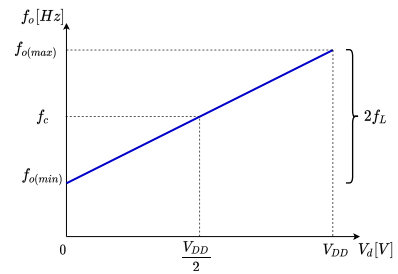


Fig. 7: Gráfico de la función de un VCO ideal

En la práctica, la relación no es perfectamente lineal, y varía de acuerdo al valor de  $V_{DD}$ , por lo que es necesario realizar ajustes de acuerdo a la hoja de datos.

### I-C. Divisor entero

El divisor entero de frecuencia, consta de un contador digital, el cual cambia su salida cada N cambios en la entrada. Por lo tanto, el periodo a la salida es N veces mayor que el de la señal de entrada, o lo que es lo mismo, la frecuencia de salida es N veces menor que la de entrada.

$$f_{out} = \frac{f_{in}}{N} \quad (3)$$

### I-D. Filtro del bucle

El filtro pasa bajos permite eliminar las componentes no deseadas de la señal de entrada del VCO. Además de esto, también alarga el tiempo de respuesta del sistema.

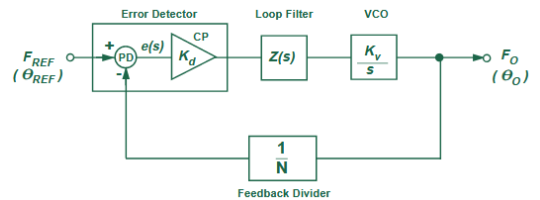


Fig. 8: Ganancias de lazo

Si consideramos el sistema de lazo cerrado de la figura 8, contamos con tres bloques de ganancia, que dan una ganancia total según la ecuación 4.

$$K = K_d K_v \frac{1}{N} \quad (4)$$

Considerando un filtro pasa bajos, la función de transferencia esta dada por la ecuación 5.

$$F(s) = \frac{1}{1 + \tau s} \quad (5)$$

Donde  $\tau = RC$ .

La función de lazo abierto sera:

$$T(s) = \frac{K}{s} F(s) = \frac{K}{s(1 + \tau s)} \quad (6)$$

$$H(s) = \frac{T(s)}{1 + T(s)} = \frac{\frac{K}{\tau}}{s^2 + \frac{1}{\tau}s + \frac{K}{\tau}} \quad (7)$$

de donde:

$$\omega_o^2 = \frac{K}{\tau} \quad (8)$$

$$2\omega\zeta = \frac{1}{\tau} \quad (9)$$

Por lo que:

$$\tau = \frac{1}{(2\zeta)^2 K} \quad (10)$$

O lo que es lo mismo:

$$RC = \frac{N}{(2\zeta)^2 K_d K_v} \quad (11)$$

La ecuación 11 permite determinar los valores de R y C del filtro a partir de un  $\zeta$  deseado, y viceversa.

#### I-E. Funcionamiento del PLL

Dado un diseño determinado para el PLL, se pueden presentar diferentes situaciones de funcionamiento. Cuando encendemos el PLL este empezará a oscilar a la frecuencia libre, correspondiente a 0V en la entrada.

Si conectamos la señal de referencia, incrementando paulatinamente su frecuencia, llegará un punto ( $\omega_1$ ) donde la salida del VCO pasará de la frecuencia  $f_f$  a  $Nf_s$  (fig. 9). A partir de aquí, el PLL esta enganchado con la frecuencia de referencia

Llegará una frecuencia ( $\omega_2$ ) donde el PLL no podrá seguir a la señal de referencia, y se producirá el desenganche, volviendo la señal de salida a la frecuencia  $f_f$  y la tensión de entrada del PLL a 0V.

Recorriendo ahora las frecuencias en orden descendente, el PLL seguirá con  $f_o = f_f$  hasta una frecuencia ( $\omega_3 < \omega_2$ ) donde se producirá nuevamente el enganche. Si se continua disminuyendo la frecuencia, llegará un punto ( $\omega_4 < \omega_1$ ) donde otra vez se pierda el seguimiento y la salida caiga nuevamente en  $f_f$ .

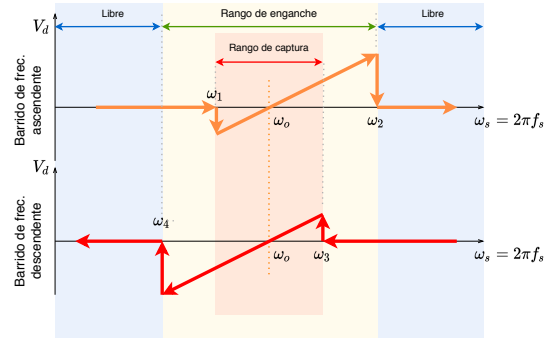


Fig. 9: Frecuencia de enganche y retención

El rango de frecuencias comprendido entre  $f_1$  y  $f_3$  se conoce como zona de captura o de enganche, y hay que alcanzarlo en algún momento para que el PLL comience a funcionar. El rango entre  $f_2$  y  $f_4$  es el rango de retención, y indica la máxima excursión en frecuencia que el PLL puede lograr, una vez enganchado.

*I-E1. Estado de funcionamiento:* Estado dinámico:

Estado estático:

*I-E2. Rango de funcionamiento:*

$$e(s) = \Phi_s - \frac{\Phi_o}{N}$$

Derivando respecto al tiempo:

$$\frac{d}{dt}e(s) = f_s - \frac{f_o}{N}$$

Por lo tanto, si el error de fase es constante:

$$e(s) = Constante \quad \rightarrow \quad \begin{aligned} f_s &= \frac{f_o}{N} \\ f_o &= N \times f_s \end{aligned}$$

*I-E3. Función de transferencia:*

$$\frac{f_o}{f_s} = \frac{\text{Ganancia directa}}{1 + \text{Ganancia de bucle}}$$

Ganancia directa

$$G = \frac{K_D K_v Z(s)}{s}$$

Ganancia de bucle

$$GH = \frac{K_D K_v Z(s)}{Ns}$$

Cuando GH es mucho mayor que uno, la función de transferencia es aproximadamente N.

## II. DESARROLLO PRÁCTICO

### II-A. Especificaciones:

- $f_{in} = 15 \text{ kHz a } 25 \text{ kHz}$
- $\zeta = 0,4$
- $V_{DD} = 12 \text{ V}$
- Filtro de lazo RC

La red PLL se diseña y se simula en LTspice, utilizando el modelo del integrado CMOS - PLL CD4046 (fig. 10) y el divisor por diez CD4017.

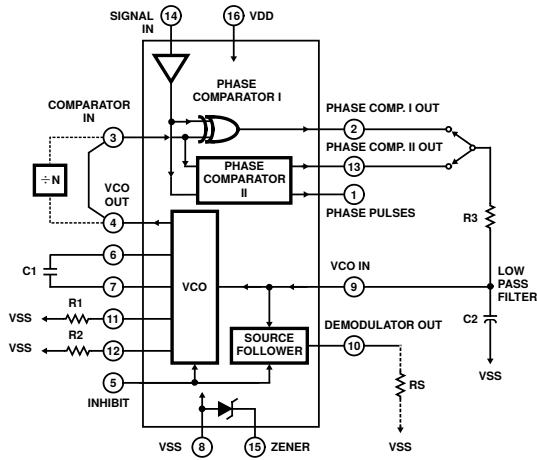


Fig. 10: Diagrama en bloques del CD4046

## II-B. Cálculo de componentes

**II-B1. Determinación de C1:** El valor del capacitor C1 se obtiene de la hoja de datos del VCO, a partir de los valores de VDD y la frecuencia de corrida libre deseada. Con estos valores, se traza (fig. 11) la intersección de la frecuencia con la curva de VDD, y se proyecta sobre el valor de C1 requerido.

El valor de la frecuencia de corrida libre se obtiene como:

$$f_o = \frac{250KHz + 150KHz}{2} = 200KHz$$

Considerando  $R2 = 10K\Omega$ , la proyección es de aproximadamente  $C1 = 820pF$ , considerando el valor normalizado mas cercano.

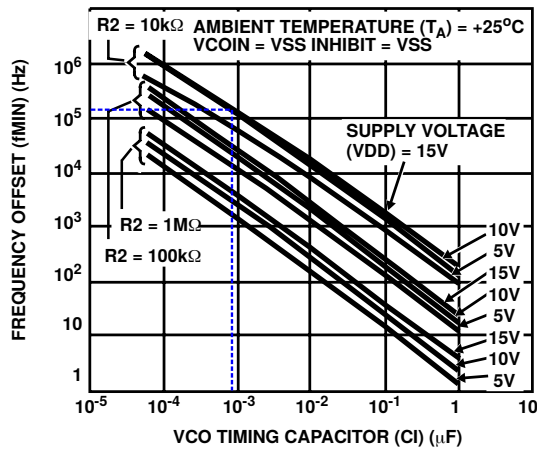
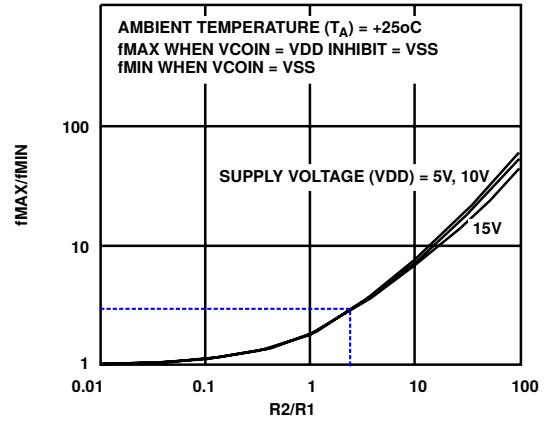


Fig. 11: Frecuencia de offset típica en función de C1 y R2

**II-B2. Relación de frecuencias:** Se considera la máxima excursión de frecuencia del VCO, en relación a la tensión, que va de  $VSS = 0V$  a  $VDD = 12V$ . Simulando el VCO para estos valores, tenemos una excursión en frecuencia de  $300,46KHz$  a  $96,51KHz$  cuya relación es:

$$\frac{f_o|_{VCOIN=VDD}}{f_o|_{VCOIN=VSS}} = \frac{300,46KHz}{96,51KHz} = 3,11$$

**II-B3. Relación R2/R1:** Con la relación de frecuencia anterior, se acude nuevamente a la hoja de datos (fig. 12), y se obtiene la relación  $\frac{R2}{R1}$ .

Fig. 12: Relación  $\frac{f_{max}}{f_{min}}$  en función de  $\frac{R2}{R1}$ 

$$\frac{R2}{R1} = 3,2$$

Con  $R2 = 10k\Omega$  entonces se elige  $R1 = 3,3k\Omega$  como valor normalizado.

**II-B4. Ganancia del comparador de fase:** Se corresponde a la pendiente de la función de transferencia del módulo, como se vio en la figura 4. Se calcula según la ecuación 1.

$$\begin{aligned} K_d &= \frac{\Delta V_e}{\Delta \phi} \\ &= \frac{V_{DD}}{\pi} \\ &= 3,819V/rad \end{aligned}$$

**II-B5. Ganancia del VCO:** Se obtiene simulando el circuito del VCO para  $V_d = 0V$  y para  $V_d = 12V$ , y midiendo las frecuencias obtenidas. Luego se hace el cociente entre el ancho de banda de salida y la variación de tensión de la entrada. Se considera una relación lineal, como la planteada en la figura 6.

$$\begin{aligned} K_v &= \frac{2\pi \Delta f_o}{\Delta V_d} \\ &= \frac{2\pi (f_{o_{max}} - f_{o_{min}})}{V_{DD}} \\ &= \frac{2\pi (300,46KHz - 96,51KHz)}{12V} \\ &= 106787,97rad/V \end{aligned}$$

**II-B6. Ganancia de lazo:** La ganancia de lazo es el producto de los tres bloques: el VCO, el divisor, y el comparador (ec. 4).

$$K = \frac{K_d K_v}{N} = \frac{3,819V/rad \times 106787,97rad/V}{10} = 40782,32$$

**II-B7. Cálculo de  $R_3$  y  $C_2$ :** Con los parámetros ya calculados, se puede obtener el valor de  $\tau$  utilizando la ecuación 11.

$$R_3 C_2 = \frac{N}{(2\zeta)^2 K_d K_v} = \frac{1}{(2 \times 0,4)^2 40782,32} = 38,3131655 \times 10^{-6} s$$

Fijando un valor para  $C_2$ , se puede calcular  $R_3$ , prestando atención a las recomendaciones de la hoja de datos.

Tomando  $C_2 = 10nF$ , entonces  $R_3 = 3831,1\Omega$ . Se opta por el valor normalizado  $R_3 = 3,9k\Omega$ .

Finalmente, la figura 13 muestra el circuito completo, con los componentes calculados, en la simulación de *LTspice*.

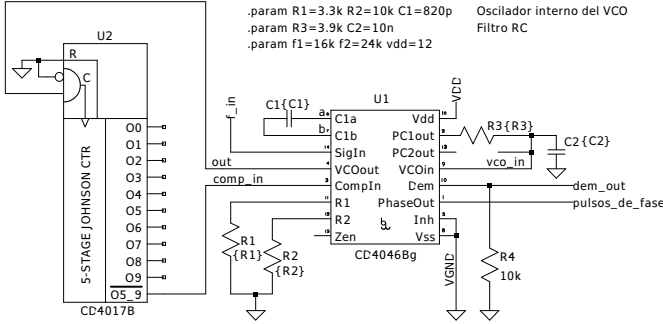


Fig. 13: Esquema del circuito simulado en *LTspice*

## II-C. Mediciones

**II-C1. Rango de sostén y de captura:** Para medir la frecuencia de enganche, como también la de sostén, es necesario variar de manera continua la frecuencia. Para ello se utilizó el generador modelado en la figura 14.  $f_s$  corresponde a la frecuencia de inicio, y  $f_e$  la frecuencia final. El parámetro  $te$  indica el tiempo de simulación en el que se completa el barrido.

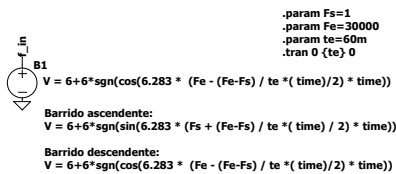


Fig. 14: Modelado del generador de barrido de frecuencia

Una vez obtenidos los gráficos de el barrido ascendente y descendente, se compone con ellos un gráfico en frecuencia, haciendo las equivalencias de las escalas temporales (fig. 15).

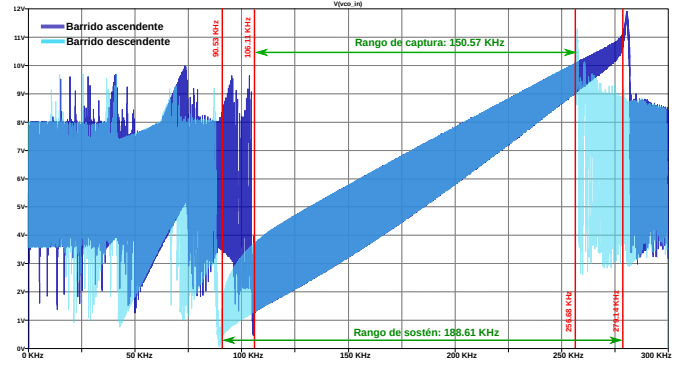


Fig. 15: Medición de barrido en frecuencia del PLL simulado

Rango de Captura	$f_1 = 106,11KHz - f_3 = 256,68KHz$
Rango de Sostén	$f_4 = 90,53KHz - f_2 = 279,14KHz$

**II-C2. Ganancia de lazo:** Para el cálculo de la ganancia de lazo; se mide el desfase entre la señal de frecuencia de entrada (pin 14) y la señal de entrada al comparador de fase. Se realiza el mismo procedimiento para dos frecuencias distintas dentro del rango de captura.

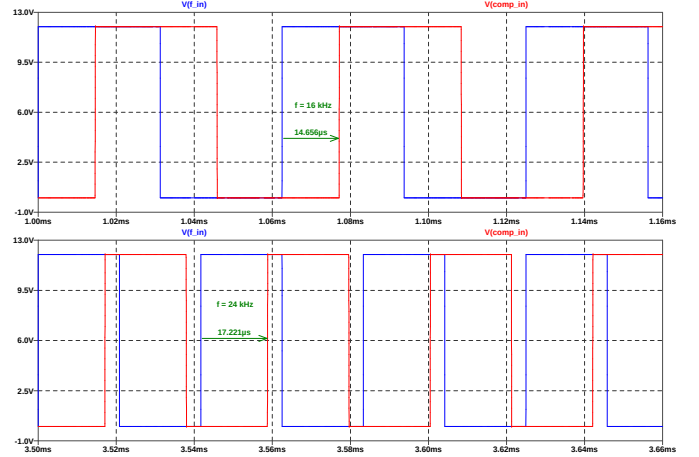


Fig. 16:  $f_{in}$  y  $comp_{in}$  a 16 kHz y 24 kHz

La figura 16 muestra las mediciones a 16 kHz y 24 kHz.

a  $f_{s1} = 16 \text{ kHz}$  se midió

$$T_1 = \frac{1}{f_{s1}} = 62,5 \mu s$$

$$\tau_1 = 14,656 \mu s$$

$$\Theta_1 = \frac{\tau_1}{T_1} 2\pi = 1,473 \text{ rad}$$

y para  $f_{s2} = 24 \text{ kHz}$  se midió

$$\begin{aligned} T_2 &= \frac{1}{f_{s2}} \\ &= 41,666 \mu\text{s} \\ \tau_2 &= 17,221 \mu\text{s} \\ \Theta_2 &= \frac{\tau_2}{T_2} 2\pi \\ &= 2,597 \text{ rad} \end{aligned}$$

Con estos valores calculamos  $K$ :

$$\begin{aligned} K &= \frac{\Delta\omega_s}{\Delta\Theta} \\ &= \frac{2\pi(24 \text{ kHz} - 16 \text{ kHz})}{2,597 \text{ rad} - 1,473 \text{ rad}} \\ \boxed{K = 44\,720,18 \text{ s}^{-1}} \end{aligned}$$

**II-C3. Sobrepasamiento y constantes de tiempo:** Para la medición del sobrepasamiento y las constantes de tiempo; aplicamos un escalón de frecuencia a la entrada de referencia (pin 14). La tensión medida a la entrada del VCO (pin 9) muestra la respuesta del sistema. La frecuencia de referencia se varía de 16 kHz a 24 kHz para mantener el sistema dentro del rango de captura.

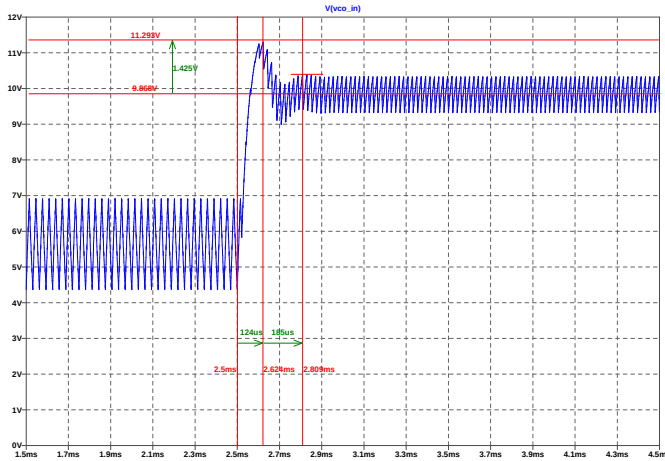


Fig. 17: Respuesta de la red PLL a un escalón de frecuencia

La figura 17 muestra los valores medidos cuando el sistema responde al escalón de frecuencia.

el sobrepasamiento medido

$$M_p = \frac{11,293 \text{ V}}{9,868 \text{ V}}$$

nos permite calcular el coeficiente de amortiguamiento

$$\begin{aligned} \zeta &= \sqrt{\frac{\ln^2 M_p}{\ln^2 M_p + \pi^2}} \\ \boxed{\zeta = 0,524} \end{aligned}$$

con las constantes de tiempo medidas

$$\begin{aligned} t_p &= 124 \mu\text{s} \\ T' &= 185 \mu\text{s} \end{aligned}$$

calculamos la frecuencia natural amortiguada

$$\begin{aligned} \omega_d &= \frac{2\pi}{T'} \\ \boxed{\omega_d = 33\,963 \text{ rad/s}} \end{aligned}$$

y la frecuencia propia no amortiguada

$$\begin{aligned} \omega_n &= \frac{\omega_d}{\sqrt{1 - \zeta^2}} \\ \boxed{\omega_n = 39\,876 \text{ rad/s}} \end{aligned}$$

### III. CONCLUSIONES

El análisis del PLL como un sistema de control realimentado, resulta sencillo de implementar, si se conocen las funciones de transferencia características de cada etapa. Se pudo comprobar además que los resultados obtenidos se ajustan a los requerimientos de diseño solicitado.

El software utilizado permite verificar el correcto funcionamiento del PLL, y hacer los ajustes necesarios al diseño.

### REFERENCIAS

- [1] Analog Devices. Fundamentals of Phase Locked Loops (PLLs), MT-086 tutorial, 2009.
- [2] Dean Banerjee. PLL Performance, Simulation, and Design 4th Edition, 2006.
- [3] Ian Collins. Phase-Locked Loop (PLL) Fundamentals, Analog Dialogue 52-07, July 2018.
- [4] Sarabia Muñoz, J., Diseño de un detector de fase integrado con eliminación de la zona muerta. 2012