



INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DO MARANHÃO

ENGENHARIA INDUSTRIAL ELÉTRICA

DOUGLAS VIANA BERNARDINO (EEL.180303)

CONCEPÇÃO DE CIRCUITOS DIGITAIS

Profº: José Iran Saraiva da Silva

**Imperatriz
2018**

Agradecimentos

Meus sinceros agradecimentos:

À minha mãe, Maria do Rosário, por ter ajudado no meu desenvolvimento pessoal e social durante minha adolescência.

Ao meu pai, Gilson e sua esposa, Silbene, por direcionarem minhas escolhas no que tange à educação.

Ao meu professor, José Iran, por repassar seus conhecimentos de forma tão direta e concisa.

Resumo

Os circuitos digitais são estão se tornando cada vez mais inerentes à tecnologia devido seus aspectos como praticidade e, principalmente, rapidez e portabilidade. Neste trabalho é apresentado um circuito digital desenvolvido em VhsicHDL, cujo o mesmo foi desenvolvido a partir de vários outros subcircuitos. De maneira pouco criteriosa, pode-se dizer que este circuito recebe um valor em binário de até 10 bits. Então este valor é decrementado consoante às ocorrências do fenômeno de bordas ascendentes do clock¹.

¹Clock é o sinal de temporização usado em uma transmissão síncrona. Genericamente, ele é uma fonte de sinal de temporização para sequenciamento de eventos.

Abstract

The digital circuits are becoming increasingly inherent to the technology due to its aspects like practicality and mainly, speed and portability. This work presents a digital circuit developed in VhsicHDL, which has been developed from several other subcircuits. In a non-judgmental way, it can be said that this circuit receives a binary value of up to 10 bits. Then this value is decremented according to the occurrences of the rising edge phenomenon of the clock ¹.

¹Clock is the timing signal used in a synchronous transmission. Generally, it is a timing signal source for event sequencing.

1 Decrementador

Para a construção do circuito principal, são necessários vários subcircuitos, e um deles é um circuito decrementador². Abaixo pode-se observar uma visão geral do circuito principal.

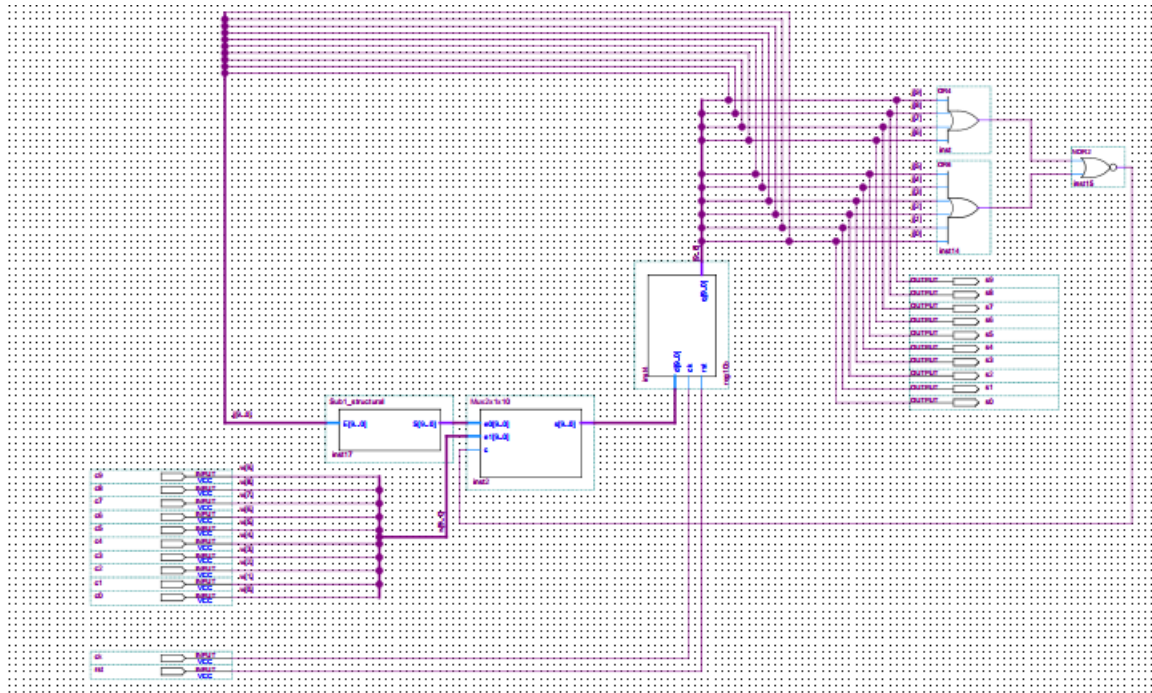


Figura 1: Circuito final completo.

Para fins de conclusão do exercício passado pelo professor, serão abordadas duas formas de construção do decrementador

²Na Fig. 1, o mesmo pode ser identificado como sendo o bloco "Sub1_structural".

1.1 Decrementador em nível estrutural

É sabido que para ser feita a estrutura de um decrementador, é necessário usar uma propriedade similar à uma propriedade do conjunto natural $x - y = x + (-y)$ ³. Isto significa que devemos *somar o número à ser decrementado com -1* . O único modo de fazer isso é escrevendo o -1 em forma de complemento de 2, e só então realizar a soma. O circuito que realiza esse comportamento é mostrado a seguir.

```
1  LIBRARY IEEE;
2  USE IEEE.STD_LOGIC_1164.ALL;
3
4  ENTITY Sub1_structural IS
5      PORT( E: IN STD_LOGIC_VECTOR(9 DOWNTO 0);
6            S: BUFFER STD_LOGIC_VECTOR(9 DOWNTO 0));
7  END Sub1_structural;
8
9      --
10
11  ARCHITECTURE arch OF Sub1_structural IS
12      CONSTANT bit_aux: STD_LOGIC_VECTOR(9 DOWNTO 0) := "1111111111";
13      SIGNAL s_aux: STD_LOGIC_VECTOR(10 DOWNTO 0);
14      COMPONENT sum10b
15          PORT( m, n: IN STD_LOGIC_VECTOR (9 DOWNTO 0);
16                s: BUFFER STD_LOGIC_VECTOR (10 DOWNTO 0));
17      END COMPONENT;
18
19      --
20      BEGIN
21
22          sum: sum10b PORT MAP (E(9 DOWNTO 0), bit_aux(9 DOWNTO 0), s_aux);
23
24          S(0) <= s_aux(0);
25          S(1) <= s_aux(1);
26          S(2) <= s_aux(2);
27          S(3) <= s_aux(3);
28          S(4) <= s_aux(4);
29          S(5) <= s_aux(5);
30          S(6) <= s_aux(6);
31          S(7) <= s_aux(7);
32          S(8) <= s_aux(8);
33          S(9) <= s_aux(9);
34      END arch;
```

Figura 2: Decrementador em nível estrutural.

Observe que para criar este circuito foi necessário um componente chamado "sum10b"⁴, cujo não será abordado pois isto faria com que fugíssemos do escopo deste trabalho.

³Os conjuntos numéricos possuem certas propriedades que são *algébrica*, de *ordem* e de *completude*. Esta referência diz respeito à propriedade algébrica.

⁴Somador de dois conjuntos de 10 bits cada.

1.2 Decrementador em nível comportamental

Bem mais fácil de ser elaborado que o decrementador em nível estrutural é o de nível comportamental. A ideia principal consiste em subtrair '1' do vetor de entrada. Para ficar claro, veja a descrição a seguir.

```
1  LIBRARY IEEE;
2  USE IEEE.STD_LOGIC_1164.ALL;
3  USE IEEE.STD_LOGIC_UNSIGNED.ALL;
4
5  ENTITY Sub1_behavioral IS
6  PORT( e: IN STD_LOGIC_VECTOR(9 DOWNTO 0) := "0000000000";
7        s: OUT STD_LOGIC_VECTOR(9 DOWNTO 0) := "0000000000"
8        );
9  END Sub1_behavioral;
10
11  ARCHITECTURE behavioral OF Sub1_behavioral IS
12  SIGNAL ss: STD_LOGIC_VECTOR(9 DOWNTO 0);
13  BEGIN
14  ss <= e(9 DOWNTO 0) - "0000000001";
15  s <= ss(9 DOWNTO 0);
16  END behavioral;
```

Figura 3: Decrementador em nível comportamental.

A figura a seguir ilustra a forma de onda dos dois tipos de decrementadores, ora pois, são circuitos equivalentes mesmo que tenham níveis diferentes de abstração.