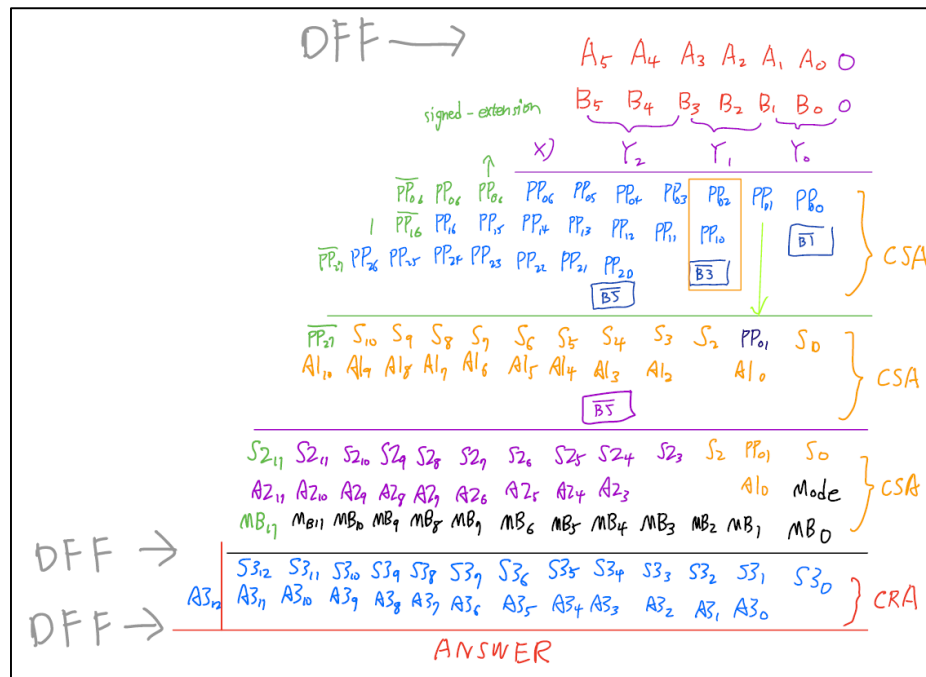


2020 VLSI Final Project

電工 11 0710130 黃鼎翔 0710145 洪若軒

I. Summary of structure

計算過程大致上為如圖所示的 Wallace Tree



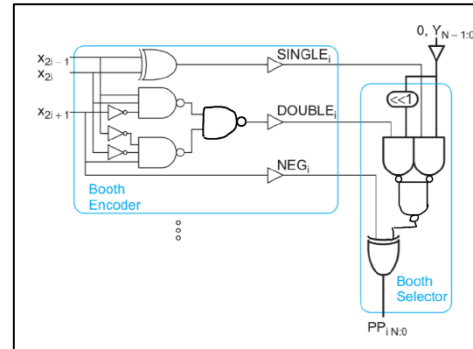
這個架構與我們的期中專題相似 所以我們基本上沒做太多的改變，一樣是

用 radix 4 的 booth encoder 得到 partial product 然後再用 CSA,CRA 去實作。

總共用三組 D Flip-Flop 將整個電路分成兩部分。首先是 input 先經過第一級的 D Flip-Flop，根據計算，CRA 的時間會遠大於三層 CSA 加上 booth encode 以及 select 的時間，所以我們將 pipeline 切在 CRA 前，最後再經過最後一級的 DFF 後達到我們想要的 output。

Booth Algorithm 的實作如右圖所示。

先將各種邏輯閘用 psuedo - nMOS 實作，然後再將他們分別拼成 secoder 與 selector。用一個 encoder 與 7 個



selector 組成一組 partial product，接著再重複三次，組成三組的 partial product。

在 Wallace tree 中比較特殊的是「MB」，他是 ACC XOR mode 的結果。若

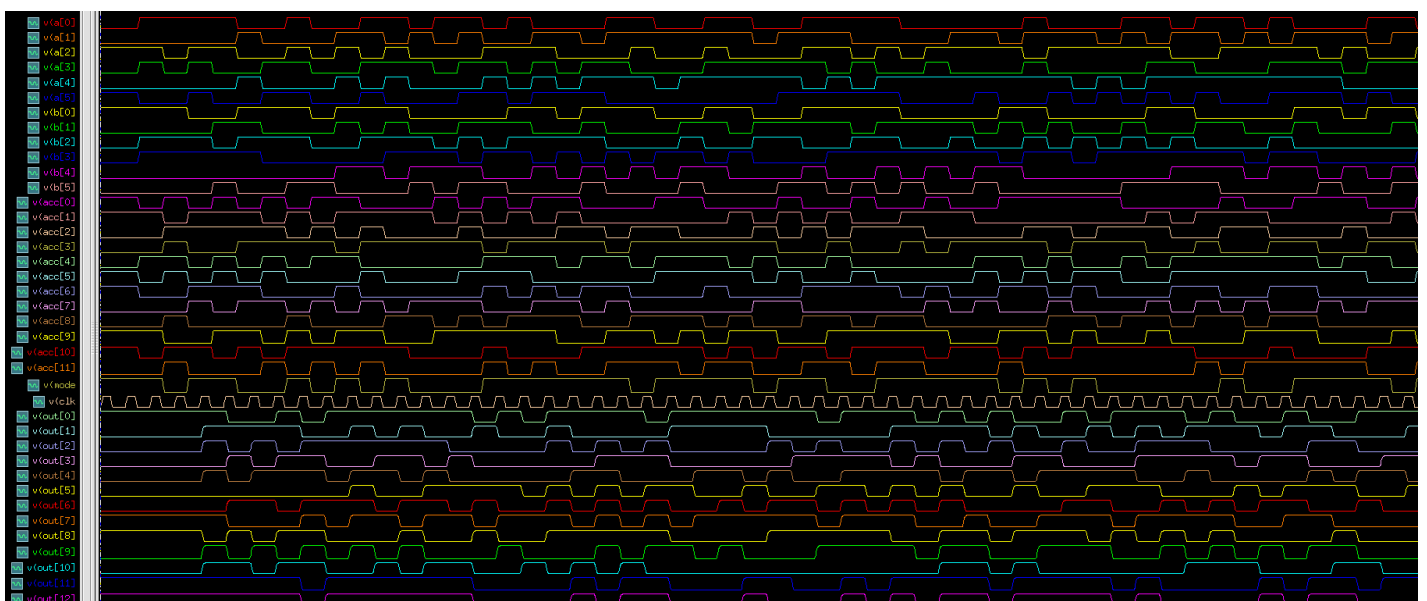
ACC 為正則無影響，若為負可以得到它的 1' s complement，再加上

MODE=1，則成為 2' s complement，可直接繼續作加法。透過這樣的操

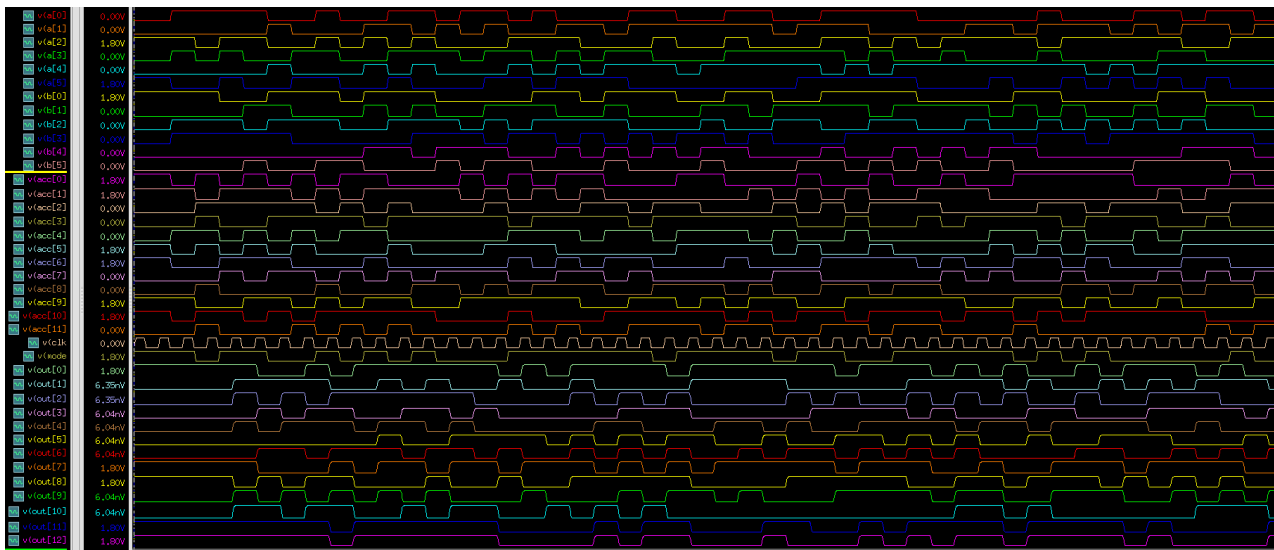
作，可以使得最後的 CRA 同時做到加減法器的功能。

II. Output Waveform

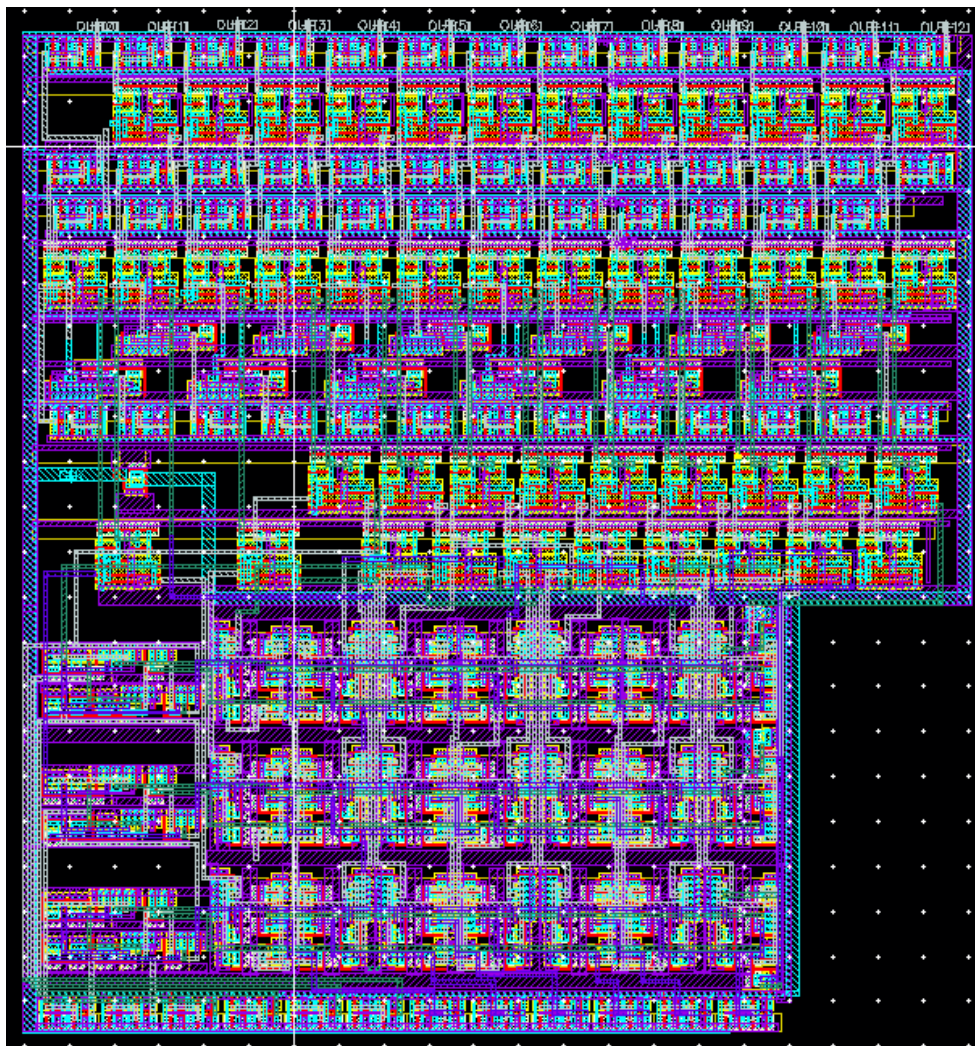
1. Pre-sim waveform:



2. Post-sim waveform



III. Whole Layout



IV. Performance List

Maximum operation frequency	Pre-sim: 1.02GHz (period = 0.98ns)
	Post-sim: 769MHz (period = 1.3 ns)
Average power	Pre-sim: 102.3945m
	Post-sim: 102 0086.m
Layout area	$105.53\mu * 111.25\mu = 11740.2125\mu^2$
Multiplier and adder structure	Booth Algorithm and Carry-Ripple Adder

V. Discussion

A. Pre-sim

因為這次的作業是根據期中專題做的，所以 pre-sim 就是把原本的 verilog code 改成 SP 檔而已，只是我們將其中的 full adder 換成 compound 以節省面積，然後也大量使用 pseudo nmos 來加快速度，在做 pre-sim 時遇到最大的問題是寬度的調整，因為有些是 pseudo 有些是 compound 所以在細調寬度的部分花了不少時間，但是比較奇怪的是寫成 sp 檔時，把 CLA 換成 CRA 反而比較快，而且因為 CRA 的架構也較簡單，因此我們最後用 CRA 來實作。

這次也有分兩個 mode 分別是 +/-，我們的處理方式就是讓 ACC 先與 mode 做 XOR 再加上 mode，這樣如果 mode 是 1，ACC 就會相反，然後加上 mode，就會變成我們想要的 2' s compliment 的複數形式，所以最後再讓他與 A*B 相加即可。

B. LAYOUT

為了方便不同電路之間的連結，除了一開始先將普遍用到的 VDD、GND、

CLK 先設定好規格方便連接以外，也最好事先留好 pin 或是 via 的空間，以免做到後面數量多起來的時候，會變得很麻煩要一個一個調。

另外我們的分工是，一個人從 input 的 DFF 以及 booth 開始做，另一個人從 output 的 DFF 以及 CRA 開始做，這樣可以把整個 layout 切成數個較小的 cell 可以分別先跑過 DRC 與 LVS，也可以先個別 debug，之後需要用在更大的 cell 裡的時候可以直接呼叫 instance，非常方便。

這次在畫 layout 的時候也有嘗試許多 Virtuoso 內建很方便的工具，像是在將數個 cell 連接的時候也可以利用映射與旋轉去將 GND 或 VDD 共用，以節省空間，另外也用旁邊的 view 去把想要的 item 個別顯示出來，以方便 debug，整體而言這次的 layout 效率比前幾次快很多。

我們的 sp 檔原本有用 half adder，但因為若用 XOR 與 AND 做的話時間與空間都輸給用 pseudo-nMOS 做的 compound Full Adder，所以最後就都改成 Full Adder。

VI. Our thoughts

A. 0710145 洪若軒

大一大二都在學工程數學，邏輯設計等基礎課程，到了大三的 VLSI 課程應該才算是真正比較專業的課程，雖然上課還是有許多東西一知半解但是還是對 IC 有基本的認識。

這次畫 layout 沒有遇到甚麼特別的困難，就是要花很多時間，在

走線的部分因為開放到 metal 6 所以感覺比之前寬裕，但是在許多地方還是要仔細思考一下再去實做比較不會浪費空間，還有所有 cell 的排版也會影響到整體空間運用的效率。

B. 0710130 黃鼎翔

雖然想走數位 IC 設計，但好像在這門課才感覺有學到一點相關的東西，之前一直都在算數學、算信號之類的。

這門課裡作業畫 LAYOUT 感覺還蠻有趣的，撇除 BUG de 不出來很崩潰還有改一堆東西很麻煩以外。雖然說這次 project 的走線開放到 metal 6，讓空間比較充裕一點。但在比較複雜的電路裡面，如果一開始設計得太擠或空間留太少，到最後反而不太好接。最好還是要在開始畫之前先簡單估計一下空間還有擺放的位置。