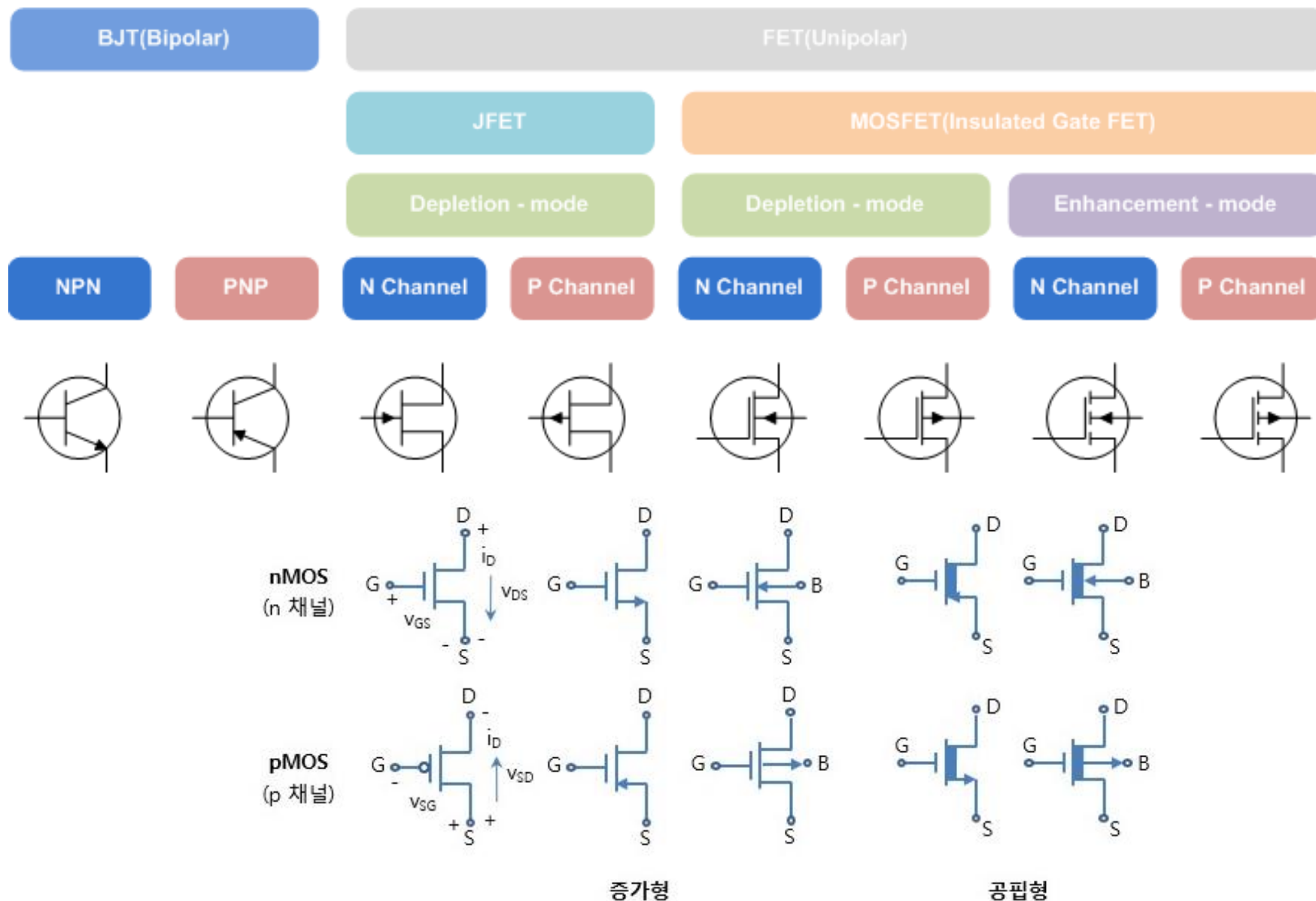


전자 회로 분석 참고 자료

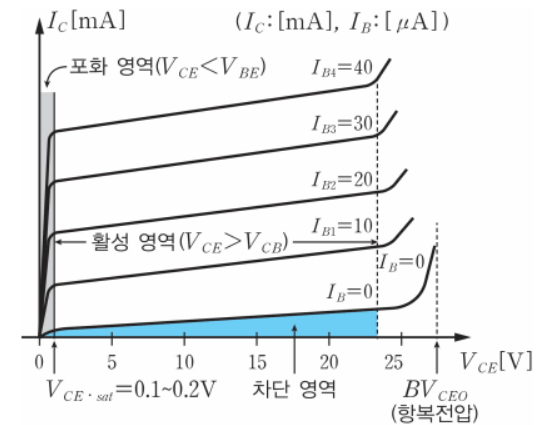
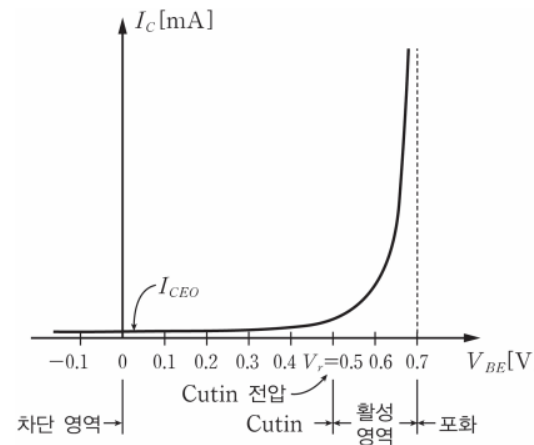
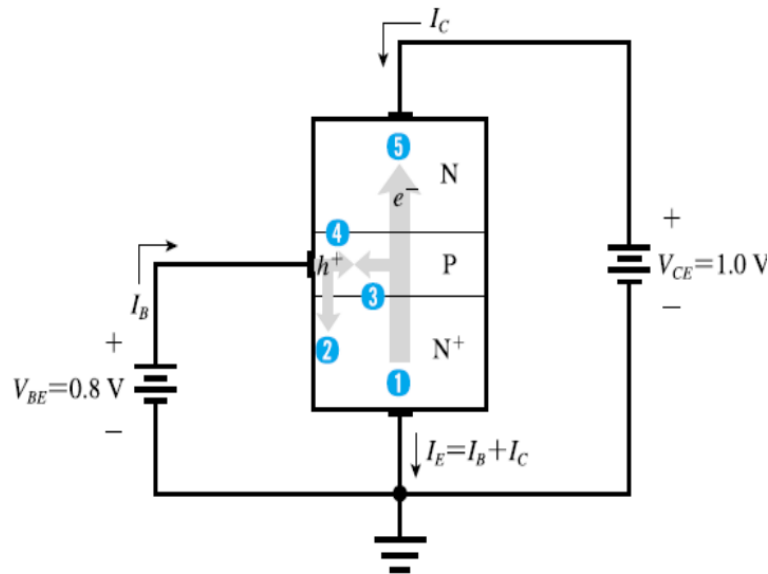


반도체 설계_Transistor_BJT_FET_Symbol



반도체 설계_Transistor_BJT

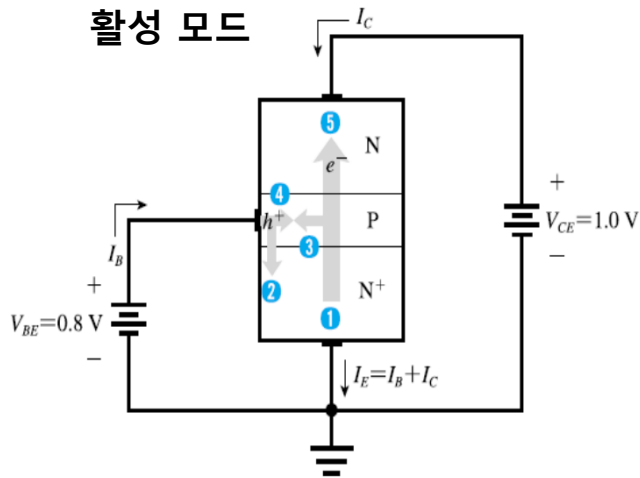
디지털 전자회로 page 134



- B-E 접합에 순방향 바이어스 → 이미터영역의 다수 캐리어인 전자가 베이스 영역으로 주입(①로 표시)
- 베이스 영역의 다수 캐리어인 정공은 이미터 영역으로 주입(②로 표시)
- 이미터 영역의 도핑농도가 베이스 영역의 도핑농도보다 월등히 높기 때문에, ①이 ②보다 월등히 많다.
- 이미터에서 베이스로 주입된 전자 중 일부(③으로 표시)는 베이스 영역의 정공(④로 표시)과 재결합하여 소멸된다.
- 이미터에서 베이스로 주입된 전자 중, 베이스에서 재결합된 일부를 제외한 나머지(⑤로 표시)는 컬렉터로 넘어가 컬렉터 전류 I_C 를 형성한다.

반도체 설계_BJT

활성 모드



-B-E 접합에 순방향 바이어스 → 이미터영역의 다수 캐리어인 전자가 베이스 영역으로 주입(①로 표시)

-베이스 영역의 다수 캐리어인 정공은 이 미터 영역으로 주입(②로 표시)

-이미터 영역의 도핑농도가 베이스 영역의 도핑농도보다 월등히 높기 때문에, 1이 2보다 월등히 많다.

-이미터에서 베이스로 주입된 전자 중 일부(③으로 표시)는 베이스 영역의 정공 ④로 표시)과 재결합하여 소멸된다.

-이미터에서 베이스로 주입된 전자 중, 베이스에서 재결합된 일부를 제외한 나머지(⑤로 표시)는 컬렉터로 넘어가 컬렉터 전류 I_C 를 형성한다.

활성모드에서의 BJT 전류 성분

$$I_C = \beta_{DC} I_B$$

$$I_E = I_C + I_B$$

$$I_E = (1 + \beta_{DC}) I_B = (1 + \frac{1}{\beta_{DC}}) I_C$$

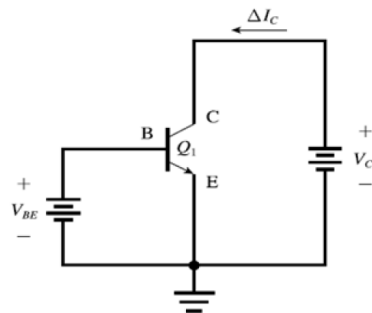
$$\alpha \equiv \frac{I_C}{I_E}$$

$$\alpha = \frac{I_C}{I_E} = \frac{\beta_{DC}}{1 + \beta_{DC}}$$

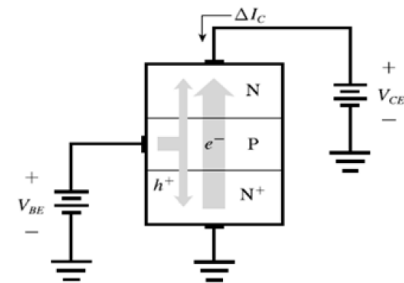
$$\beta_{DC} = \frac{I_C}{I_B} = \frac{\alpha}{1 - \alpha}$$

포화 모드

- B-E접합과 B-C접합이 모두 순방향 바이어스인 경우
- $V_{CE} < V_{BE}$ 가 되는 순간, 즉 $V_{BC} > 0$ 이 되는 순간 포화모드가 됨
- β_{DC} 는 활성모드의 β_{DC} 보다 매우 작아짐

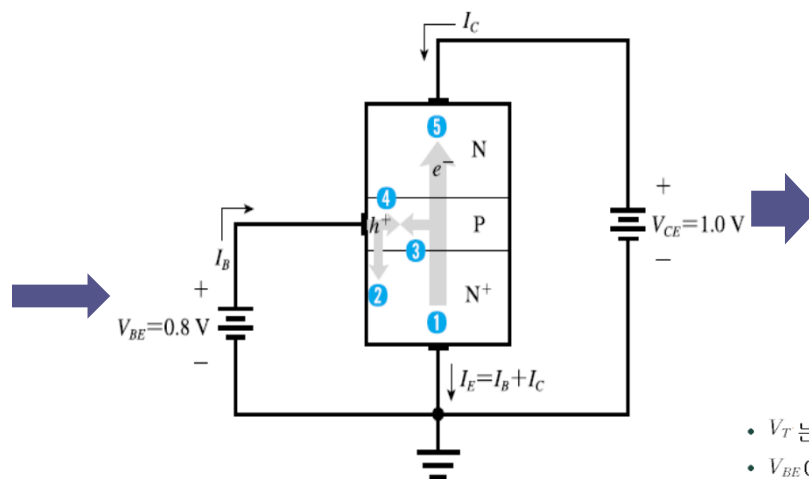
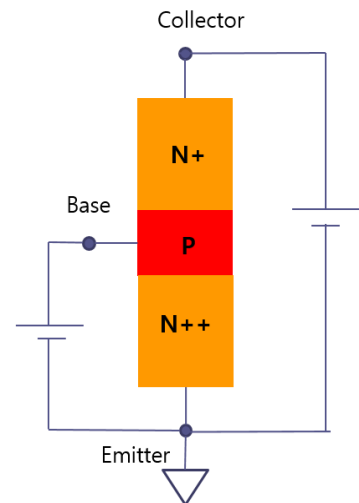


포화 모드의 전압조건

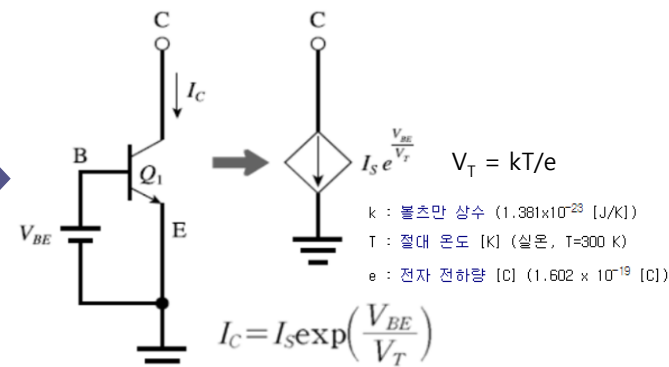


컬렉터로의 정공 흐름

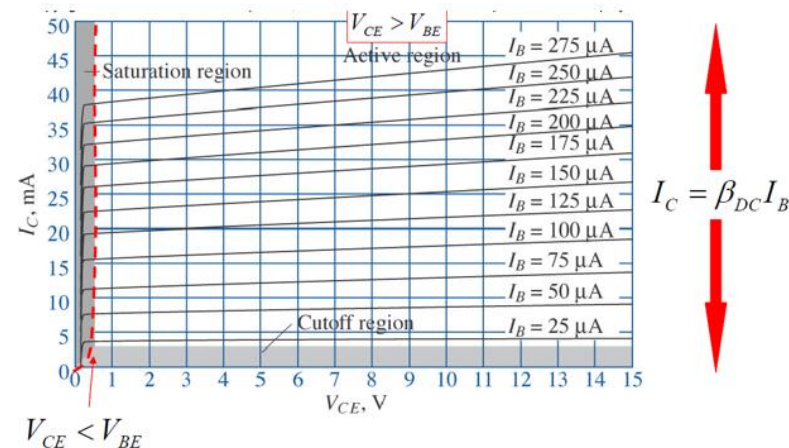
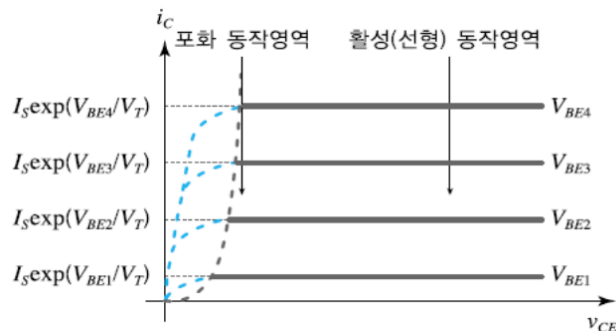
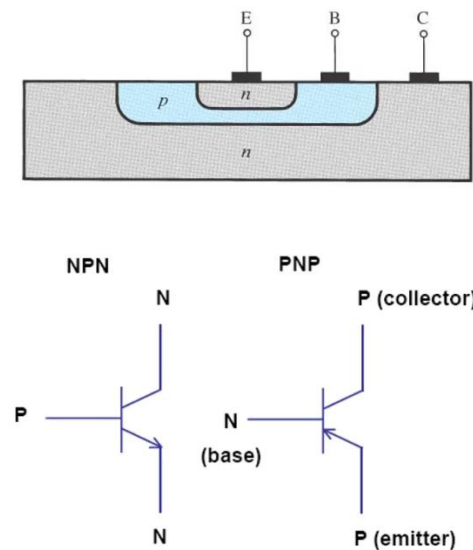
반도체 설계_BJT



활성모드에서의 BJT 전류 성분

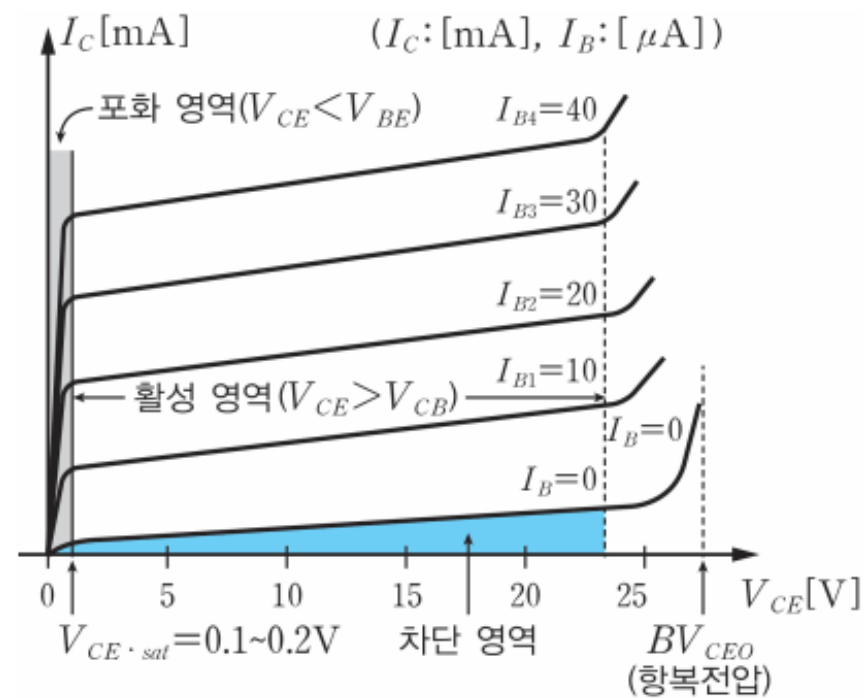
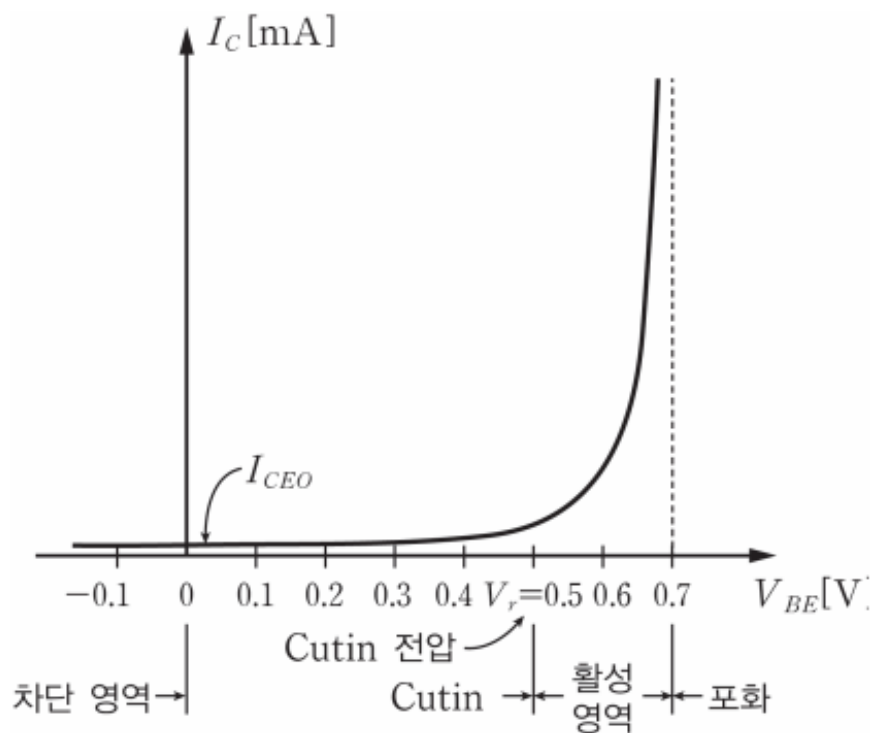


- V_T 는 상온(300°K)에서 일정한 값을 갖는 열전압이고, I_S 는 역방향포화전류
- V_{BE} 에 의해 제어되는 전압제어 전류원 모델링가능



반도체 설계_BJT

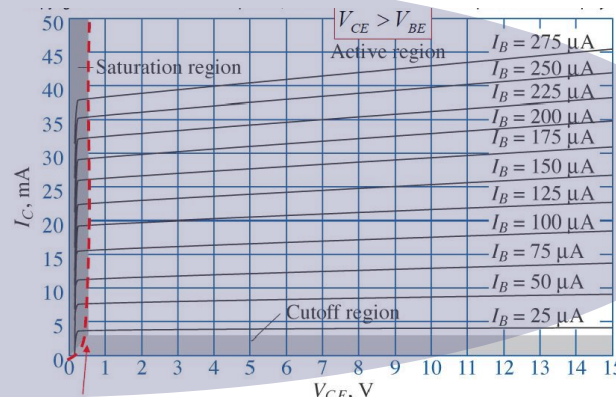
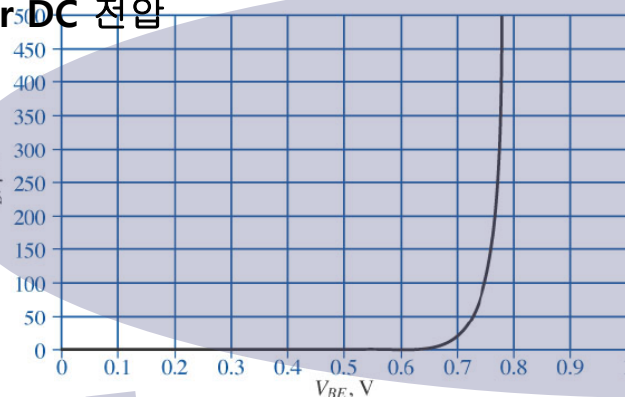
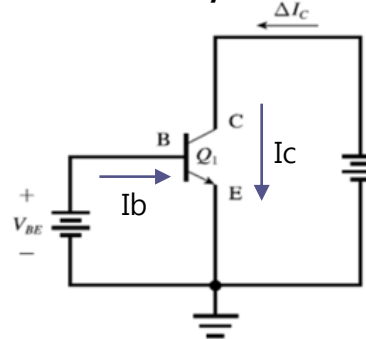
BJT I-V Curve



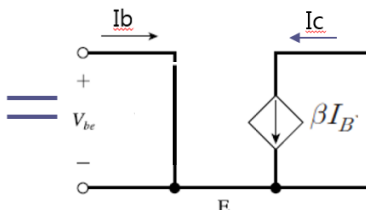
반도체 설계_BJT

1) BJT I-V Curve

BJT Base, BJT Collector DC 전압



$$I_C = \beta_{DC} I_B$$



(BJT I-V Curve)

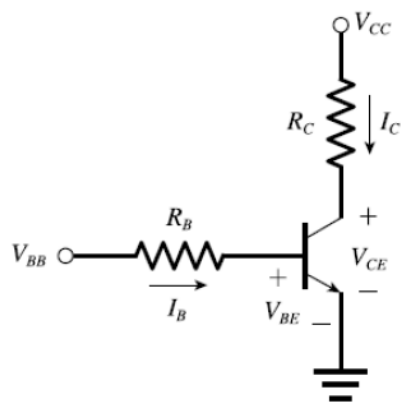
$$i_C = I_S e^{v_{BE}/V_T}$$

$$I_B \cong I_0 e^{V_{BE}/V_T}$$

$$V_T = \frac{KT}{e} = \frac{T}{11600} = \frac{300^\circ K}{11600} = 0.026 [V]$$

다음과 같이 1)I-V Curve와,2) 바이어스 회로를 동시에 만족 해야 한다
Vcc=15V,Rc=500

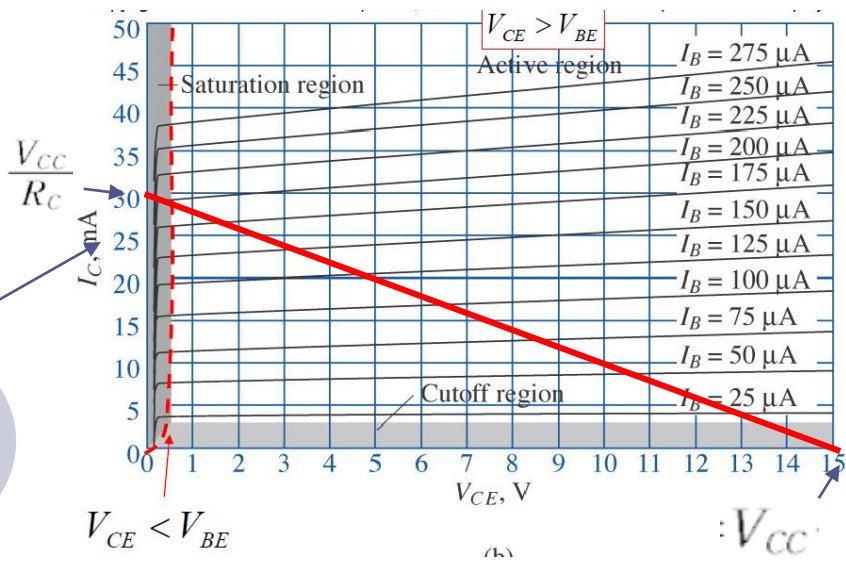
1) $I_C = \beta I_B$
(BJT I-V Curve)



2) 바이어스 회로

$$V_{CE} = V_{CC} - I_C R_C$$

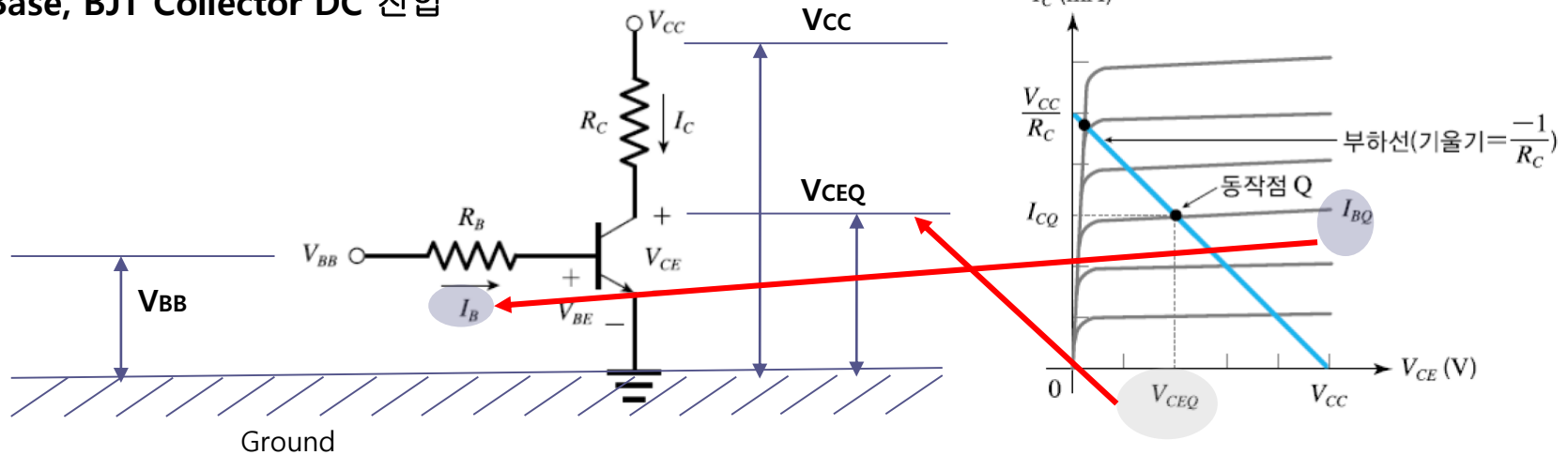
$$I_C = \frac{V_{CC}}{R_C} - \frac{V_{CE}}{R_C}$$



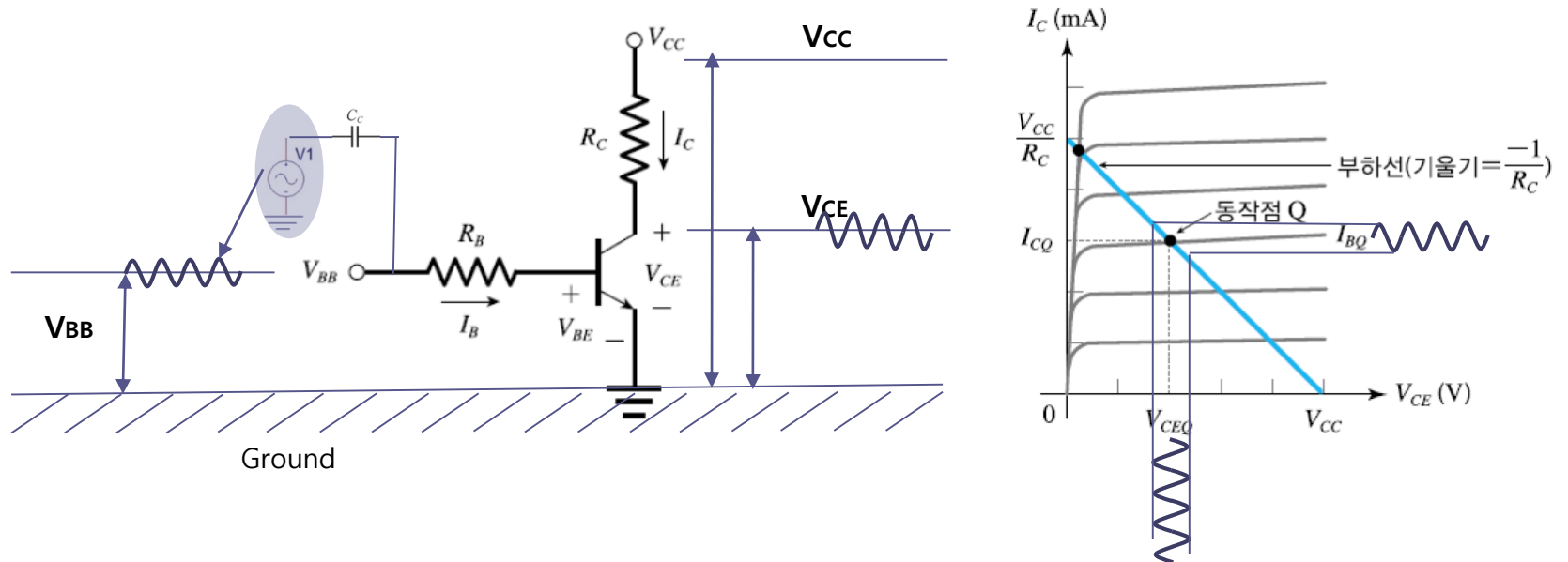
$$I_C = \beta_{DC} I_B$$

반도체 설계_BJT

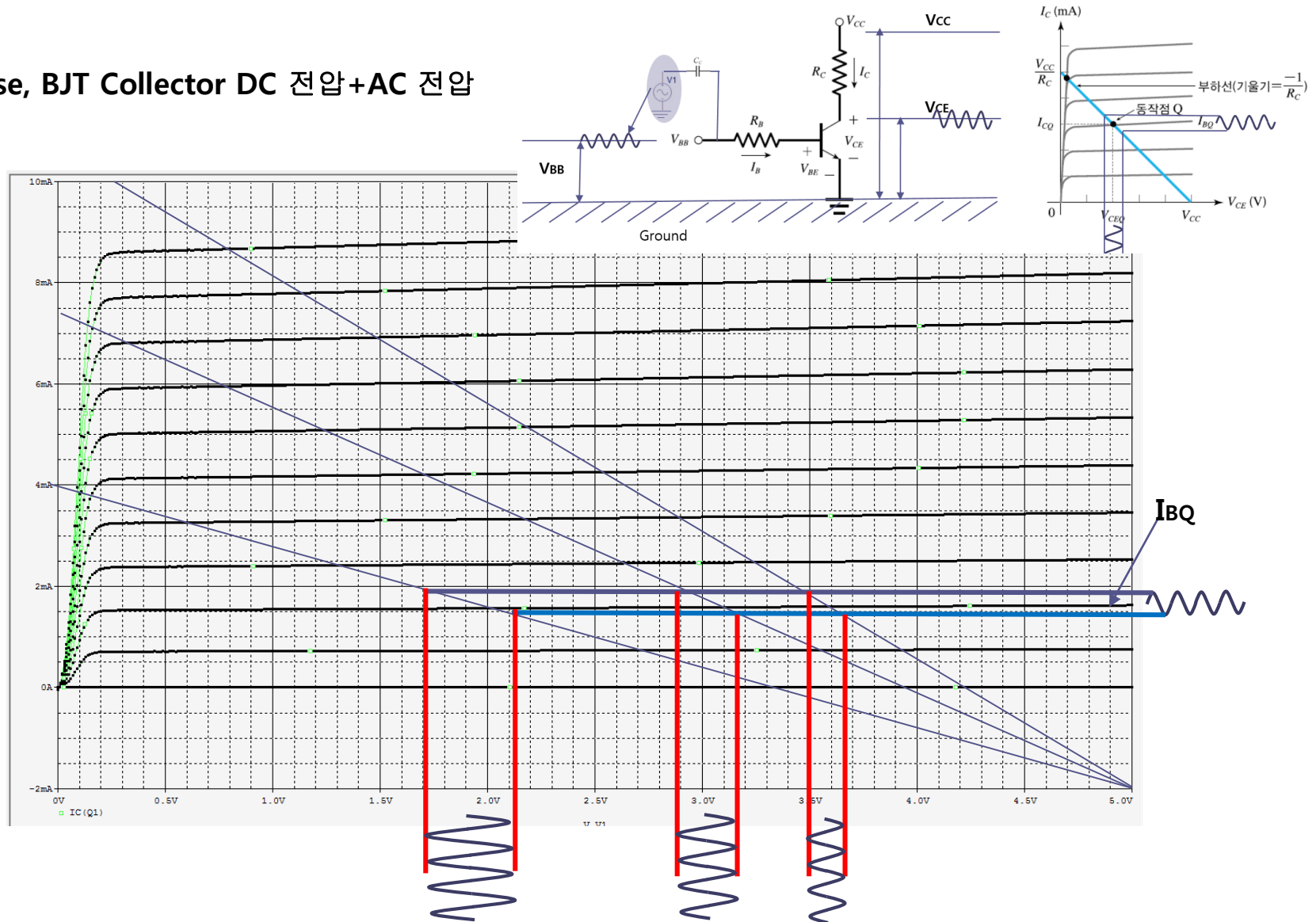
BJT Base, BJT Collector DC 전압



BJT Base, BJT Collector DC 전압+AC 전압

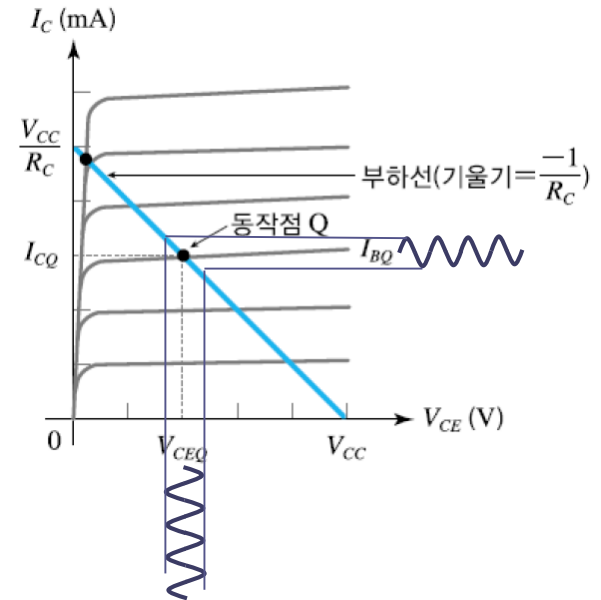
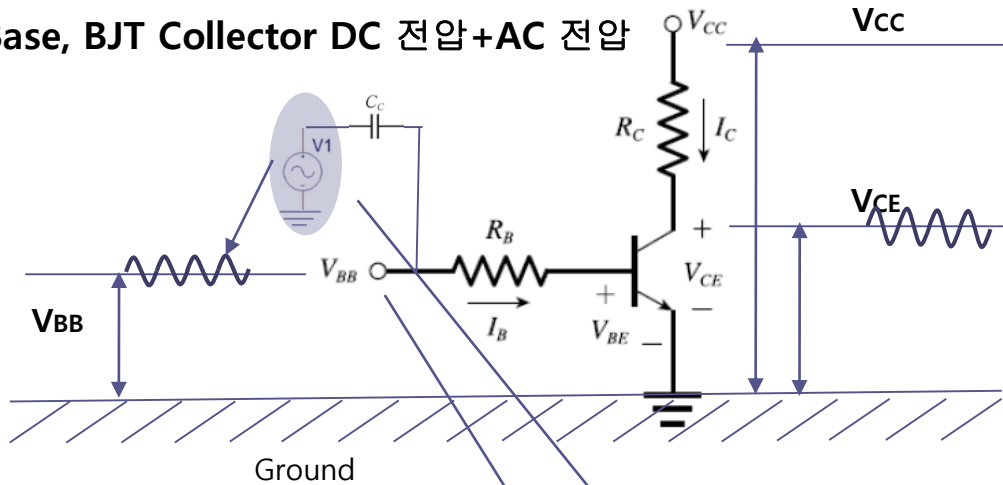


BJT Base, BJT Collector DC 전압+AC 전압



반도체 설계_BJT

BJT Base, BJT Collector DC 전압+AC 전압



$$i_C = I_S e^{v_{BE}/V_T} = I_S e^{(V_{BE} + v_{be})/V_T}$$

$$= I_S e^{V_{BE}/V_T} e^{(v_{be}/V_T)} = I_C e^{v_{be}/V_T}$$

$v_{be} \ll V_T$ (열전압) 라면

$$i_C \cong I_C \left(1 + \frac{v_{be}}{V_T} \right)$$

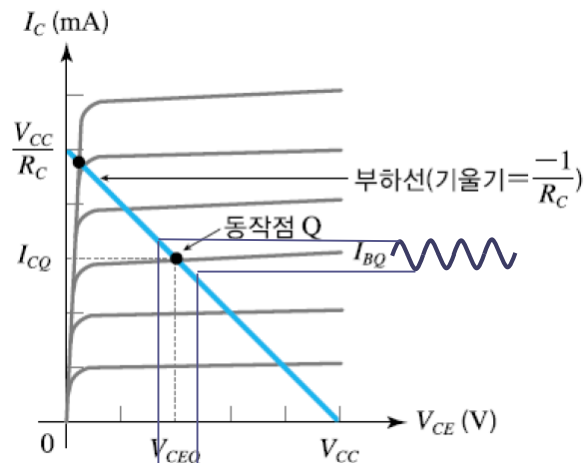
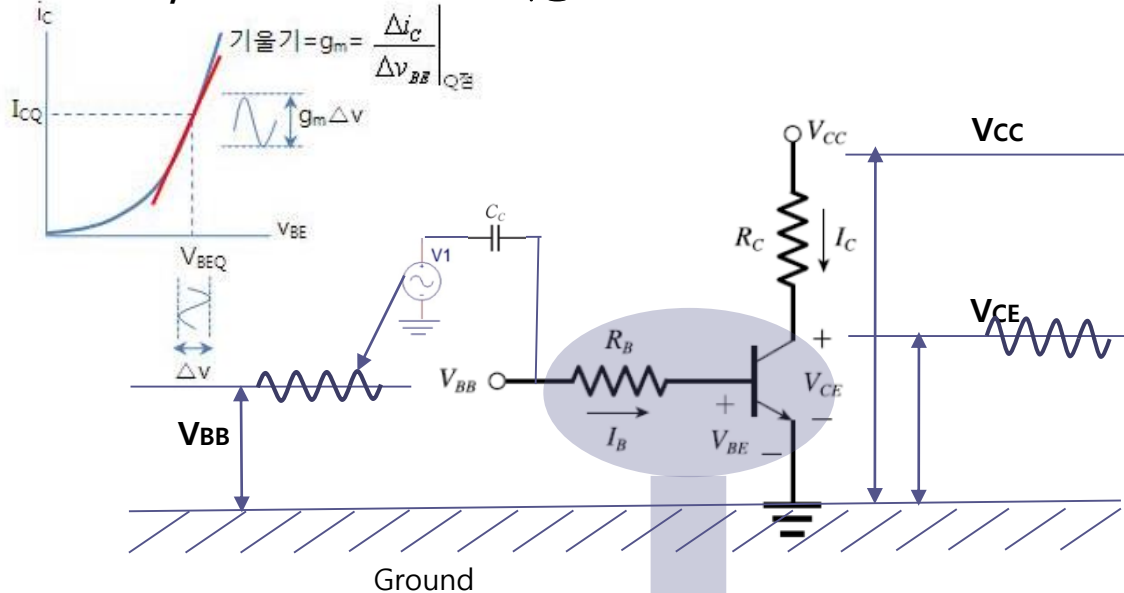
테일러 급수전개 $e^x = 1 + x + \frac{x^2}{2!} + \frac{x^3}{3!} + \dots \cong (1 + x)$

$$i_C = I_C + \frac{I_C}{V_T} v_{be} = I_C (\text{직류 성분}) + i_c (\text{교류신호 성분})$$

교류신호 성분 $i_c = \frac{I_C}{V_T} v_{be}$: ($i_c = g_m v_{be} = \beta i_b$ 로 정의할 수 있음) $g_m \equiv \frac{I_C}{V_T}$ $V_T = \frac{KT}{e} = \frac{T}{11600} = \frac{300^\circ K}{11600} = 0.026 [V]$

반도체 설계_BJT

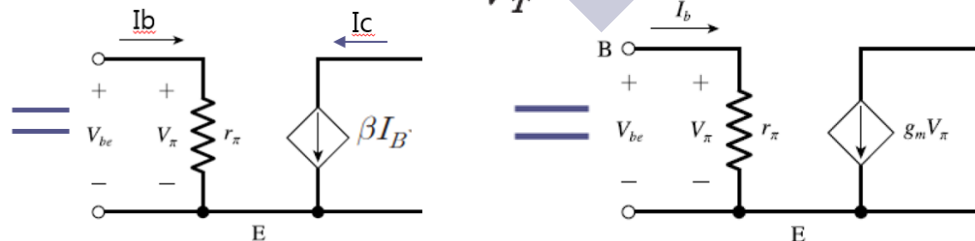
BJT Base, BJT Collector AC 특성



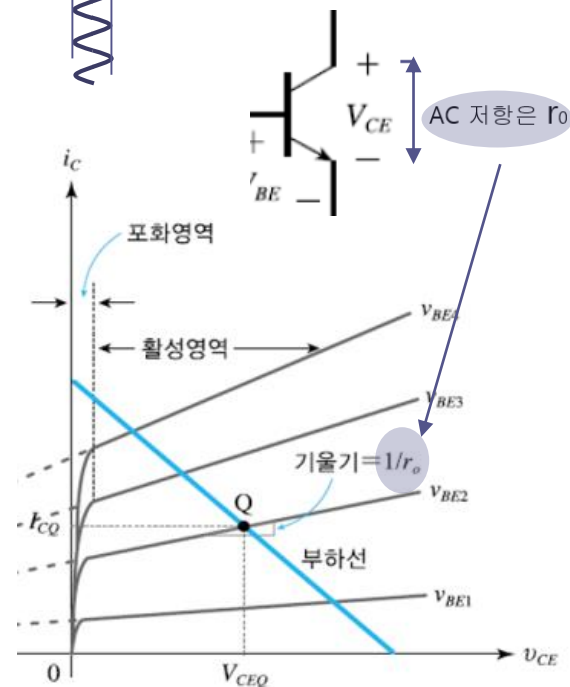
$$i_c = \frac{I_C}{V_T} v_{be} \quad : (i_c = g_m v_{be} = \beta i_b \text{로 정의할 수 있음})$$

교류신호 성분 i_c

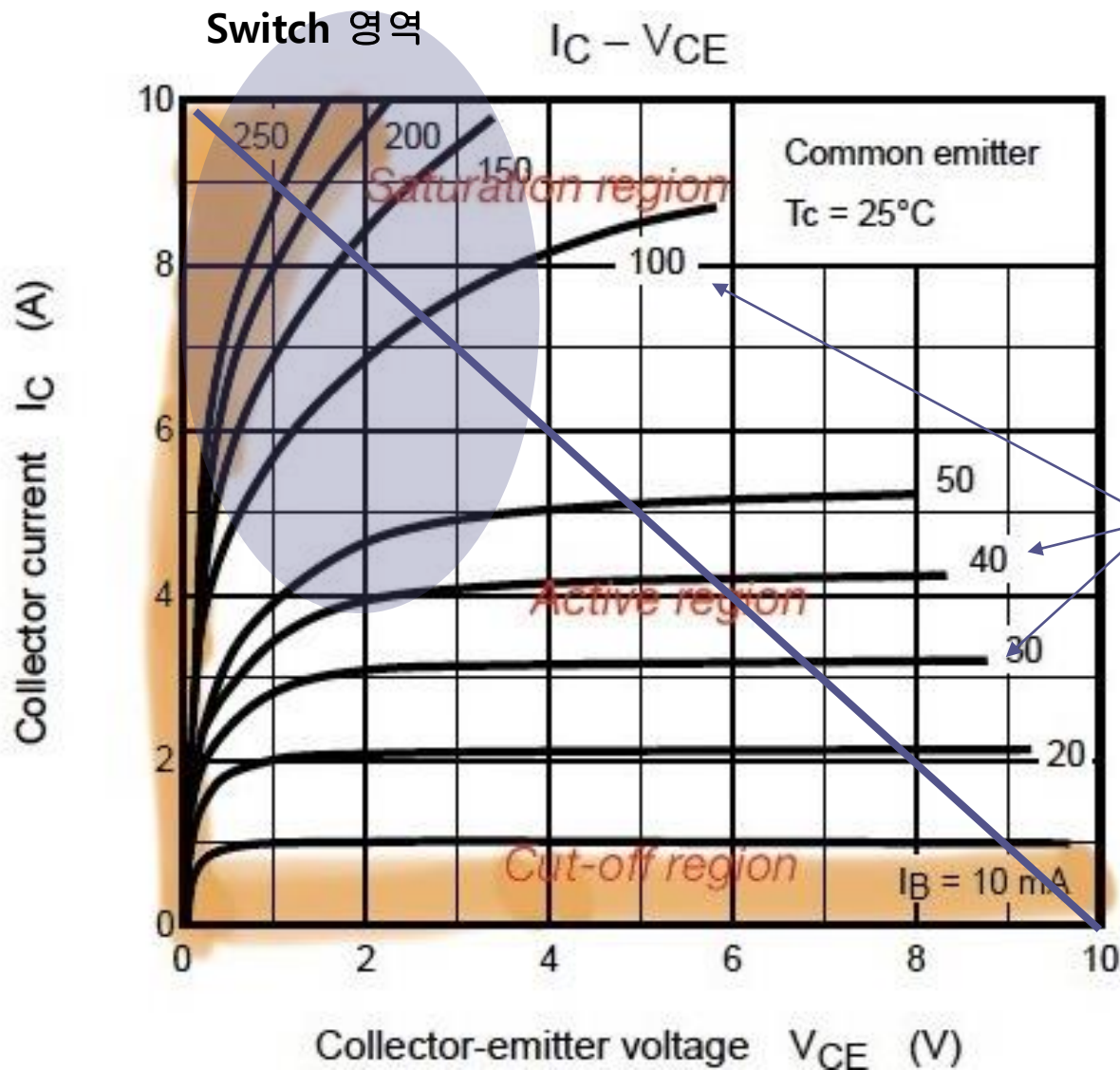
$$g_m \equiv \frac{I_C}{V_T} \quad V_T = \frac{KT}{e} = \frac{T}{11600} = \frac{300^\circ K}{11600} = 0.026 [V]$$



$$r_\pi \equiv \frac{v_{be}}{i_b} = \frac{\beta}{g_m} \quad (g_m = \frac{I_C}{V_T} \text{와 } \beta = \frac{I_C}{I_B} \text{를 대입}) \quad r_\pi \equiv \frac{V_T}{I_B} = \beta \frac{V_T}{I_C}$$

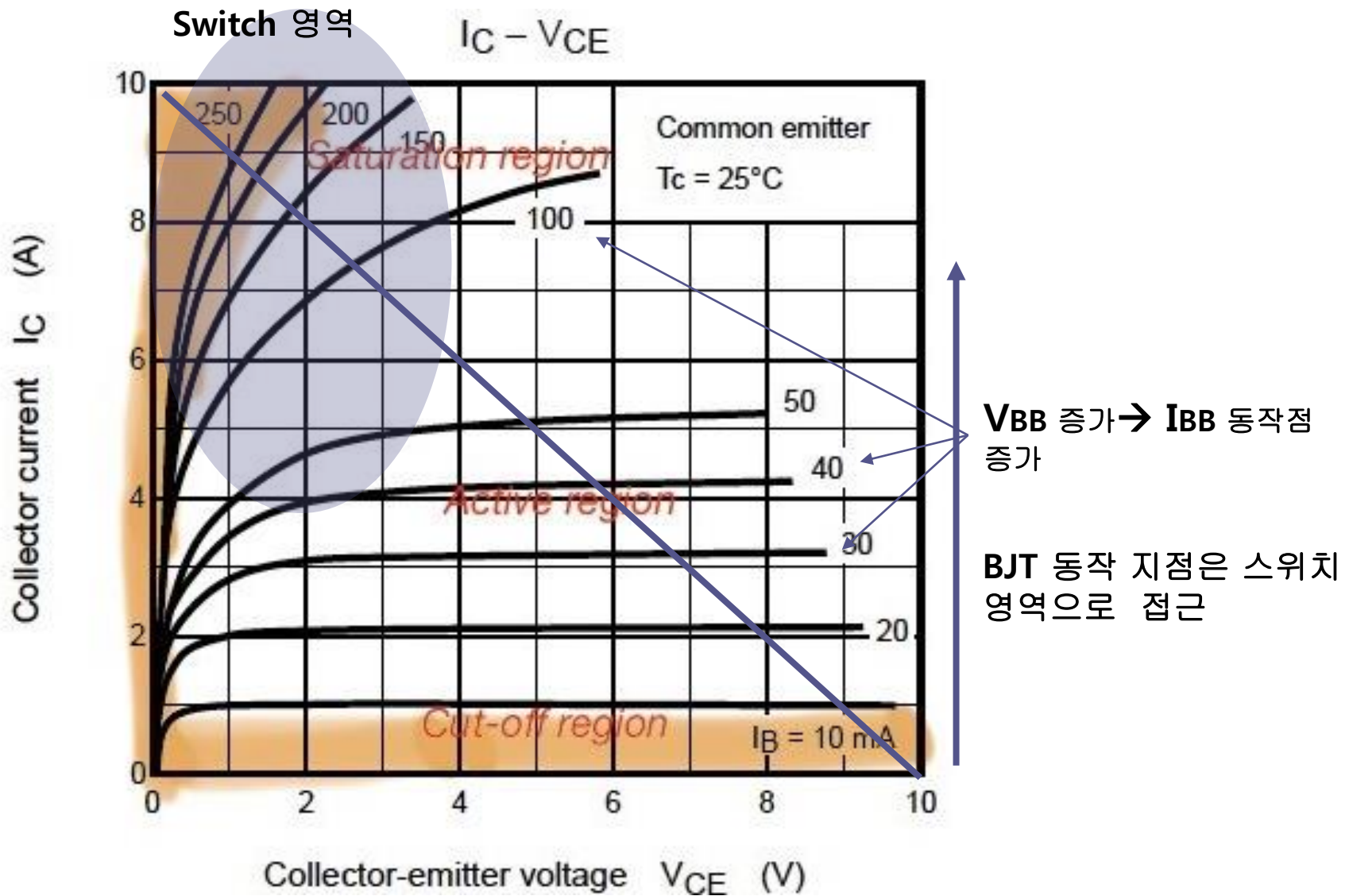


반도체 설계_BJT

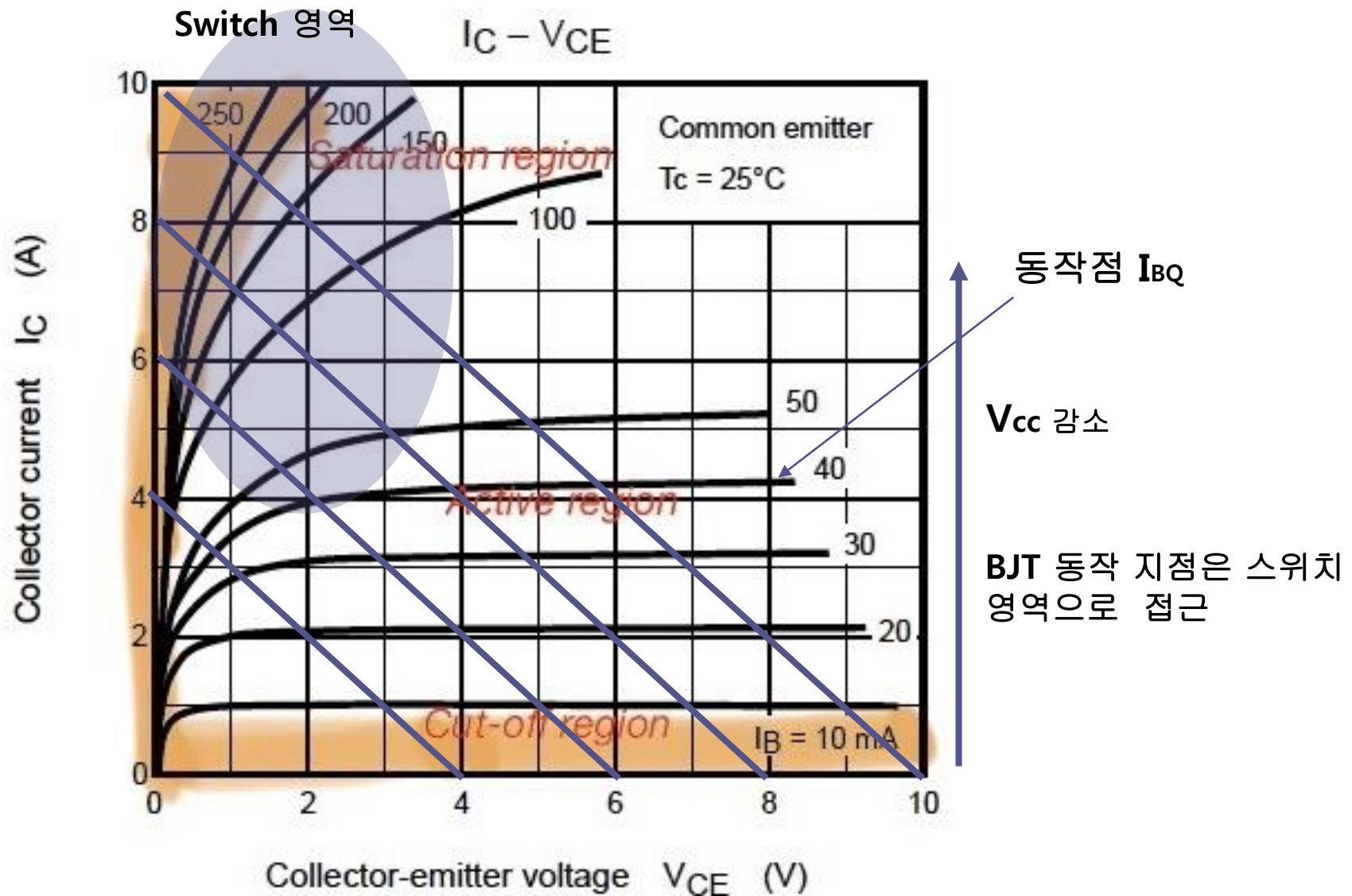


V_{BB} 증가 \rightarrow I_{BB} 동작점 증가

BJT 동작 지점은 스위치 영역으로 접근



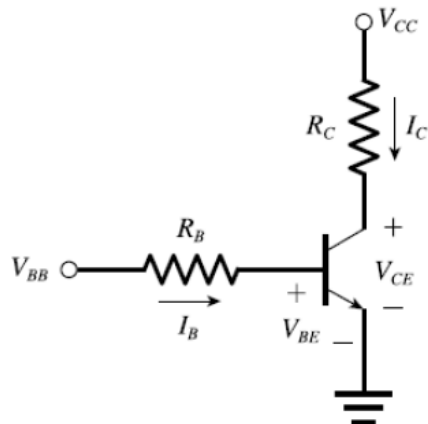
반도체 설계_BJT



반도체 설계_NPN BJT_동작 모드

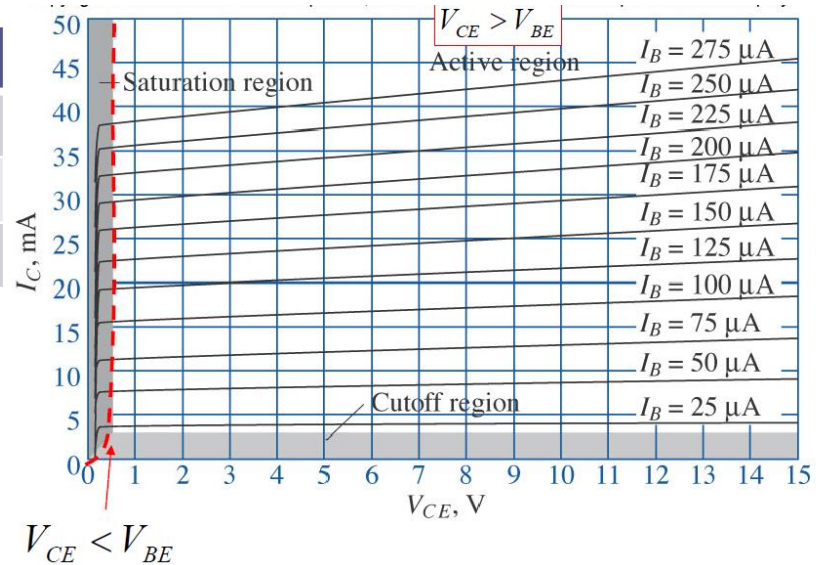
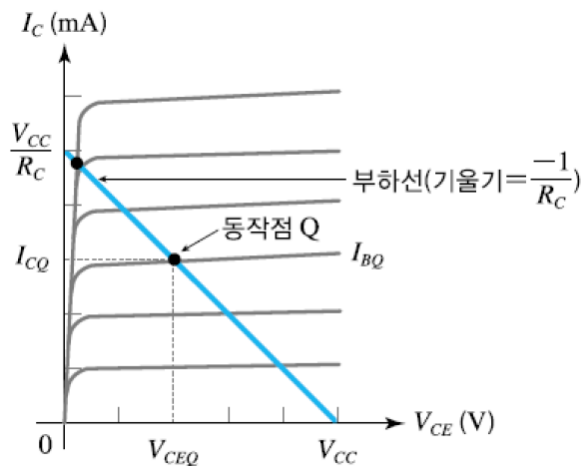
동작 모드	B-E 접합	B-C 접합	동작
차단 모드	역 전압	역 전압	개방 Switch
활성 모드	순 전압	역 전압	증폭기
포화 모드	순 전압	순 전압	도통 Switch

활성 모드: 증폭기



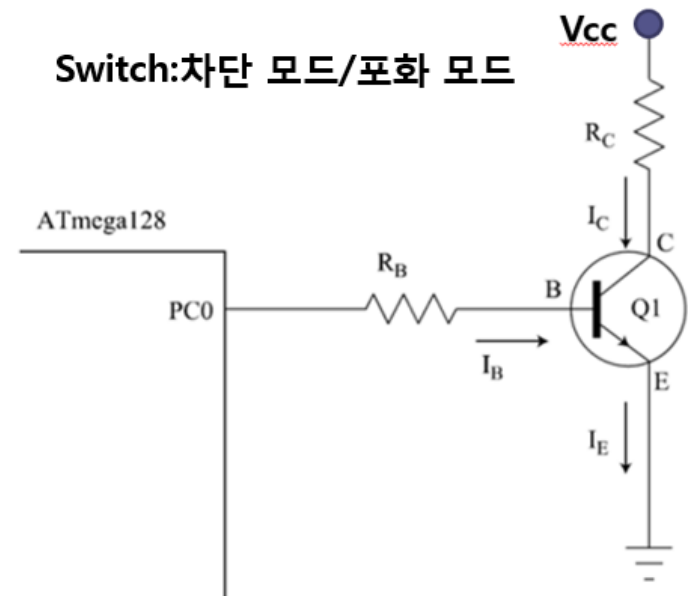
$$V_{CE} = V_{CC} - I_C R_C$$

$$I_C = \frac{V_{CC}}{R_C} - \frac{V_{CE}}{R_C}$$



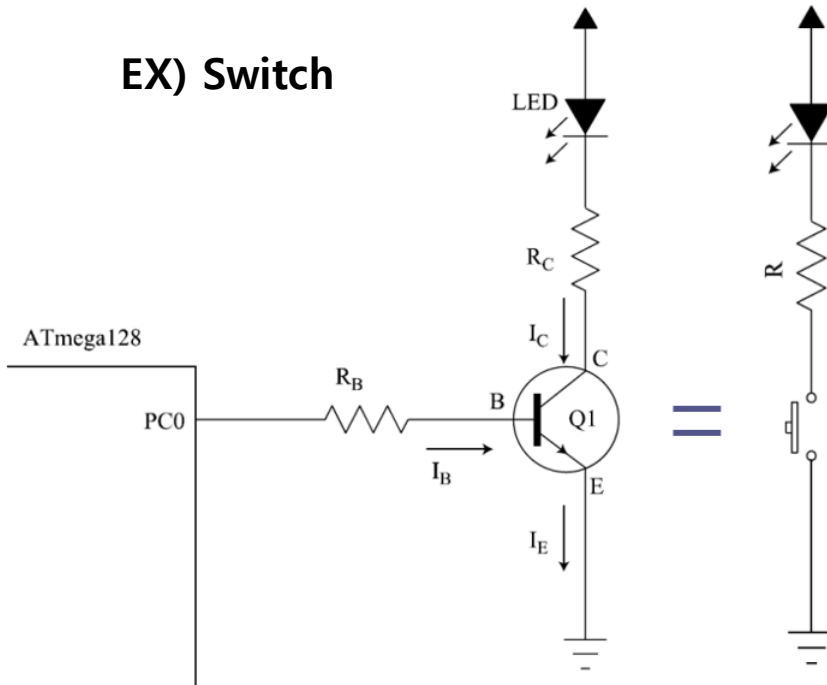
$$I_C = \beta_{DC} I_B$$

Switch: 차단 모드/포화 모드

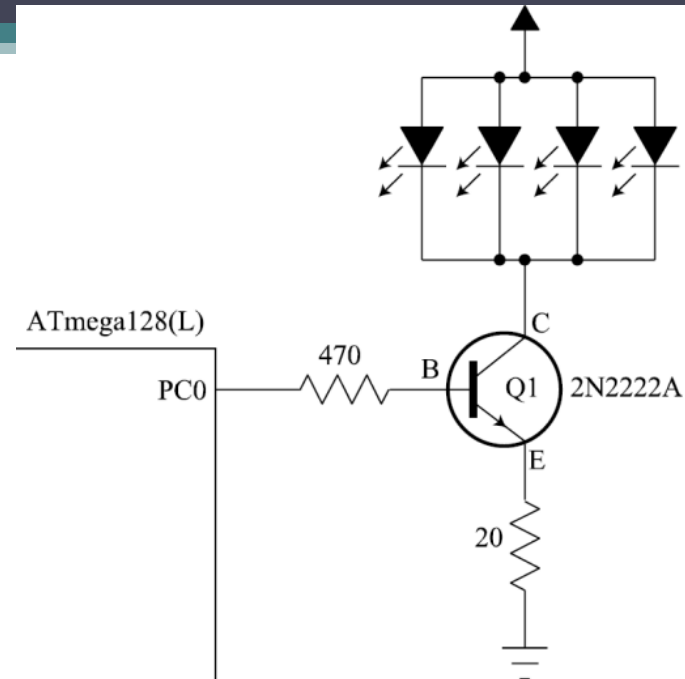
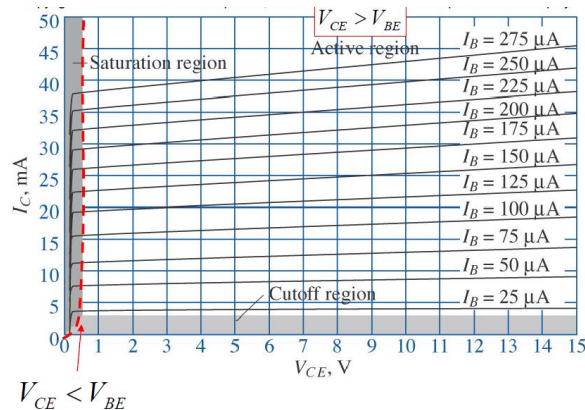


반도체 설계_BJT_스위치 모드

EX) Switch



$$I_C = \beta_{DC} I_B$$



➤ $I_C = 75[\text{mA}]$ 계산 값

• $V_{CE}(\text{Sat}) = 0.3[\text{V}]$, LED 전압강하 $3.2[\text{V}]$

$$5[\text{V}] = 3.2[\text{V}] + 0.3[\text{V}] + 20 I_C$$

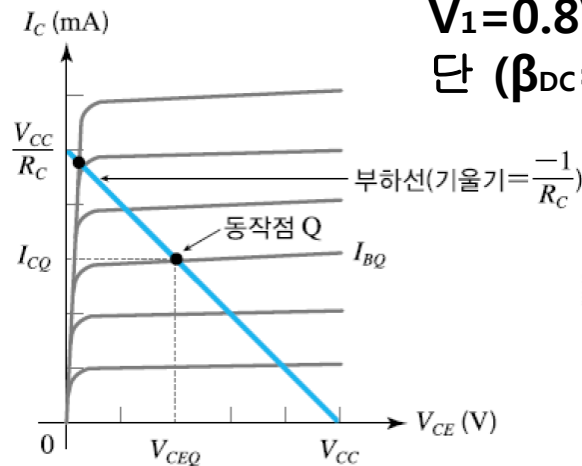
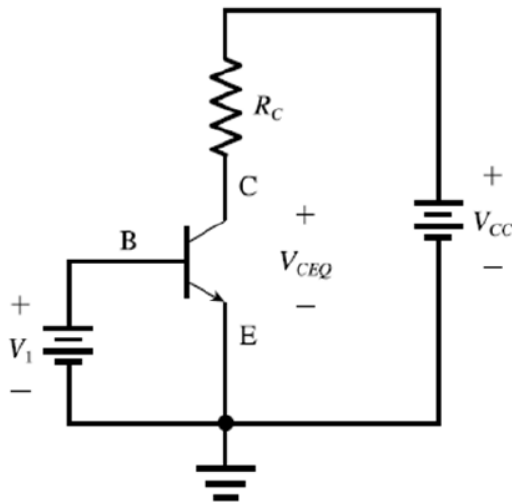
$$I_C = \frac{5[\text{V}] - 3.5[\text{V}]}{20} = 75[\text{mA}]$$

➤ $I_B = 6[\text{mA}]$ 계산 값

$$I_B = \frac{5 - 1.5 - 0.7}{470} = 6.0[\text{mA}]$$

심볼	매개 변수		값	단위
	내용	테스트 조건		
I_{CBO}	컬렉터 차단 전류	$V_{CE} = 60[\text{V}]$, $V_{EB}(\text{off}) = 3.0[\text{V}]$	최대 10	[nA]
$V_{CE}(\text{sat})$	컬렉터-이미터 포화 전압	$I_C = 150[\text{mA}]$	최대 0.3	[V]
$V_{BE}(\text{sat})$	베이스-이미터 포화 전압	$I_C = 150[\text{mA}]$	0.6~1.2	[V]
I_C	컬렉터 정격 전류		1.0	[A]

반도체 설계_BJT_Active 모드 증폭기



$$V_1 = 0.8\text{V}, R_C = 5\text{K}, V_{CC} = 15\text{V}$$

$$\text{단 } (\beta_{DC} = 100, I_S = 10(E-16)\text{A}, V_T = 26\text{mV})$$

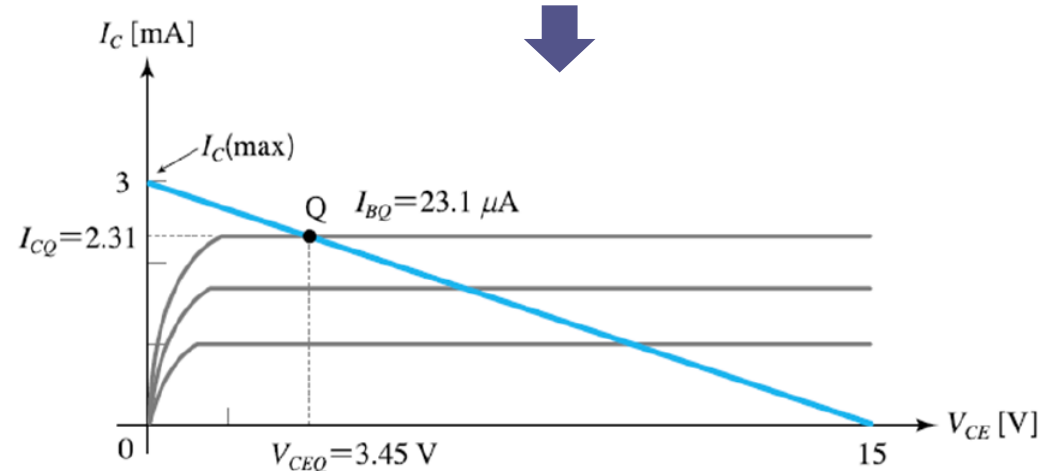
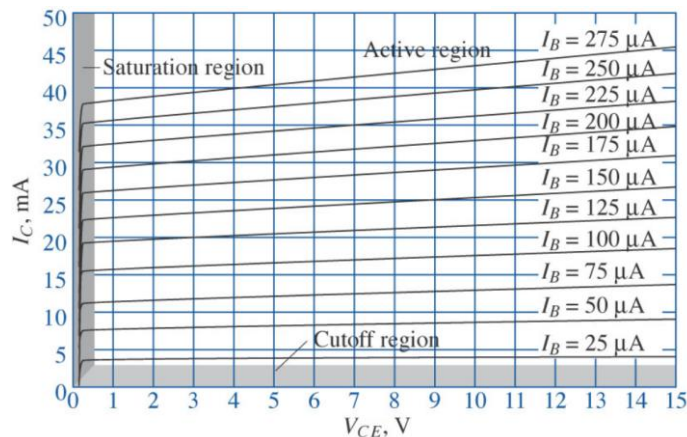
$$I_{CQ} = I_S \exp\left(\frac{V_{BE}}{V_T}\right)$$

$$= 10^{-16} \times \exp\left(\frac{800\text{ mV}}{26\text{ mV}}\right) = 2.31\text{ mA}$$

$$V_{CEQ} = V_{CC} - R_C I_{CQ} = 15 - (5 \times 2.31) = 3.45\text{ V}$$

$$I_{BQ} = \frac{I_{CQ}}{\beta_{DC}} = \frac{2.31\text{ mA}}{100} = 23.1\text{ }\mu\text{A}$$

$$I_C = \beta_{DC} I_B$$

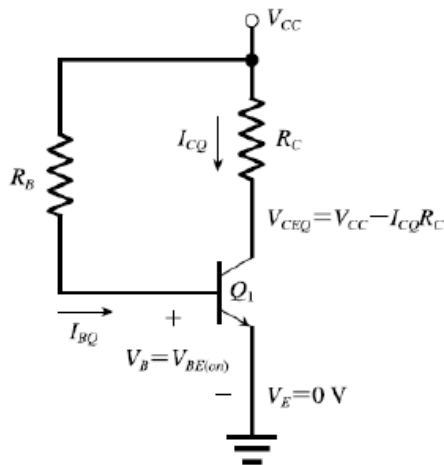


반도체 설계_BJT_Bias

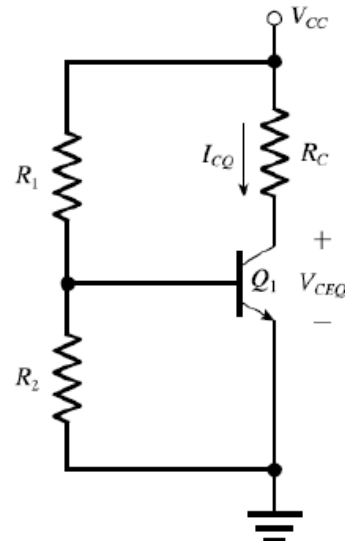
Bias(바이어스) 회로의 종류

BJT의 β_{DC} 와 $V_{BE(on)}$ 은 트랜지스터마다 다르고, 온도에 민감하게 영향을 받는다.

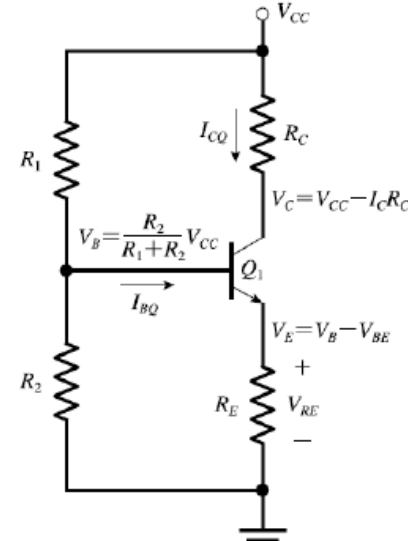
β_{DC} 와 $V_{BE(on)}$ 에 무관하게 하여 바이어스 안정도 향상



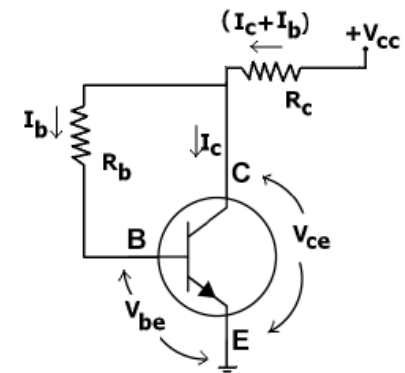
Fixed Bias
(고정 바이어스)



Voltage Divider Bias
(전압 분배 바이어스)



Self Bias
(자기 바이어스)

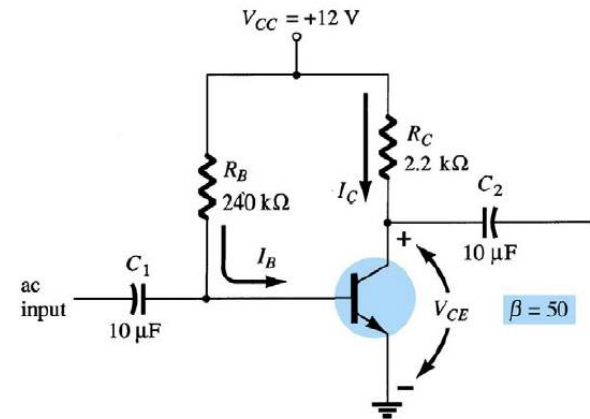


Collector-To-Base Bias

참고 자료

https://en.wikipedia.org/wiki/Bipolar_transistor_biasing

반도체 설계_BJT_Bias(고정 바이어스)



고정 바이어스 회로

Base Loop (voltage drops)

$$-V_{CC} + I_B R_B + V_{BE} = 0$$

$$I_B = (V_{CC} - V_{BE}) / R_B$$

Collector Loop (voltage drops)

$$-V_{CE} - I_C R_C + V_{CC} = 0$$

$$V_{CE} = V_{CC} - I_C R_C$$

 $R_B = 240K$

$$I_B = (12V - 0.7V) / 240k = 0.047mA$$

 $I_C = 2.4mA$

$$V_{CE} = 12V - 50 \times 0.047 \times 2.2k = 6.8V$$

Linear Region 동작

 $R_B = 10K$

$$I_B = (12V - 0.7V) / 10k = 1.13mA$$

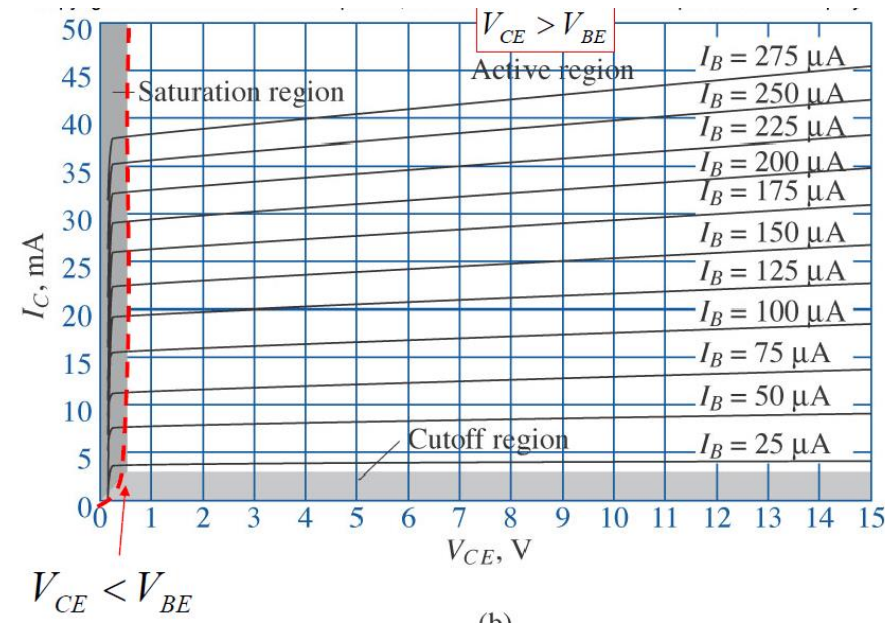
 $I_C = 57mA$

$$V_{CE} = 12V - 50 \times 1.13 \times 2.2k = -112.3V$$

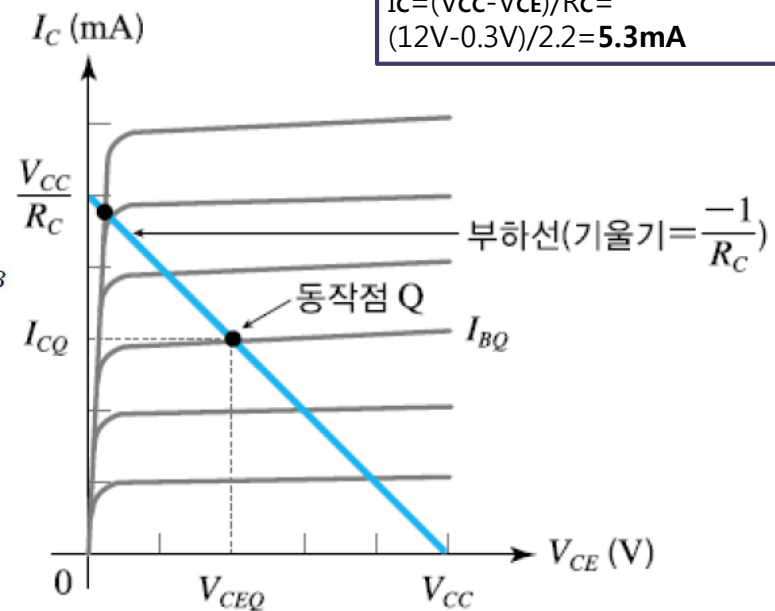
Saturation Region 동작

 $V_{CE} = 0.3V$ (대략)

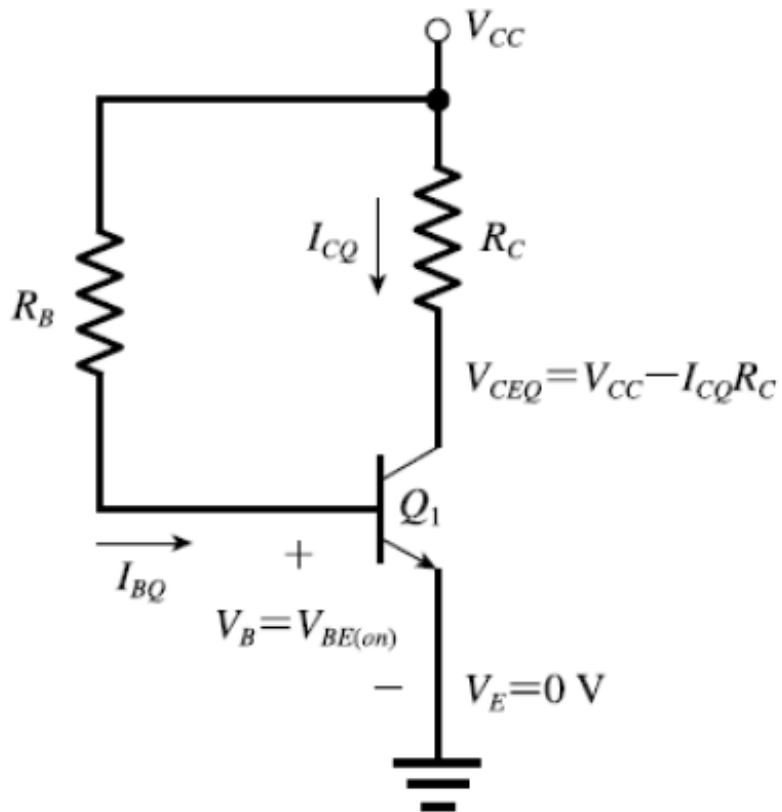
$$I_C = (V_{CC} - V_{CE}) / R_C = (12V - 0.3V) / 2.2k = 5.3mA$$



$$I_C = \beta_{DC} I_B$$



반도체 설계_BJT_Bias(고정 바이어스)



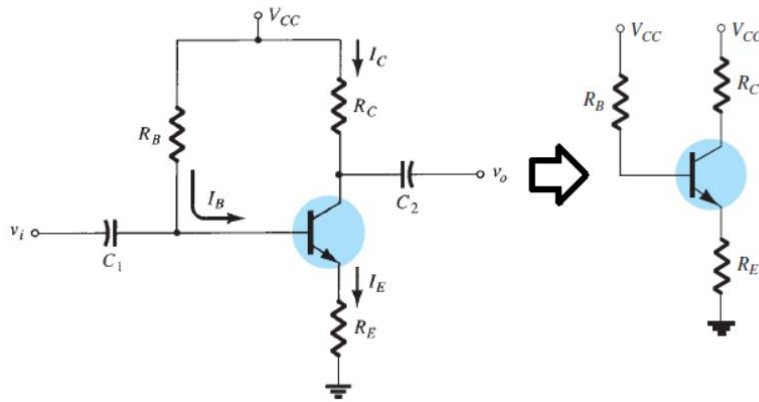
$$V_{CC} = R_B I_{BQ} + V_{BE(on)}$$

$$I_{BQ} = \frac{V_{CC} - V_{BE(on)}}{R_B}$$

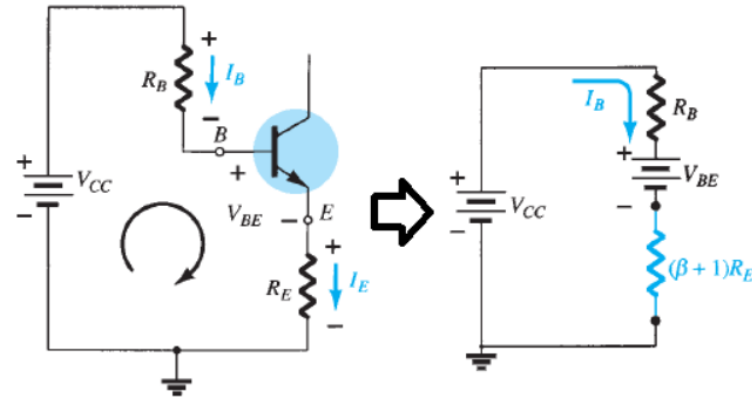
$$I_{CQ} = \beta_{DC} I_{BQ} = \beta_{DC} \frac{V_{CC} - V_{BE(on)}}{R_B}$$

$$V_{CEQ} = V_{CC} - R_C I_{CQ}$$

반도체 설계_BJT_Bias(고정 바이어스)

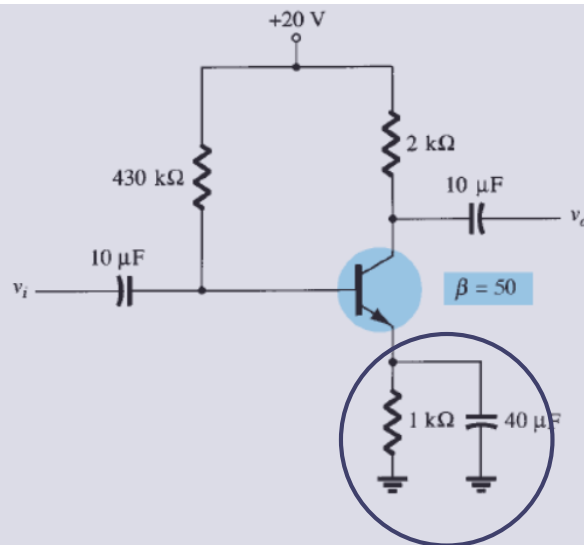


고정 바이어스 회로



$V_{CC} = I_B R_B + V_{BE} + I_E R_E$, $I_E = I_C + I_B = (1 + \beta)I_B$ ($I_C = \beta I_B$)이므로
 $V_{CC} - V_{BE} = I_B R_B + I_E R_E = I_B R_B + (1 + \beta)I_B R_E$ 이고, $I_B = \frac{V_{CC} - V_{BE}}{R_B + (1 + \beta)R_E}$ 이다.
 $I_C = \beta I_B$, $I_C \approx I_E$ 이고 $V_{CC} = I_C R_C + V_{CE} + I_E R_E$ 이므로 $V_{CE} = V_{CC} - I_C(R_C + R_E)$
 또는 $V_E = I_E R_E \approx I_C R_E$, $V_C = V_{CC} - I_C R_C$, $V_{CE} = V_C - V_E$, $V_B = V_{CC} - I_B R_B = V_{BE} + V_E$

$$I_C = \beta I_B = \beta \cdot \frac{V_{CC} - V_{BE}}{R_B + (1 + \beta)R_E} \leftarrow \text{바이어스 안정화}$$



바이어스 안정화

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + (1 + \beta)R_E} = \frac{20V - 0.7V}{430k\Omega + 51 \cdot (1k\Omega)} = \frac{19.3V}{481k\Omega} = 40.1\mu A$$

$$I_C = \beta I_B = 50(40.1\mu A) \approx 2.01mA$$

$$V_{CE} = V_{CC} - I_C(R_C + R_E) = 20V - (2.01mA)(2k\Omega) = 20V - 4.02V = 15.98V$$

$$V_E = V_C - V_{CE} = 15.98V - 13.97V = 2.01V$$

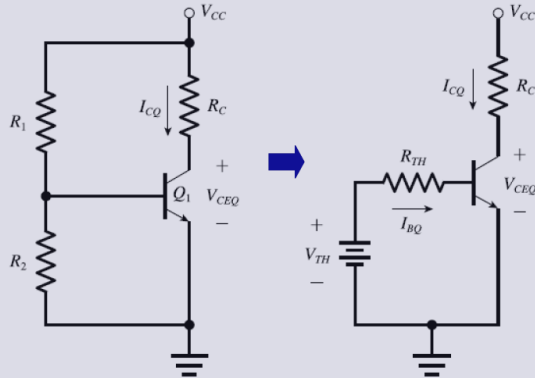
$$V_B = V_{BE} + V_E = 0.7V + 2.01V = 2.71V$$

$$V_{BC} = V_B - V_C = 2.71V - 15.98V = -13.27V$$

T (온도), β 변화에 대하여 직류바이어스 전류, 전압(I_C , V_{CE})이 거의 변화가 없는 것이 바이어스 안정도가 높다.

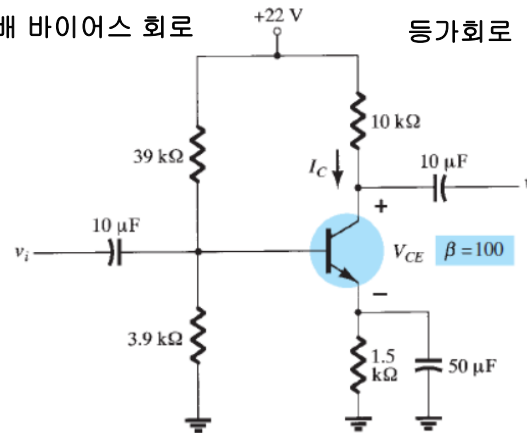
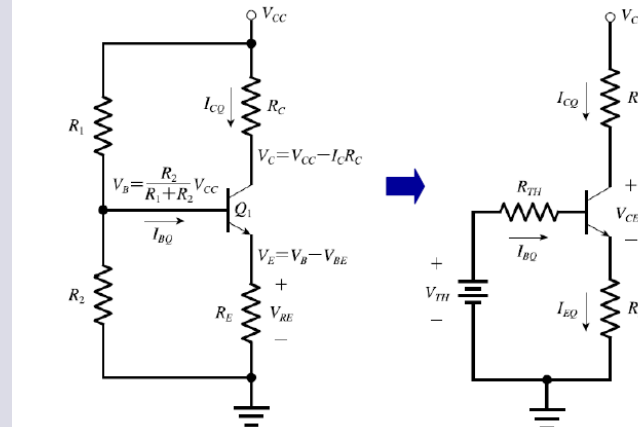
반도체 설계_BJT_Bias

전압 분배 바이어스 회로



전압 분배 바이어스 회로

등가회로



$$V_{TH} = \frac{R_2}{R_1 + R_2} V_{CC} \quad R_{TH} = R_1 \parallel R_2$$

$$V_{TH} = I_{BQ} R_{TH} + V_{BE(on)} + I_{EQ} R_E$$

$$I_{CQ} = \beta_{DC} I_{BQ}$$

$$V_{TH} = I_{BQ} R_{TH} + V_{BE(on)} + (1 + \beta_{DC}) I_{BQ} R_E$$

$$I_{BQ} = \frac{V_{TH} - V_{BE(on)}}{R_{TH} + (1 + \beta_{DC}) R_E}$$

$$I_{CQ} = \beta_{DC} I_{BQ} = \frac{\beta_{DC} (V_{TH} - V_{BE(on)})}{R_{TH} + (1 + \beta_{DC}) R_E}$$

$$V_{CEQ} = V_{CC} - I_{CQ} R_C - I_{EQ} R_E$$

$$I_{CQ} = \beta_{DC} I_{BQ} = \frac{\beta_{DC} (V_{TH} - V_{BE(on)})}{R_{TH} + (1 + \beta_{DC}) R_E}$$

$$(1 + \beta_{DC}) R_E \gg R_{TH} \text{ 이고 } \beta_{DC} \gg 1 \text{ 이면,}$$

$$I_{CQ} \approx \frac{V_{TH} - V_{BE(on)}}{R_E}$$

바이어스 안정화

$$V_{TH} = \frac{R_2}{R_1 + R_2} V_{CC} \quad R_{TH} = R_1 \parallel R_2$$

$$I_{BQ} = \frac{V_{TH} - V_{BE(on)}}{R_{TH}}$$

$$I_{CQ} = \beta_{DC} I_{BQ} = \frac{\beta_{DC} (V_{TH} - V_{BE(on)})}{R_{TH}}$$

$$V_{CEQ} = V_{CC} - I_{CQ} R_C$$

$$R_{Th} = \frac{(39\text{k}\Omega) \times (3.9\text{k}\Omega)}{39\text{k}\Omega + 3.9\text{k}\Omega} = 3.55\text{k}\Omega, \quad E_{Th} = \frac{3.9\text{k}\Omega}{39\text{k}\Omega + 3.9\text{k}\Omega} (22\text{V}) = 2\text{V}$$

$$I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (1 + \beta) R_E} = \frac{(2 - 0.7)\text{V}}{3.55\text{k}\Omega + 101 \times (15\text{k}\Omega)} = 8.38\mu\text{A}$$

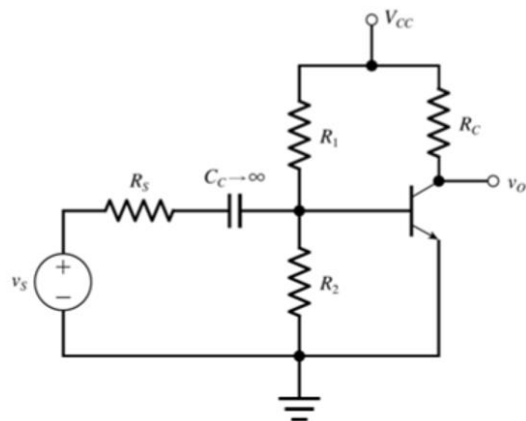
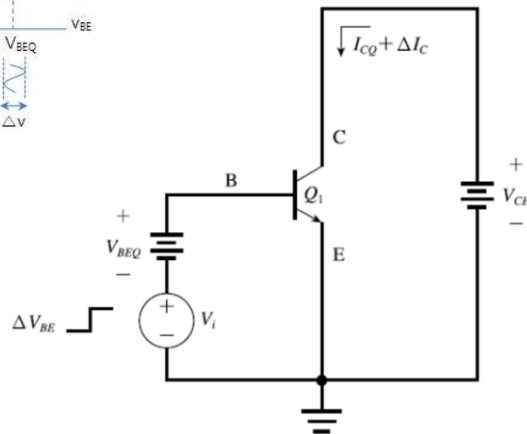
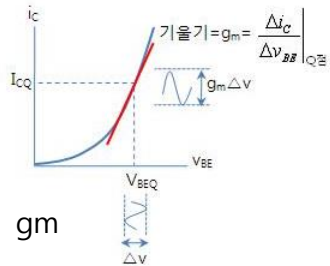
$$I_C = \beta I_B = 100 \times (8.38\mu\text{A}) = 0.84\text{mA}$$

$$V_{CE} = V_{CC} - I_C (R_C + R_E) = 22\text{V} - (0.84\text{mA})(10\text{k}\Omega + 1.5\text{k}\Omega) = 22\text{V} - 9.66\text{V} = 12.34\text{V}$$

V_{CC} , T (온도), β 변화에 대하여 직류바이어스 전류, 전압(I_C , V_{CE})이 거의 변화가 없는 것이 바이어스 안정도가 높다.

반도체 설계_BJT_AC 저주파 등가회로

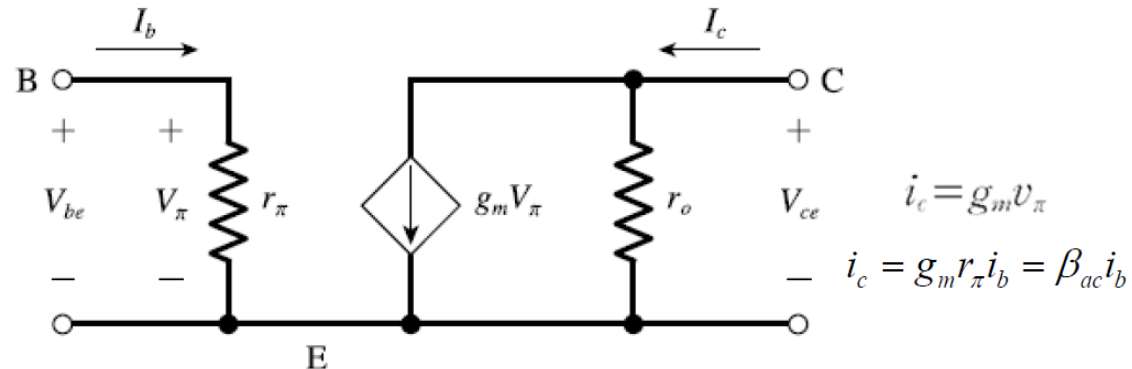
소신호 등가 회로



하이브리드- π 등가모델

r_π : 소신호 베이스 입력 저항

g_m : 트랜스 컨덕턴스

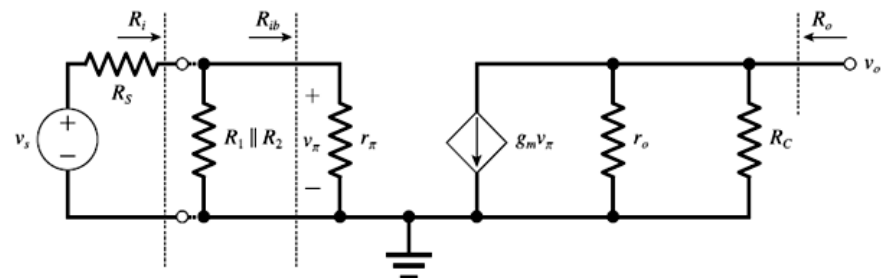


$$r_\pi = \frac{V_T \beta_{ac}}{I_{CQ}} = \frac{V_T}{I_{BQ}} = \frac{\beta_{ac}}{g_m}$$

$$g_m = \frac{I_{CQ}}{V_T}$$

$$r_o = \frac{V_A}{I_{CQ}}$$

V_A is the Early voltage (typically 15–150 V; smaller for smaller devices)



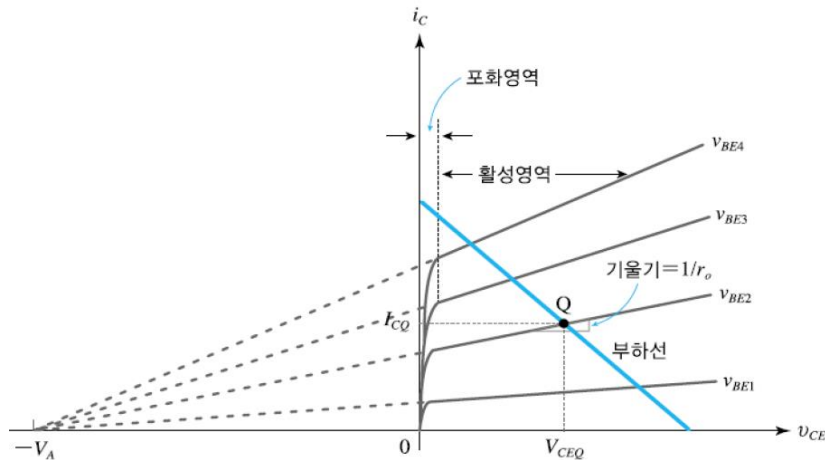
$$v_o = -(g_m v_\pi)(r_o \parallel R_C)$$

$$v_\pi = \left(\frac{R_1 \parallel R_2 \parallel r_\pi}{R_S + (R_1 \parallel R_2 \parallel r_\pi)} \right) v_s$$

$$A_v \equiv \frac{v_o}{v_s} = -g_m \left[\frac{R_1 \parallel R_2 \parallel r_\pi}{R_S + (R_1 \parallel R_2 \parallel r_\pi)} \right] (r_o \parallel R_C)$$

반도체 설계_BJT_AC 저주파 등가회로

Early Effect Voltage

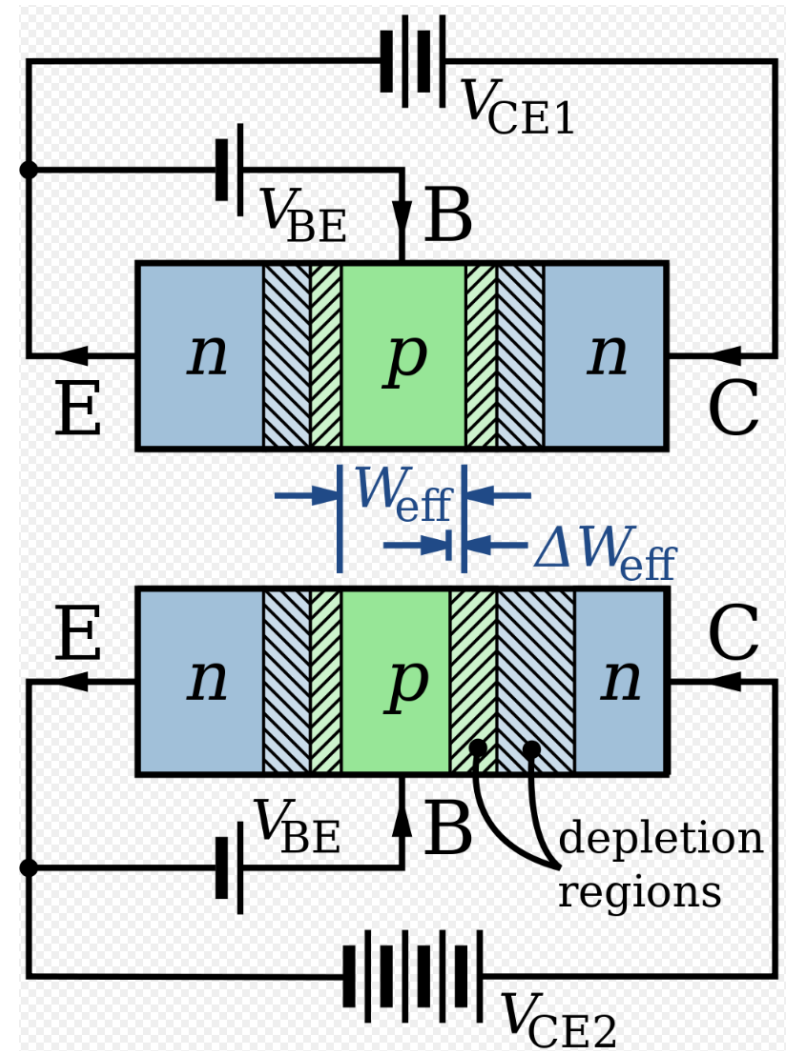


The **Early effect**, named after its discoverer [James M. Early](#), is the variation in the effective width of the base in a [bipolar junction transistor](#) (BJT) due to a variation in the applied base-to-collector voltage. A greater [reverse bias](#) across the collector–base [depletion width](#), thereby decreasing the width of the charge carrier portion of the base.

컬렉터 전압이 증가하면 컬렉터 전류가 증가: 저항으로 모델링

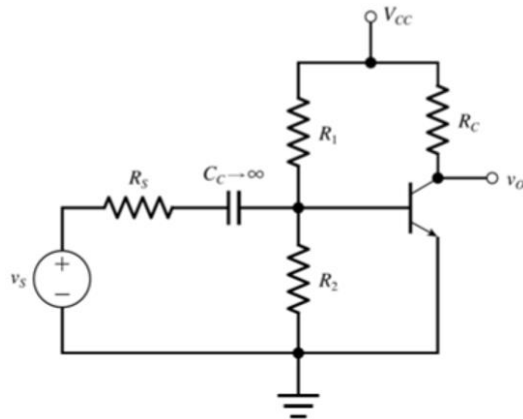
$$\frac{1}{r_o} \equiv \left. \frac{di_C}{dv_{CE}} \right|_{Q\text{점}} \simeq \frac{I_{CQ}}{V_A}$$

V_A : 얼리 전압
(typically 15 V to 150 V; smaller for smaller devices)

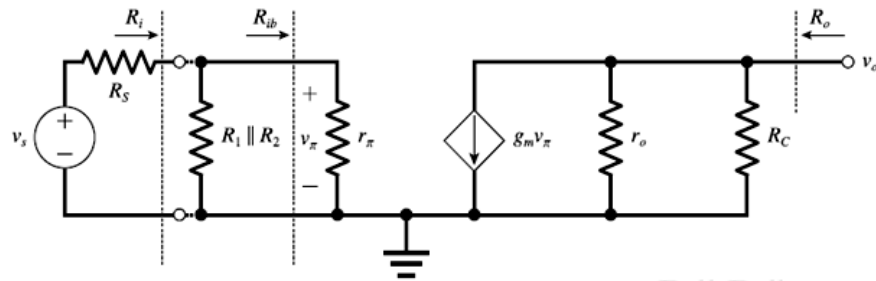


반도체 설계_BJT_AC_CE(Common Emitter) 저주파 등가회로(1/4)

소신호 등가 회로

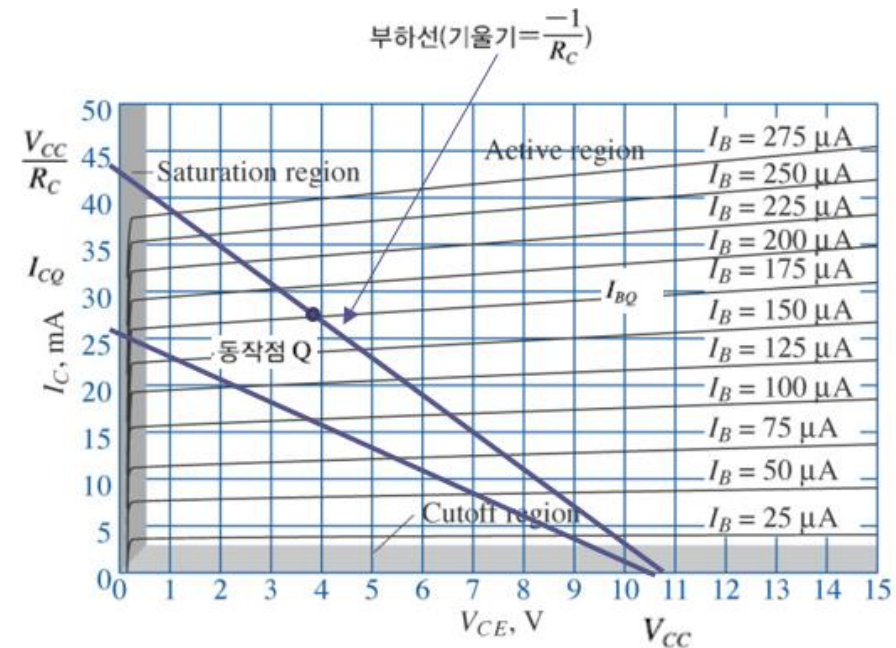
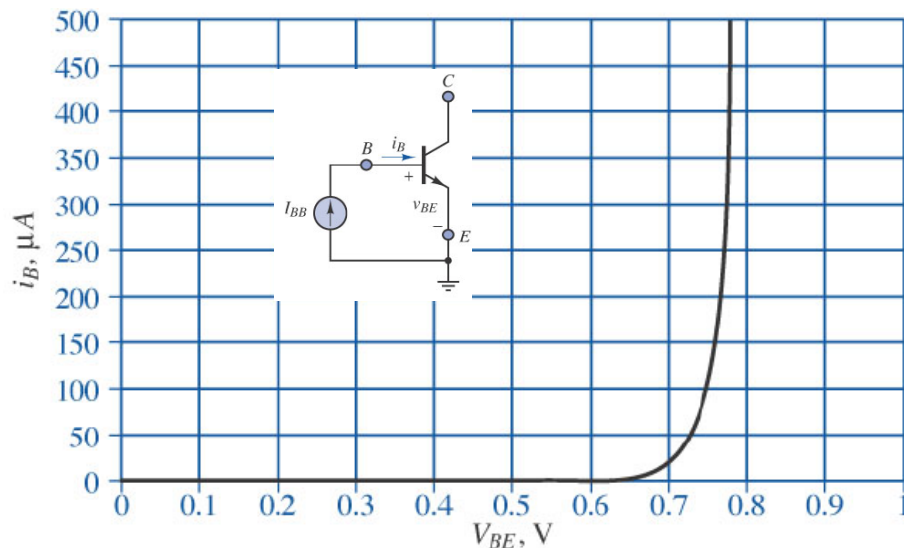


하이브리드- π 등가모델

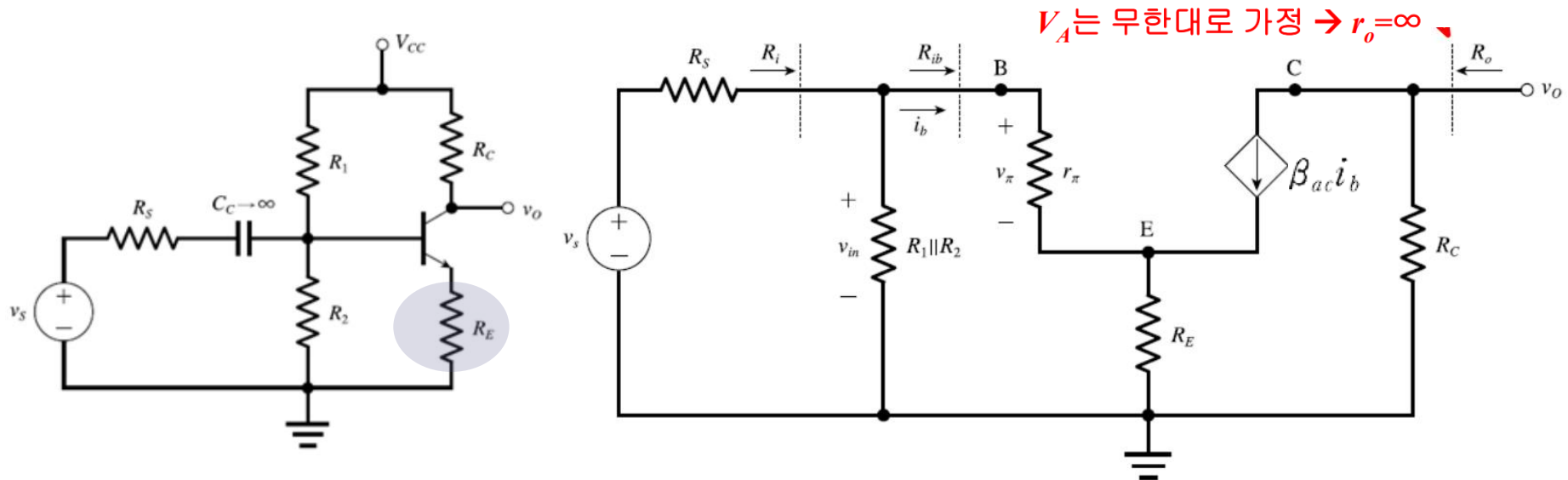


$$v_o = -(g_m v_\pi)(r_o \parallel R_C) \quad v_\pi = \left(\frac{R_1 \parallel R_2 \parallel r_\pi}{R_S + (R_1 \parallel R_2 \parallel r_\pi)} \right) v_s$$

$$A_v \equiv \frac{v_o}{v_s} = -g_m \left[\frac{R_1 \parallel R_2 \parallel r_\pi}{R_S + (R_1 \parallel R_2 \parallel r_\pi)} \right] (r_o \parallel R_C)$$



반도체 설계_BJT_AC_CE 저주파 등가회로(2/4)



$$v_o = -(\beta_{ac} i_b) R_C$$

$$v_{in} = i_b r_\pi + (\beta_{ac} + 1) i_b R_E$$

$$v_o = \frac{-\beta_{ac} R_C}{r_\pi + (\beta_{ac} + 1) R_E} v_{in} \quad v_{in} = \left(\frac{R_i}{R_S + R_i} \right) v_s \quad A_v \equiv \frac{v_o}{v_s} = \left(\frac{-\beta_{ac} R_C}{r_\pi + (\beta_{ac} + 1) R_E} \right) \left(\frac{R_i}{R_S + R_i} \right)$$

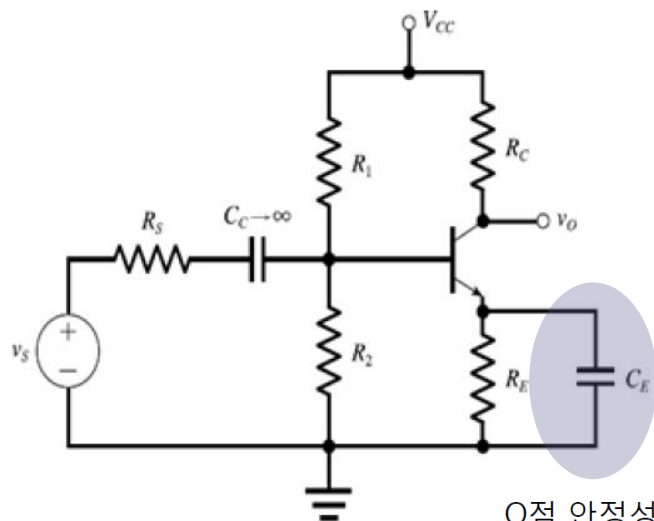
$R_i \gg R_S$ 이고 $(\beta_{ac} + 1) R_E \gg r_\pi$ 이며, $\beta_{ac} \gg 1$ 라고 가정하여

$$A_v \text{ 간소화} \quad A_v \cong \frac{-\beta_{ac} R_C}{(\beta_{ac} + 1) R_E} \cong \frac{-R_C}{R_E}$$

➔ 온도나 트랜지스터 특성 편차 등이 미치는 영향 축소, 입력저항 증가

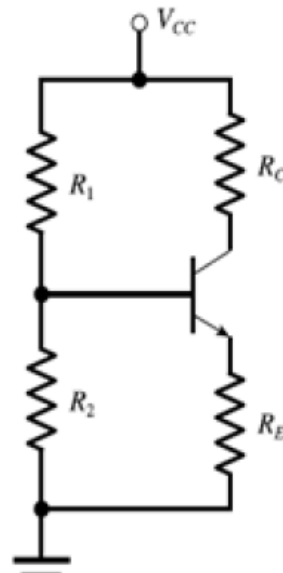
➔ 이미터 저항이 분모에 있기 때문에, 전압이득 감소시킴

반도체 설계_BJT_AC_CE 저주파 등가회로(3/4)

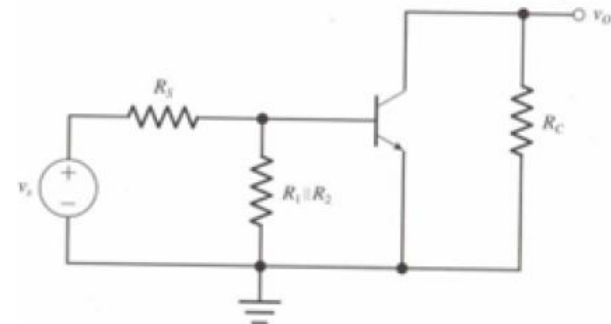


Q점 안정성과
소신호 전압이득을
동시에 개선

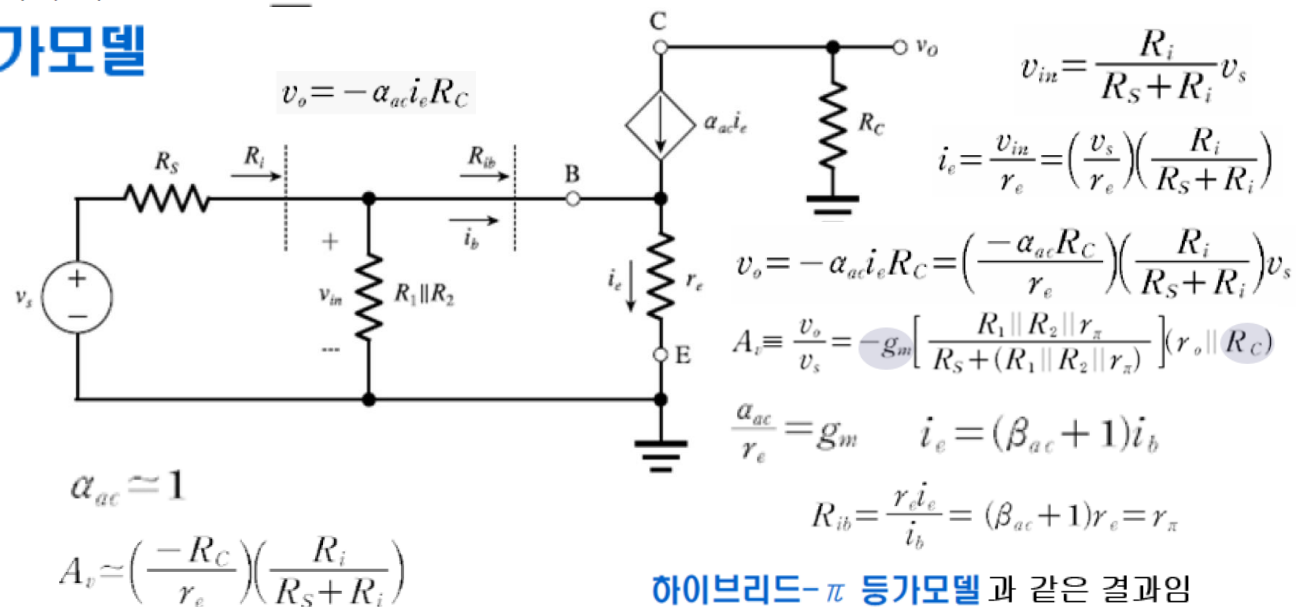
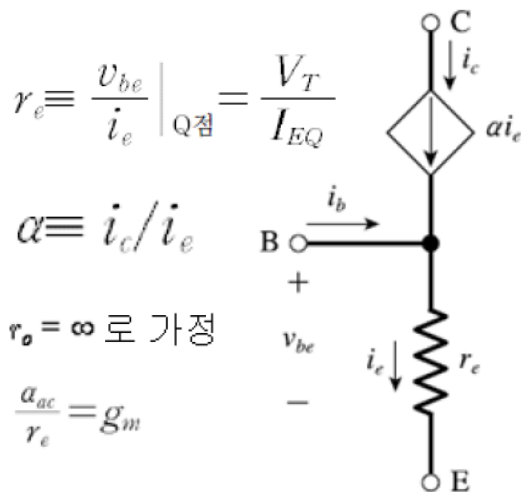
DC 등가회로



AC 등가회로



r 파라미터 소신호 등가모델



하이브리드- π 등가모델 과 같은 결과임

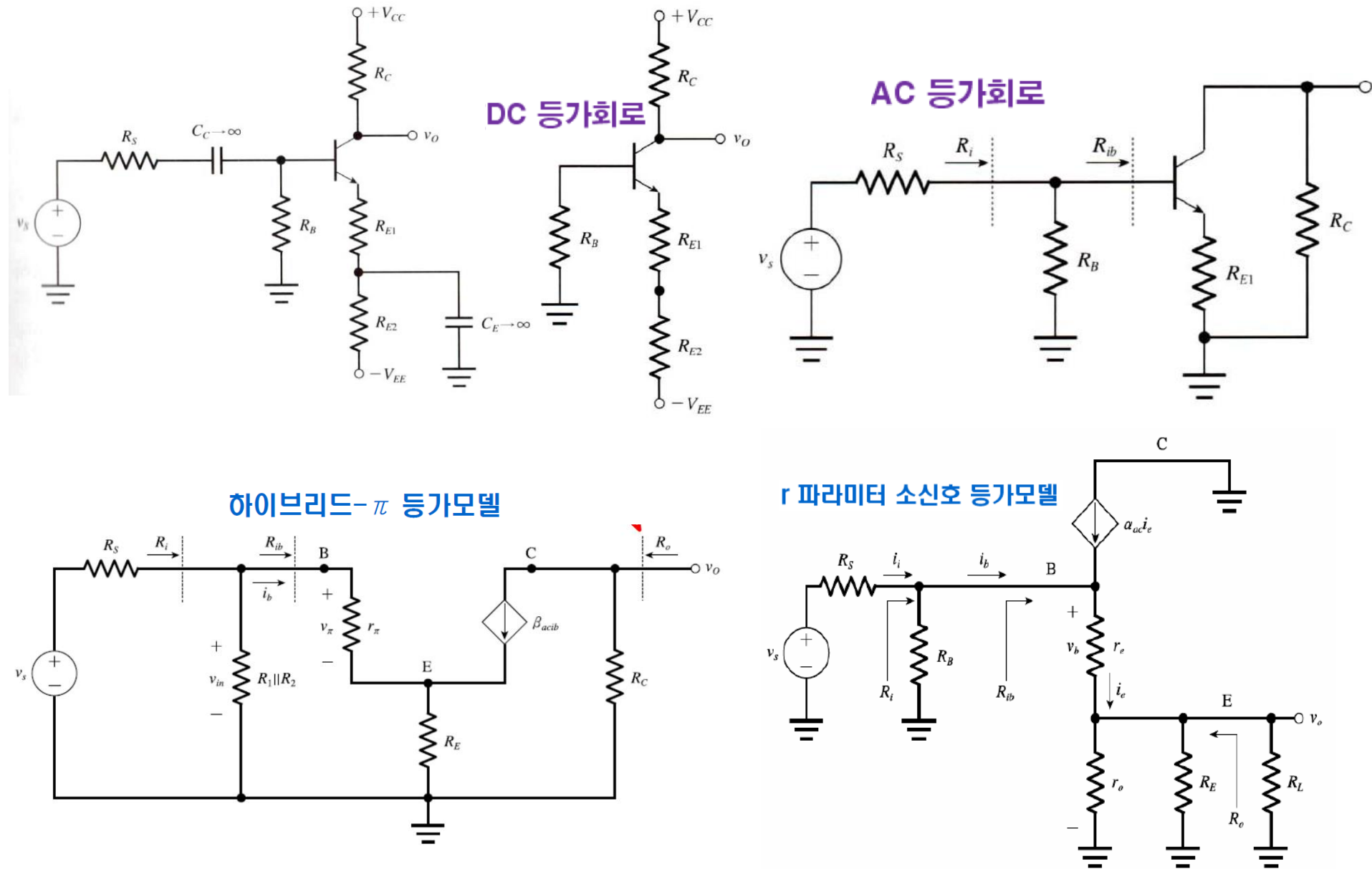
반도체 설계_BJT_AC_CE 저주파 등가회로(4/4)

DC 등가회로

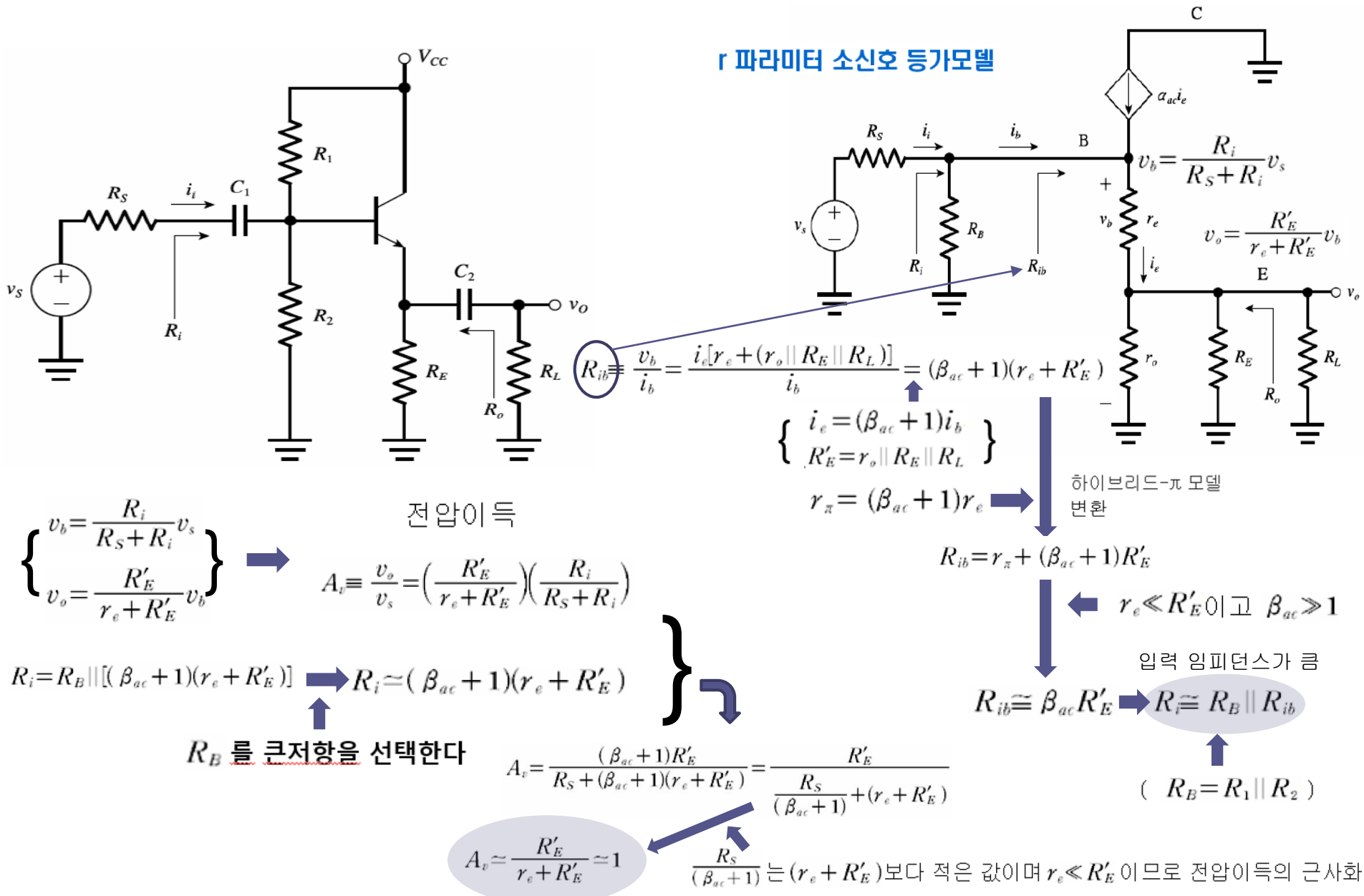
AC 등가회로

하이브리드- π 등가모델

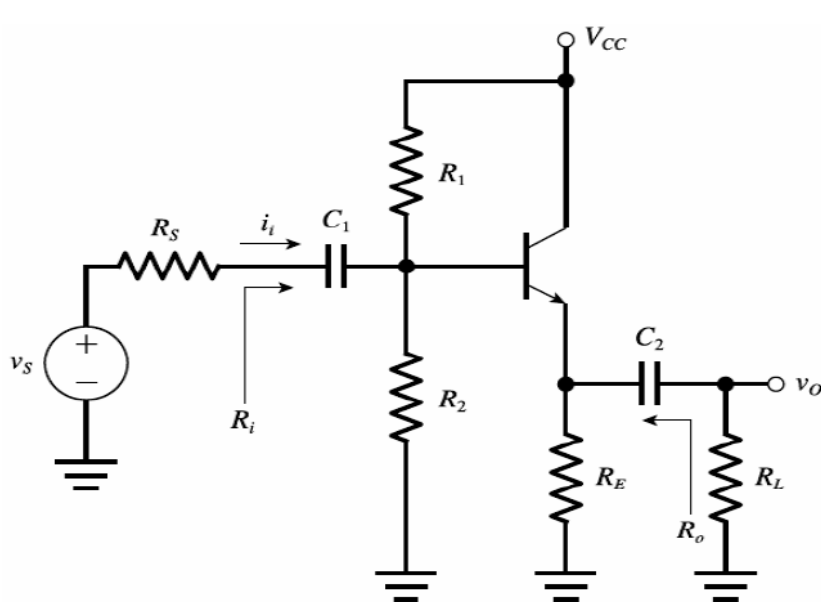
r 파라미터 소신호 등가모델



반도체 설계_BJT_AC_CC(Common Collector) 저주파 등가회로(1/3)



반도체 설계_BJT_AC_CC(Common Collector) 저주파 등가회로(2/3)



소신호 출력 저항

$$R_{out} \simeq (r_o \parallel R_E) \parallel r_e \simeq r_e$$

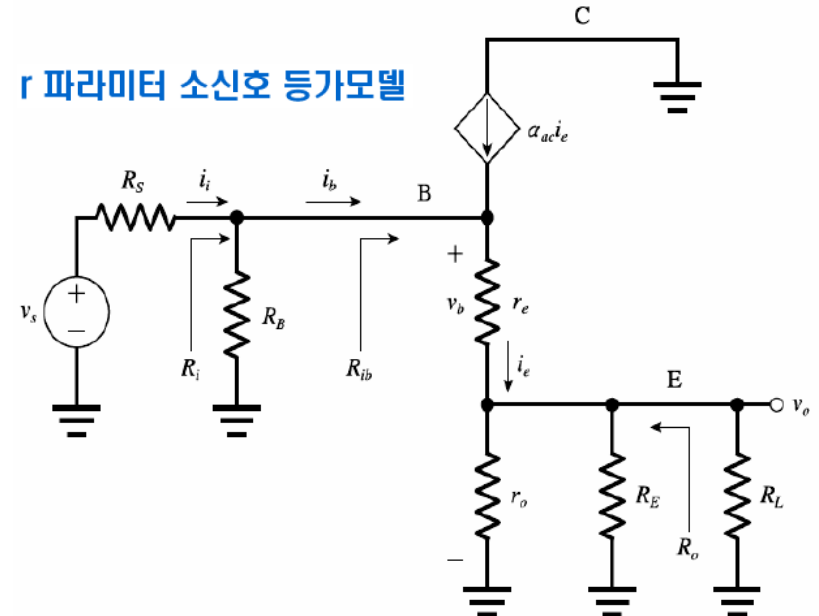
$r_e \ll (r_o \parallel R_E)$ 이므로 간소화

공통 컬렉터 증폭기의 소신호 출력 저항:

$$\begin{aligned} R_o &\equiv \frac{v_x}{i_x} = (r_o \parallel R_E) \parallel [r_e + (1 - \alpha_{ac})(R_S \parallel R_B)] \\ &= (r_o \parallel R_E) \parallel \left(r_e + \frac{R_S \parallel R_E}{\beta_{ac} + 1} \right) \end{aligned}$$

$$\frac{1}{R_o} \equiv \frac{i_x}{v_x} = \frac{1}{r_o \parallel R_E} + \frac{1}{r_e + (1 - \alpha_{ac})(R_S \parallel R_B)}$$

r 파라미터 소신호 등가모델



$$\text{출력저항 : } R_o \equiv \frac{v_x}{i_x}$$

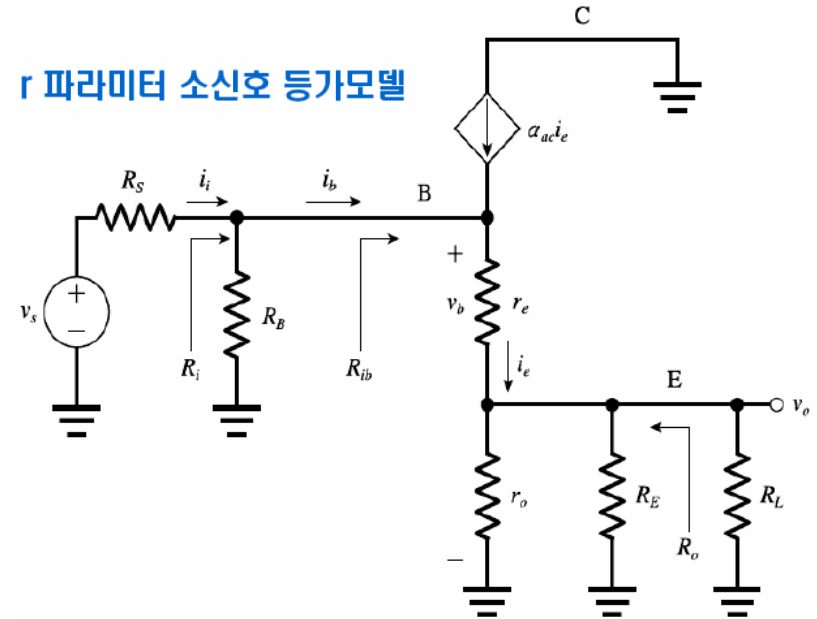
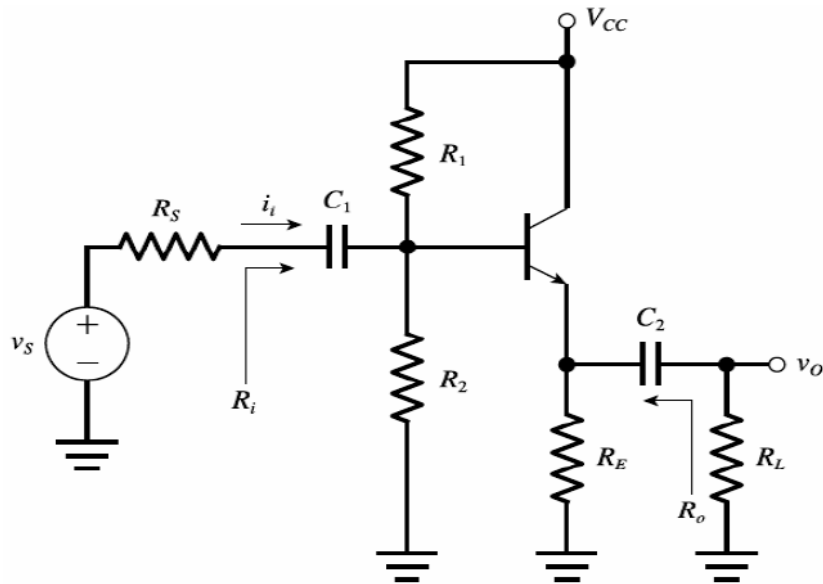
등가회로부터 구한 v_x, i_x

$$\begin{cases} v_x = -[r_e + (1 - \alpha_{ac})(R_S \parallel R_B)]i_e \\ i_x = \frac{v_x}{r_o \parallel R_E} - i_e \end{cases}$$

i_e 를 구하기 위해 위 식을 대입하여 정리

$$i_x = \frac{v_x}{r_o \parallel R_E} + \frac{v_x}{r_e + (1 - \alpha_{ac})(R_S \parallel R_B)}$$

반도체 설계_BJT_AC_CC(Common Collector) 저주파 등가회로(3/3)



공통 컬렉터 증폭기의 소신호 전류 이득: $A_i \simeq \frac{i_e}{i_i} = \beta_{ac} + 1$ $R_{ib} \ll R_B$ 이면 $i_i \simeq i_b$

입력 저항: $R_i \simeq R_B \parallel R_{ib}$ ($R_B = R_1 \parallel R_2$) 는 크다

소신호 출력 저항: $R_{out} \simeq (r_o \parallel R_E) \parallel r_e \simeq r_e$ 는 작다

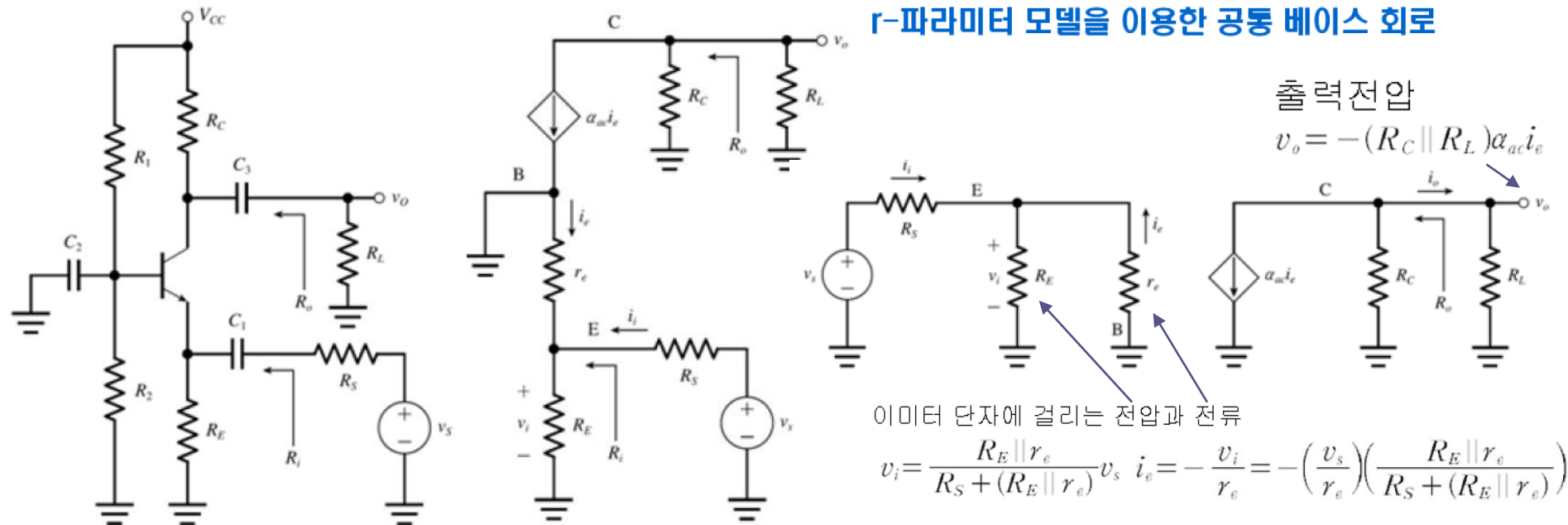
전압 이득: $A_v \simeq \frac{R'_E}{r_e + R'_E} \simeq 1$

이상의 결과로부터 공통 컬렉터 증폭기의 출력저항은 매우 작으며, 따라서 작은 저항의 부하를 구동하는데 적합하다는 것을 알 수 있음

공통 컬렉터 증폭기는 큰 입력저항과 작은 출력저항을 가지며, 전압이득이 1에 가까우므로 임피던스 매칭용 버퍼(buffer)로 사용

반도체 설계_BJT_AC_CB(Common Base) 저주파 등가회로(1/2)

r-파라미터 모델을 이용한 공통 베이스 회로



전압이득 $A_v \equiv \frac{v_o}{v_s} = \frac{\alpha_{ac}(R_C \parallel R_L)}{r_e} \frac{R_E \parallel r_e}{R_S + (R_E \parallel r_e)}$

\Downarrow $r_e \ll R_E$ 이면 $R_E \parallel r_e \simeq r_e$

$$A_v \simeq \frac{\alpha_{ac}(R_C \parallel R_L)}{R_S + r_e} = \left(\frac{\beta_{ac}}{\beta_{ac} + 1}\right) \left(\frac{R_C \parallel R_L}{R_S + r_e}\right)$$

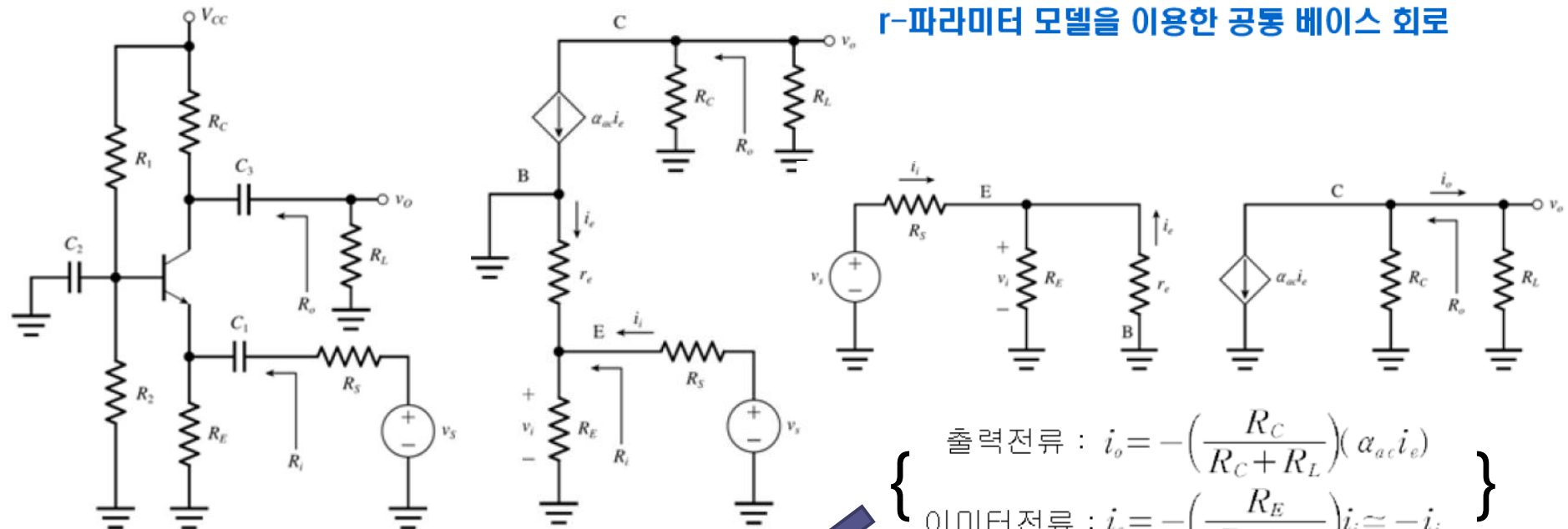
$\alpha_{ac} \simeq 1$ 이므로 $r_e \ll R_E$ 이면 전압이득은 다음과 같이 근사화 가능

\Downarrow

$$A_v \simeq \frac{R_C \parallel R_L}{R_S}$$

반도체 설계_BJT_AC_CB(Common Base) 저주파 등가회로(2/2)

r-파라미터 모델을 이용한 공통 베이스 회로



$$\left\{ \begin{array}{l} \text{출력전류 : } i_o = -\left(\frac{R_C}{R_C + R_L}\right)(\alpha_{ac} i_e) \\ \text{이미터전류 : } i_e = -\left(\frac{R_E}{R_E + r_e}\right)i_i \simeq -i_i \end{array} \right\}$$

$$\text{교류전류이득 : } A_i \equiv \frac{i_o}{i_i} = \frac{\alpha_{ac} R_C}{R_C + R_L}$$

$R_L \ll R_C$ 이면 $\alpha_{ac} \simeq 1$ 이므로

$$A_i \simeq \alpha_{ac} \simeq 1$$

$$\text{입력저항 } v_i = (R_E \parallel r_e)i_i$$

$r_e \ll R_E$ 이므로

$$R_i \equiv \frac{v_i}{i_i} = R_E \parallel r_e \simeq r_e$$

출력저항

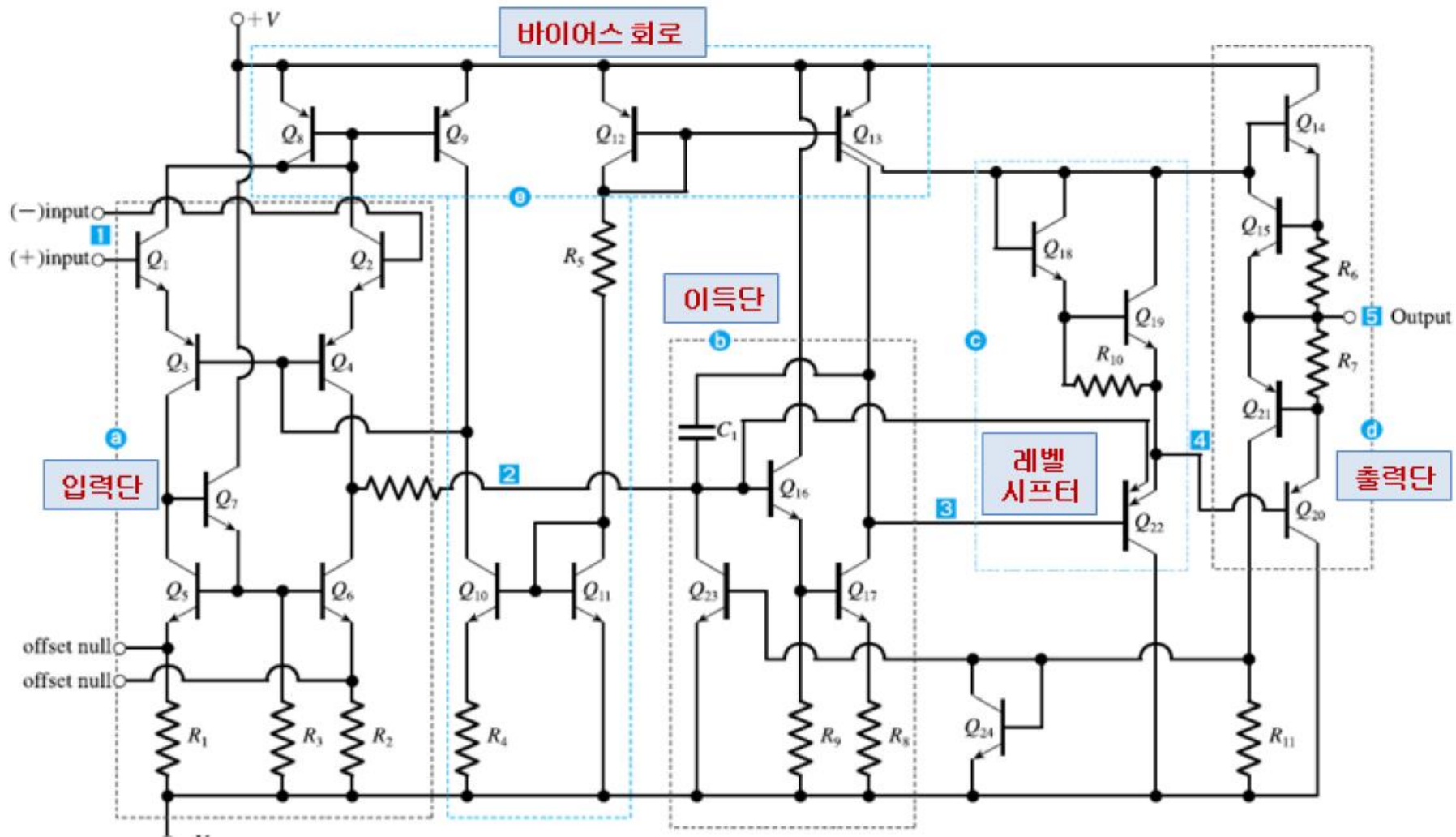
$$\downarrow r_o \gg R_C \text{이며 } r_o \parallel R_C \text{ 이면 } R_o \simeq R_C$$

공통 베이스 증폭기를 전류 버퍼라고도 함

반도체 설계_BJT_ AC 저주파 등가회로

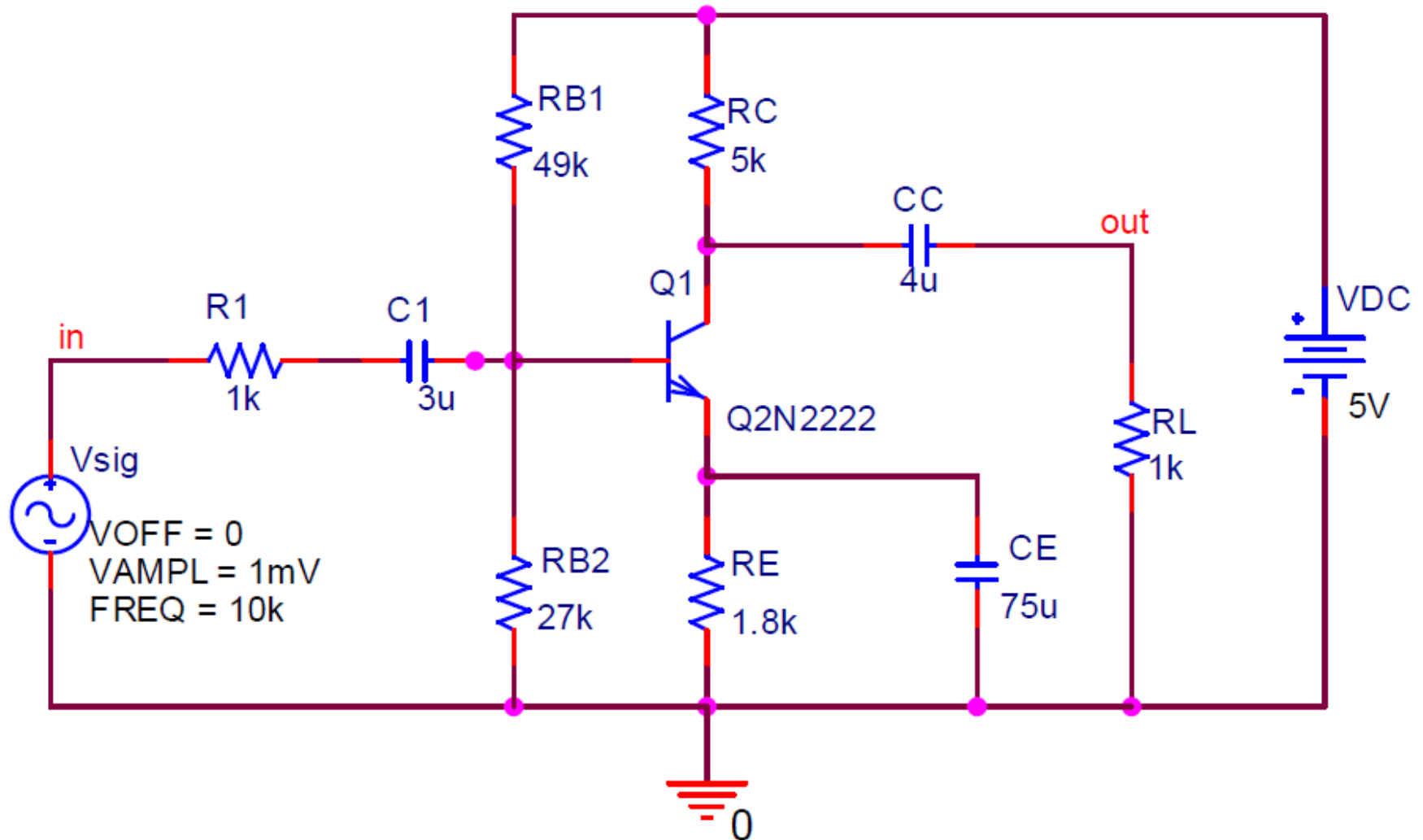
구성	전압이득	전류이득	입력저항	출력저항
공통 이미터	$A_v > 1$	$A_i > 1$	중간	중간~높음
공통 베이스	$A_v > 1$	$A_i \simeq 1$	낮음	중간~높음
공통 컬렉터	$A_v \simeq 1$	$A_i > 1$	높음	낮음

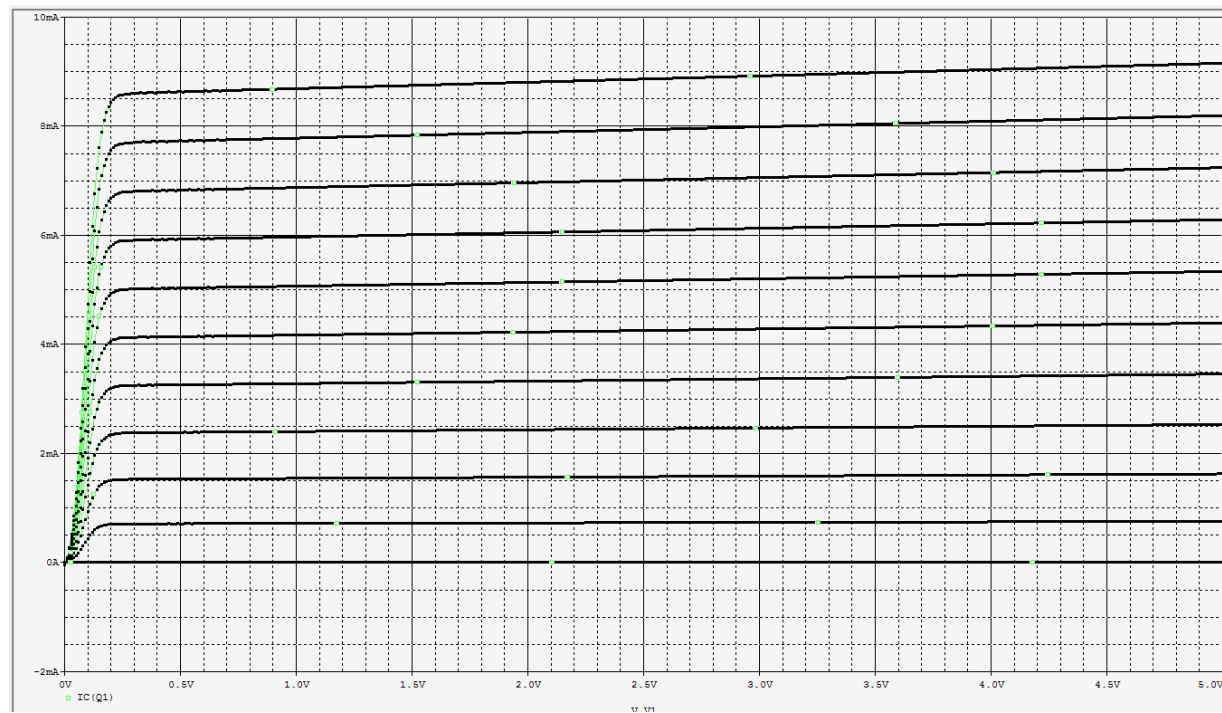
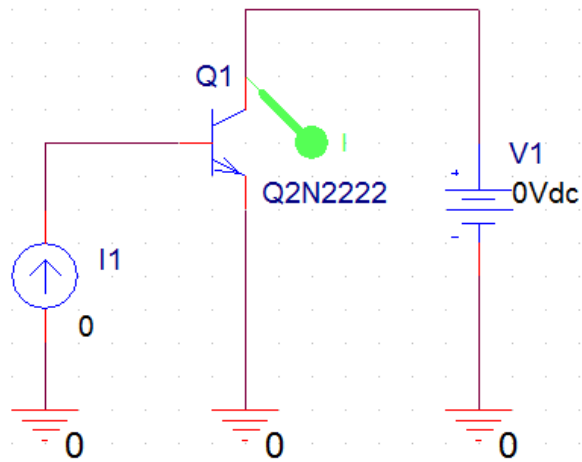
반도체 설계_BJT_OP AMP

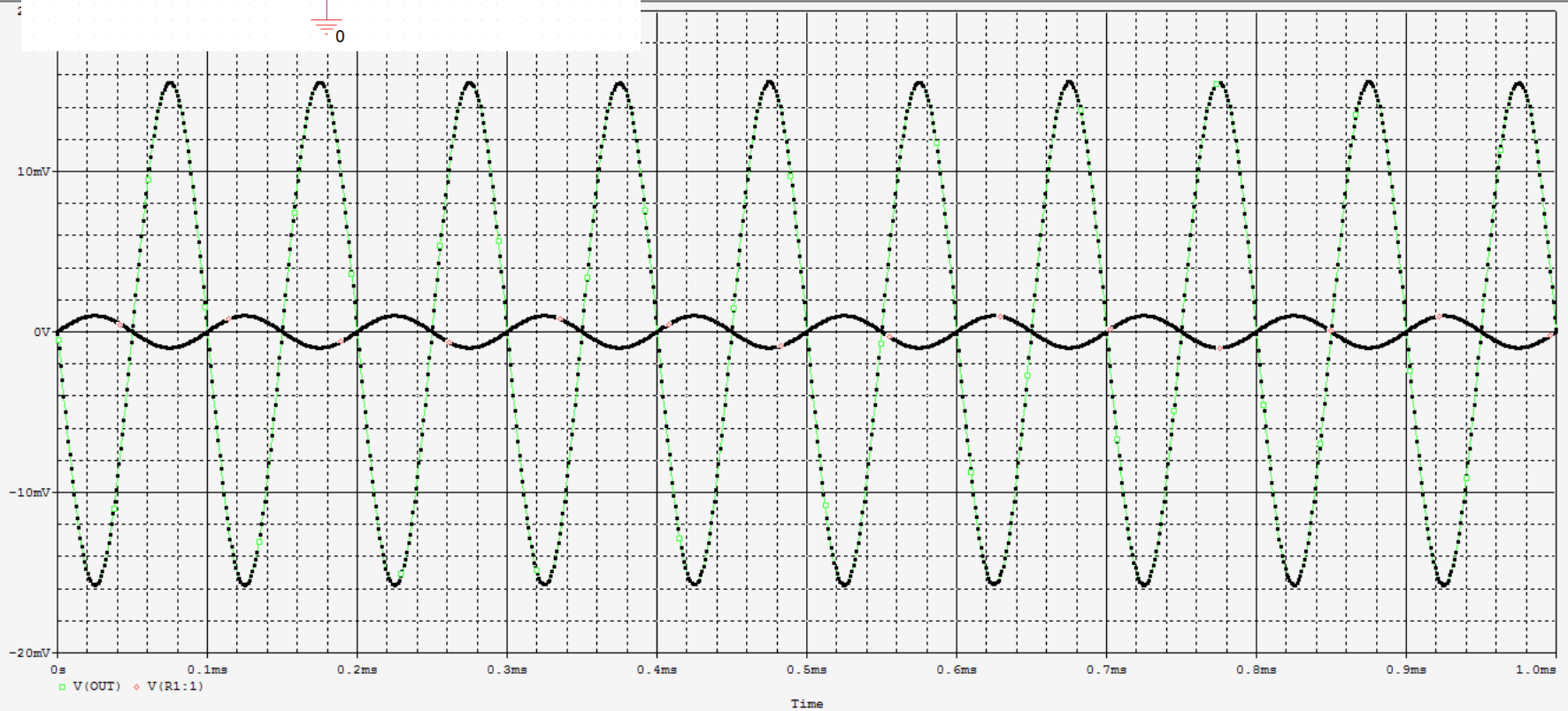
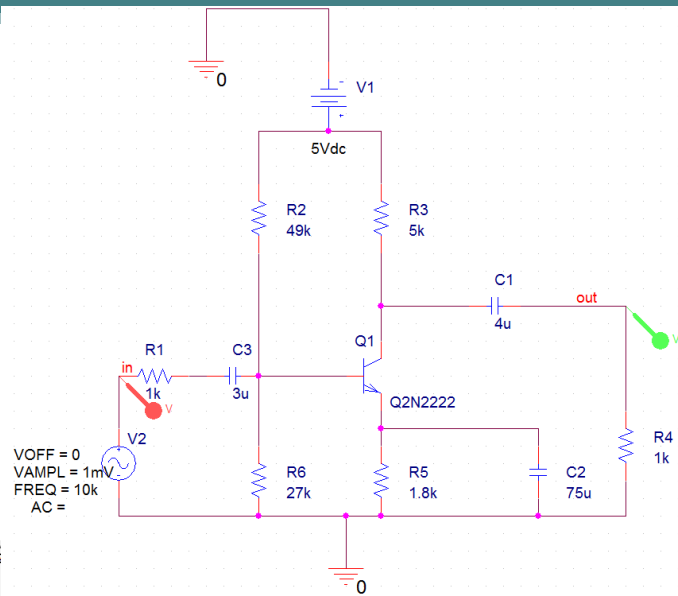


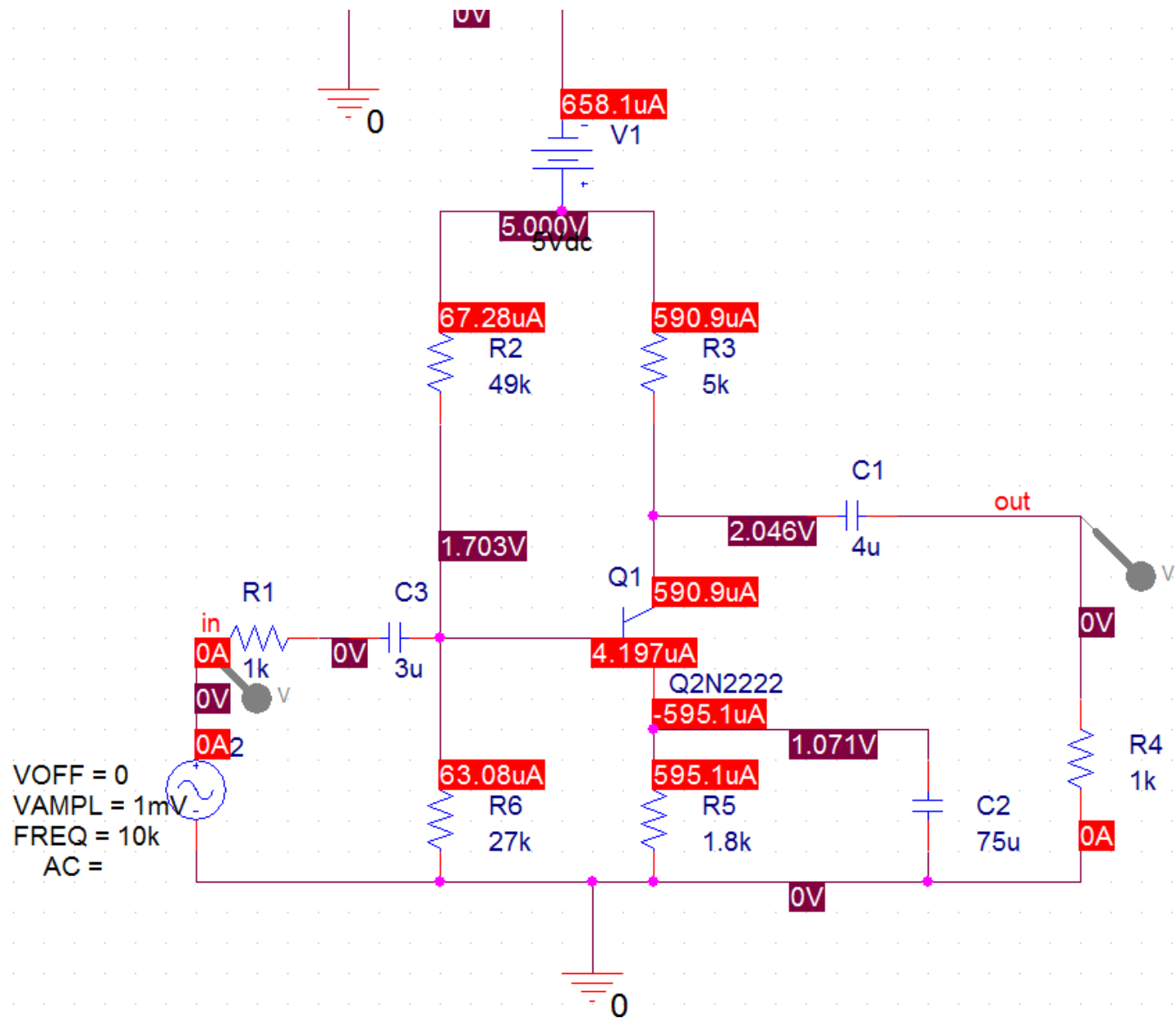
반도체 설계_BJT

- VSIN, R, C, Q2N2222, VDC, GND(Place Ground)

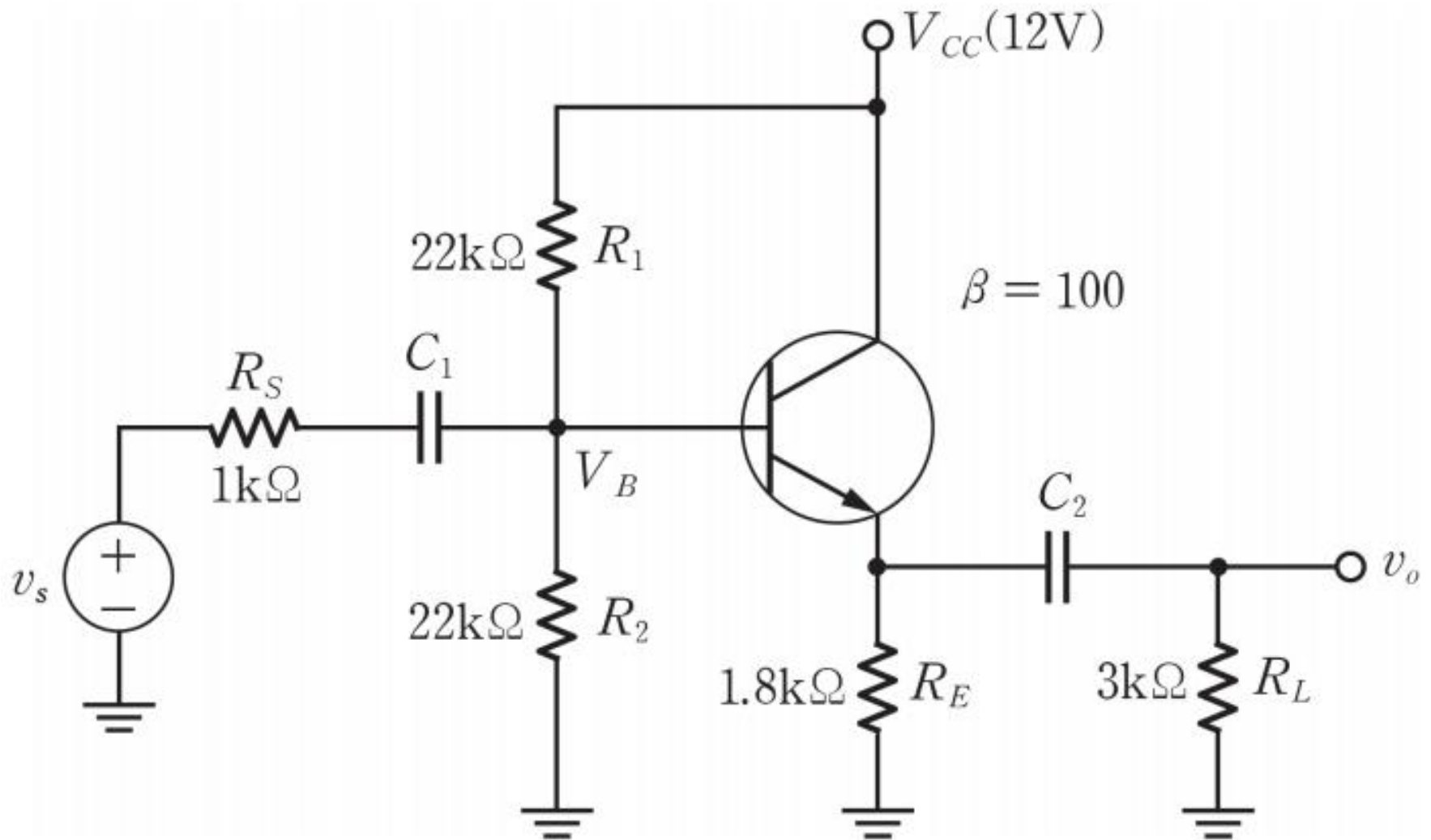








반도체 설계_BJT



반도체 설계_BJT

