

전자 회로 분석 참고 자료



반도체 설계_CMOS_Invertor

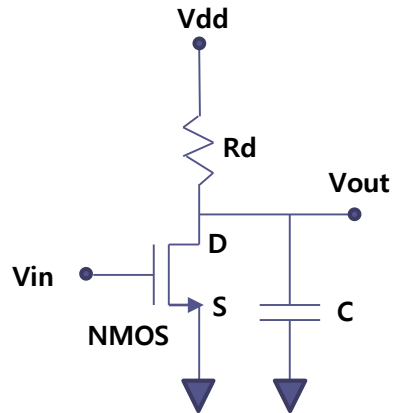
https://www.youtube.com/watch?v=tWwv4Cjz_38



http://www.ktword.co.kr/test/view/view.php?m_temp1=4615

<https://m.blog.naver.com/pk4101/221766023913>

<https://www.youtube.com/watch?v=xHagEkFhJiU>

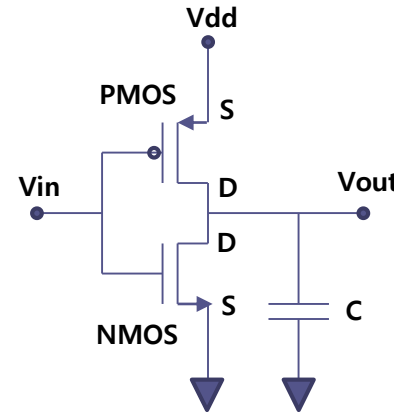


NMOS Converter

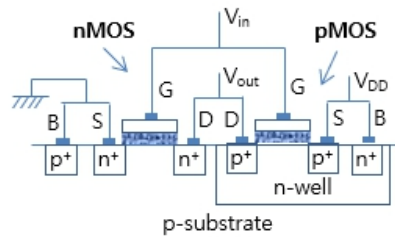
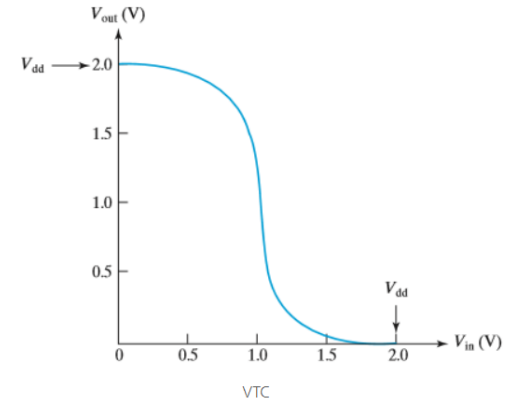
NMOS:ON일 경우 전류

$$I_D = \frac{V_{DD} - V_{out}}{R_D} \approx \frac{V_{DD}}{R_D}$$

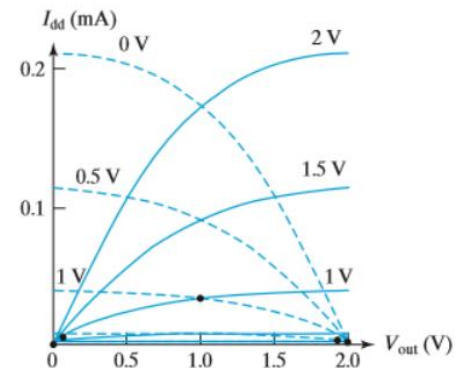
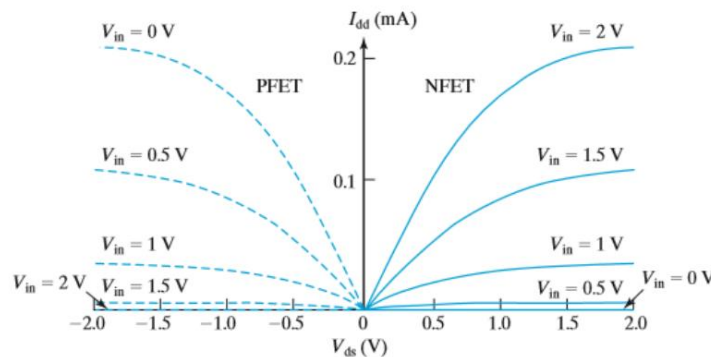
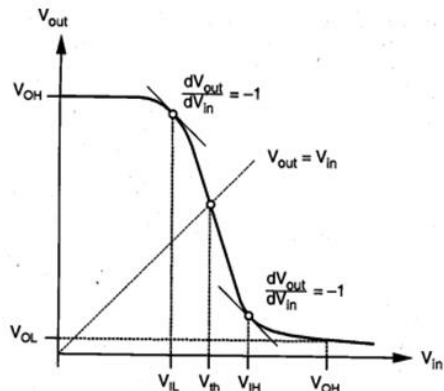
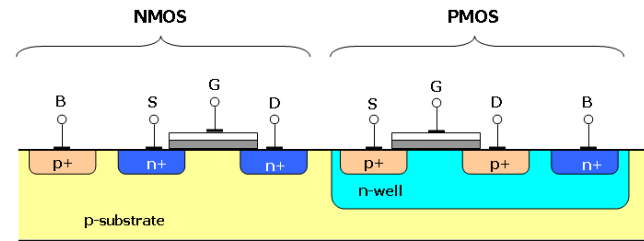
NMOS Max 전류를 고려 하여,
Rd 값을 선택



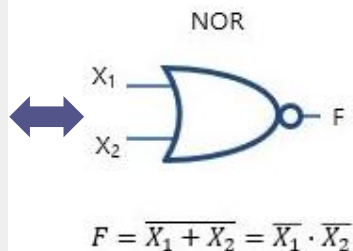
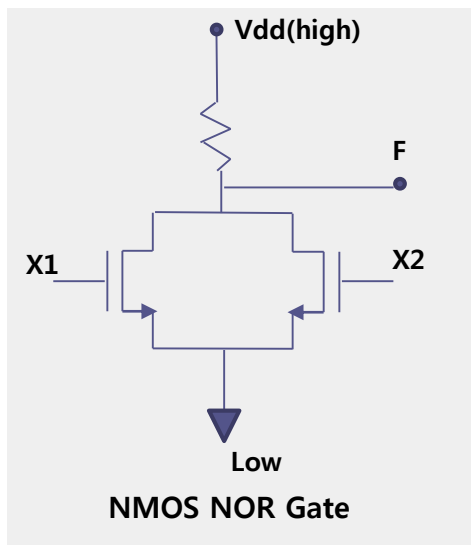
CMOS



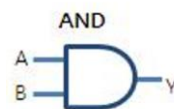
CMOS



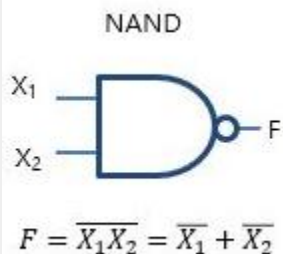
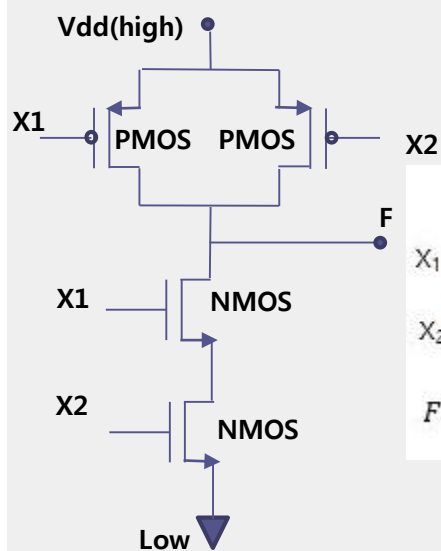
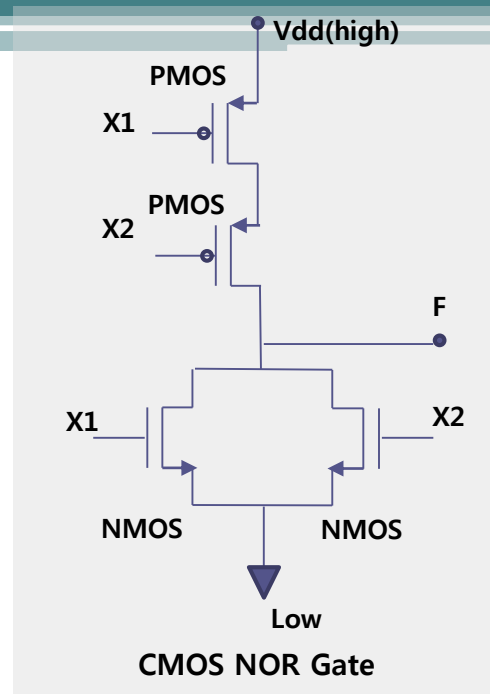
반도체 설계_NOR_NAND_AND



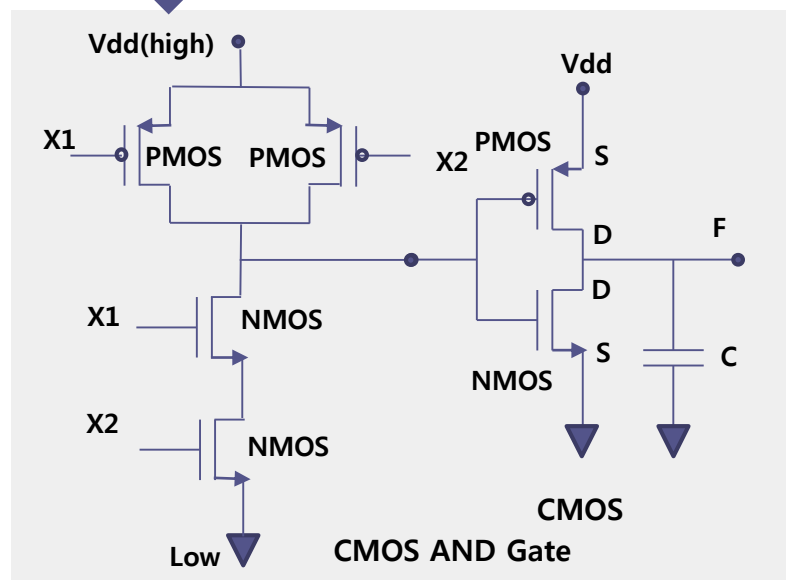
X ₁	X ₂	F
0	0	1
0	1	0
1	0	0
1	1	0



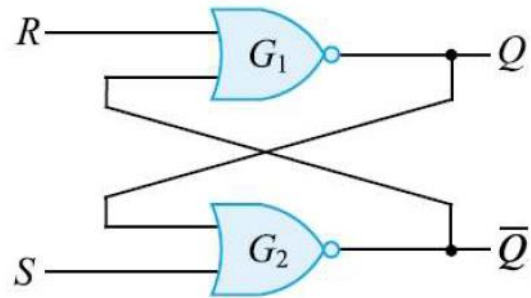
A	B	Y=A·B
0	0	0
0	1	0
1	0	0
1	1	1



X ₁	X ₂	F
0	0	1
0	1	1
1	0	1
1	1	0

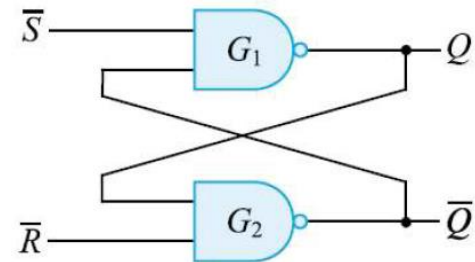
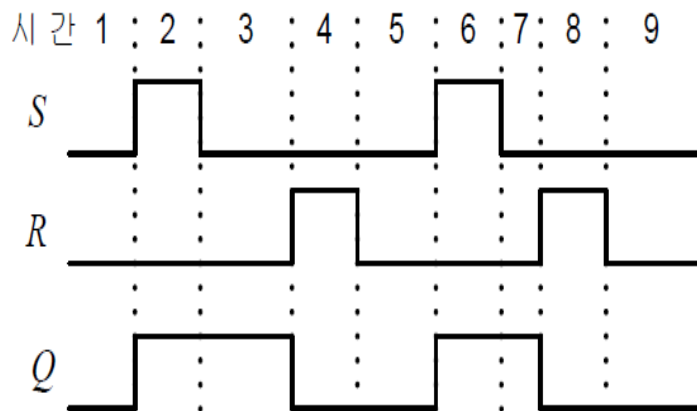


반도체 설계_S-R 래치,/S-/R 래치



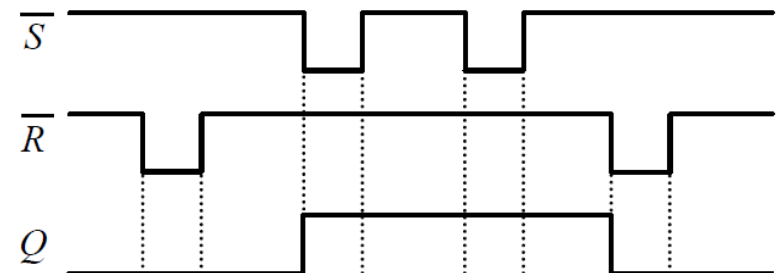
NOR Latch(NOR 래치 회로)

S	R	Q(t+1)
0	0	Hold(Q(t))현재 상태를
0	1	Reset(0)
1	0	Set(1)
1	1	Invalid

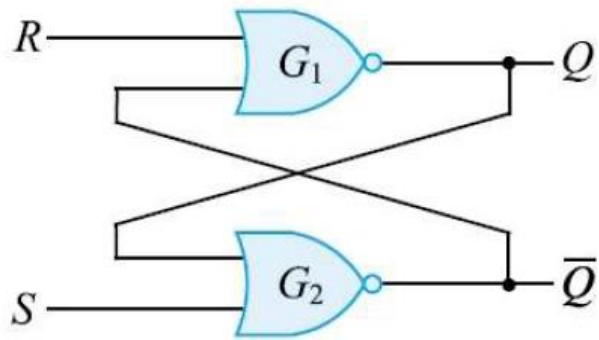


NAND Latch(NAND 래치 회로)

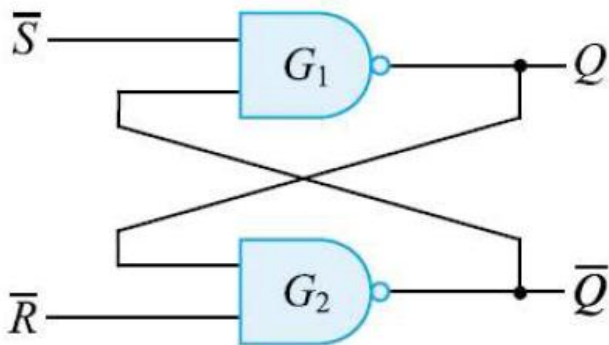
/S	/R	Q(t+1)
0	0	Invalid
0	1	Set(1)
1	0	Reset(0)
1	1	Hold(Q(t))현재 상태를



반도체 설계_Latch



NOR Latch



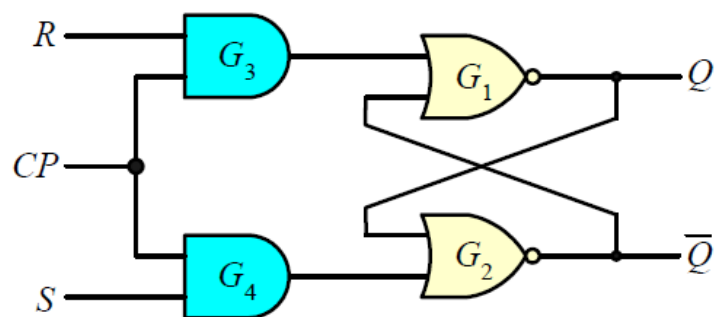
NAND Latch

진리표

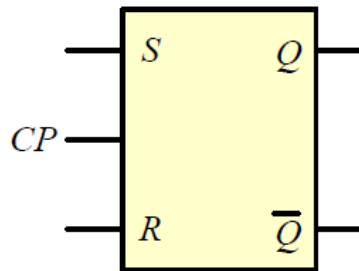
S	R	$Q(t+1)$, 상태
0	0	$Q(t)$, hold
0	1	0, reset
1	0	1, set
1	1	invalid, 금지

\overline{S}	\overline{R}	$Q(t+1)$
0	0	invalid, 금지
0	1	1, set
1	0	0, reset
1	1	$Q(t)$, hold

반도체 설계_ S-R Flip-Flop(NOR)



Clock S-R NOR latch



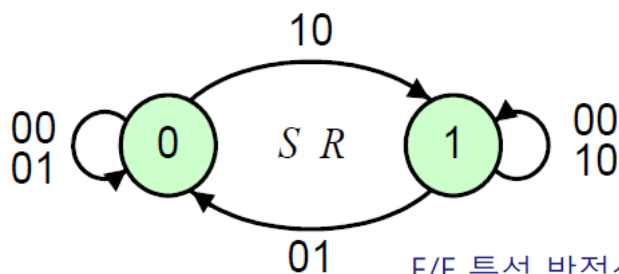
클록형 S-R 플립플롭의 진리표

CP	S	R	$Q(t+1)$
1	0	0	$Q(t)$
1	0	1	0
1	1	0	1
1	1	1	금지

❖ 클록형 S-R 플립플롭의 동작상태

- CP=0인 경우, S와 R의 입력에 관계없이 앞단의 AND 게이트 G_3 과 G_4 의 출력이 항상 0이므로 플립플롭의 출력은 불변.
- CP=1인 경우, S와 R의 입력이 회로 후단의 NOR 게이트 G_1 과 G_2 의 입력으로 전달되어 S-R 래치와 같은 동작 수행.

S-R 플립플롭의 상태도



F/F 특성 방정식
(characteristic equation)

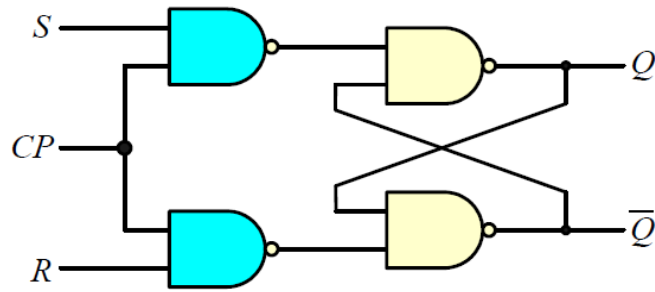
SR				
	00	01	11	10
Q				
0			X	1
1	1		X	1

$$Q(t+1) = S + \bar{R}Q, \quad SR = 0$$

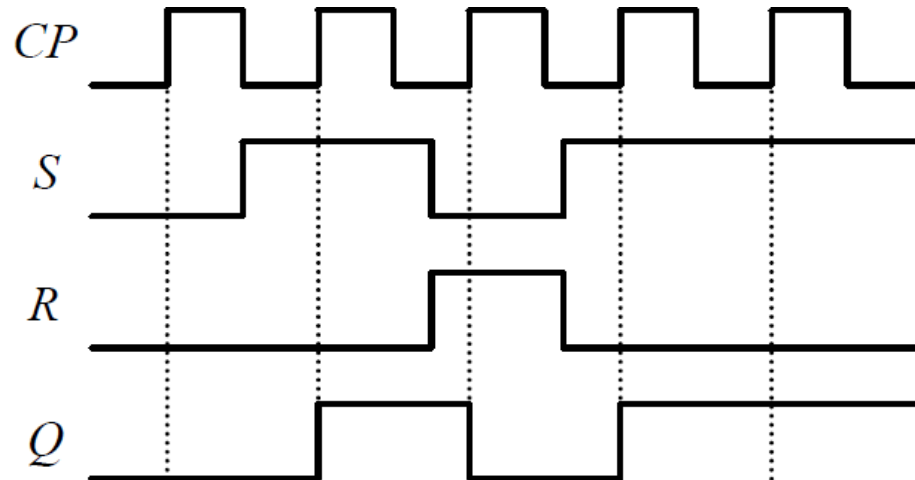
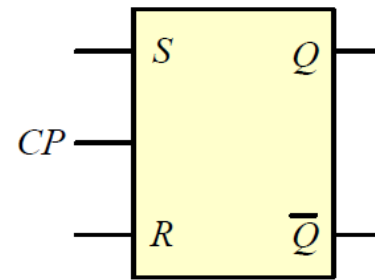
S-R 플립플롭의 특성표

$Q(t)$	S	R	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	금지
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	금지

반도체 설계_Clock S-R Flip-Flop(NAND)



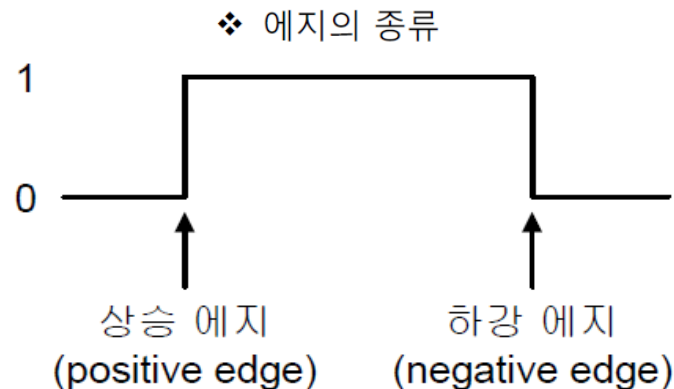
Clock S-R NAND latch



반도체 설계_Clock S-R Flip-Flop(NAND)

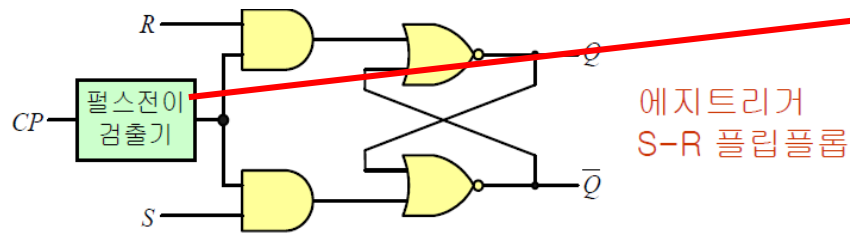
에지 트리거 S-R 플립플롭

- ❖ 클록형 S-R 플립플롭은 궤환(feedback)이 있는 회로이고 클록펄스가 1인 상태에서 모든 동작이 수행된다.
- ❖ 플립플롭의 동작시간보다도 클록펄스의 지속시간이 길면 플립플롭은 여러 번의 동작이 수행될 수 있다.
- ❖ 이를 방지하기 위하여 에지 트리거(edge trigger) 이용
- ❖ 트리거 종류 • 레벨(level) 트리거 • 에지(edge) 트리거

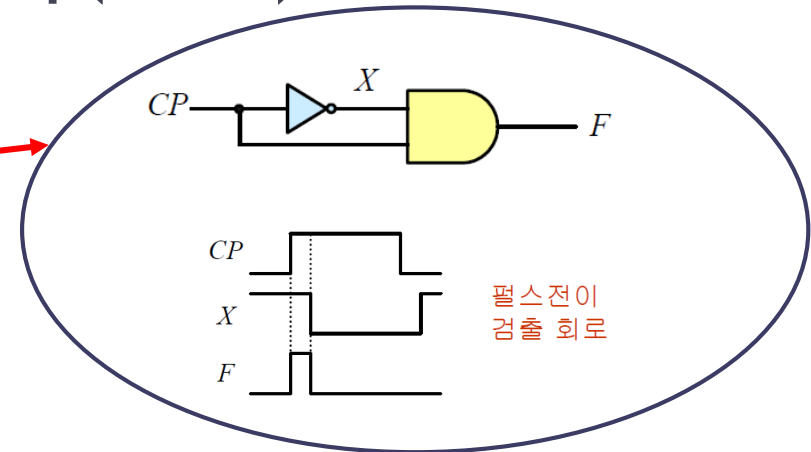


반도체 설계_Clock S-R Flip-Flop(NAND)

□ 에지 트리거링

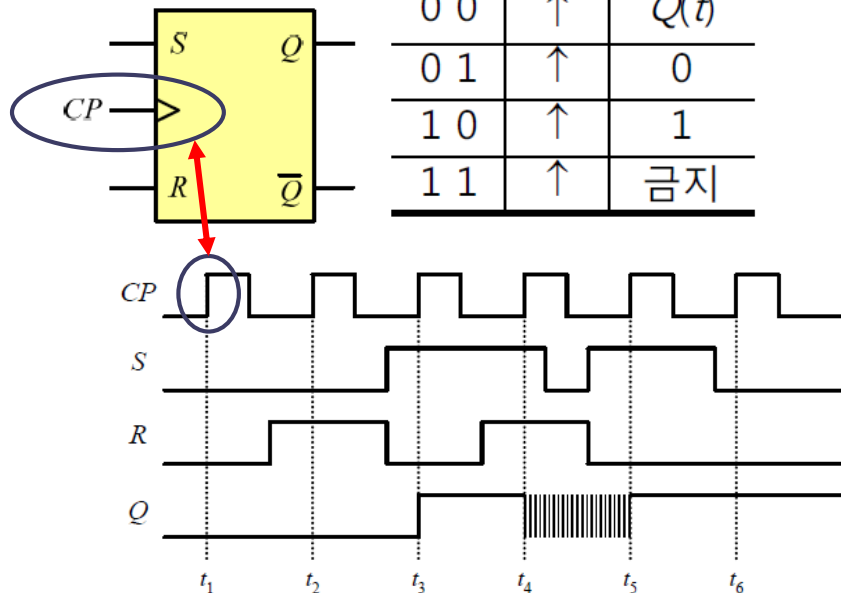


- S, R : 동기입력(synchronous input)이라 함.



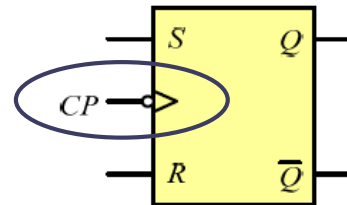
□ 에지트리거 S-R 플립플롭의 논리기호와 특성표

상승에지트리거
S-R 플립플롭



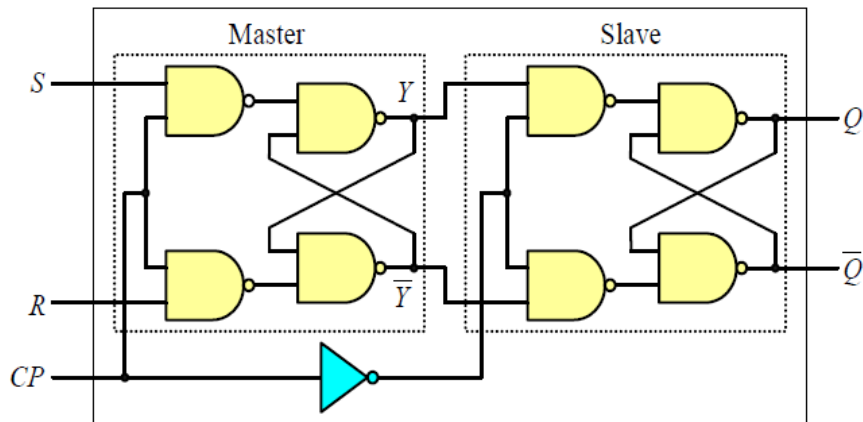
S	R	CP	$Q(t+1)$
0	0	↑	$Q(t)$
0	1	↑	0
1	0	↑	1
1	1	↑	금지

하강에지트리거
S-R 플립플롭



S	R	CP	$Q(t+1)$
0	0	↓	$Q(t)$
0	1	↓	0
1	0	↓	1
1	1	↓	금지

반도체 설계_Master/Slave S/R Flip-Flop



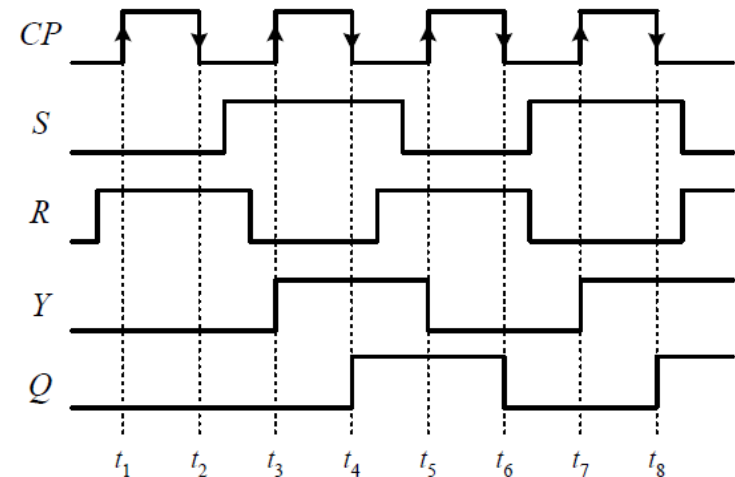
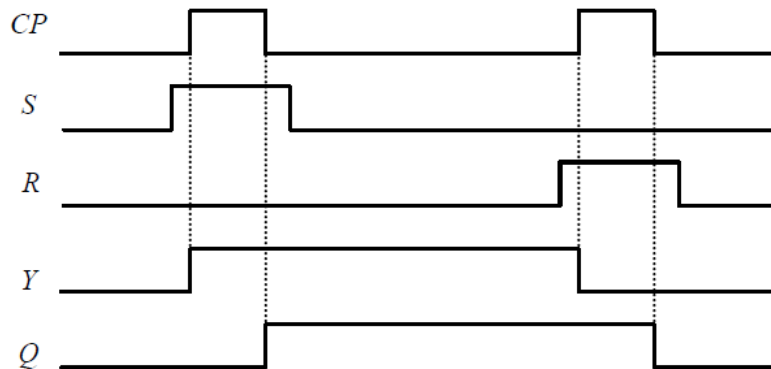
- 에지트리거 동작

$CP=1$

주 F/F에 외부의 R과 S 입력이 전달됨
종 F/F은 hold 상태로 이전값 유지

$CP=0$

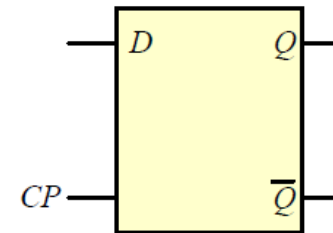
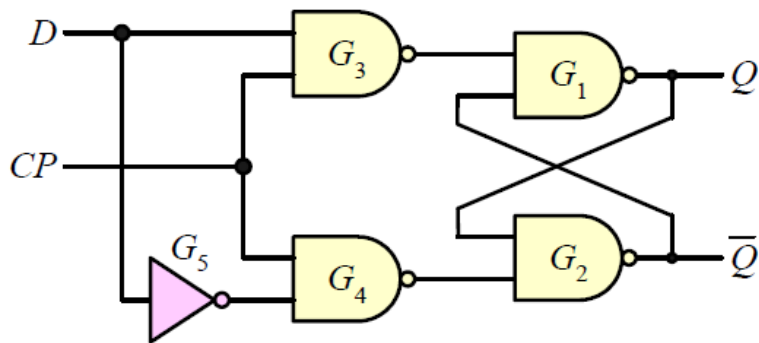
주 F/F은 $CP=0$ 이므로 hold
종 F/F은 동작하여 $Q=Y$, $\bar{Q}=\bar{Y}$



입력파형을 주종형 S-R 플립플롭에
인가하였을 때, 출력 Q의 파형
단, Q는 0으로 초기화

반도체 설계_D Flip-Flop

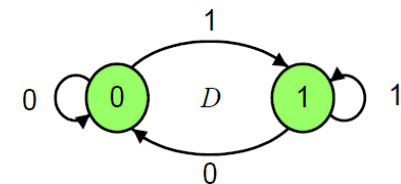
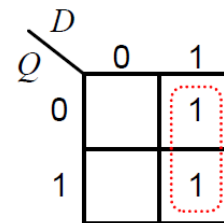
- ❖ 입력신호 D가 CP에 동기되어 그대로 출력에 전달
- ❖ D는 데이터(Data)를 전달, 또는 지연(Delay)의 의미



- ❖ CP=1, D=1 : G_3 출력은 0, G_4 출력은 1, 따라서 Q=1
- ❖ CP=1, D=0 : G_3 출력은 1, G_4 출력은 0, 따라서 Q=0

D 플립플롭 특성표

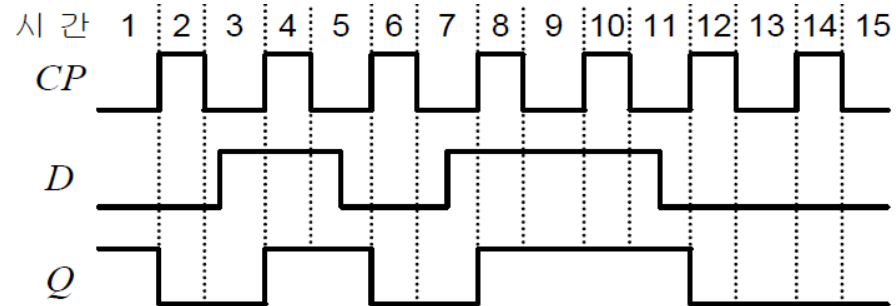
CP	D	$Q(t)$	$Q(t+1)$	동작
0	x	0	0	Hold
0	x	1	1	Hold
1	0	0	0	Reset
1	0	1	0	Reset
1	1	0	1	Set
1	1	1	1	Set



$Q(t+1) = D$ 특성 방정식
(characteristic equation)

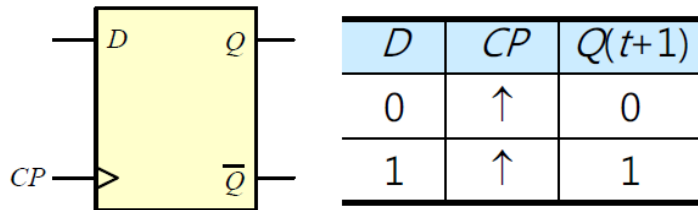
반도체 설계_D Flip-Flop

입력파형을 클록형 D 플립플롭에 인가하였을 때, 출력 Q의 파형을 그려라. 단, Q=1로 초기화되어 있다.

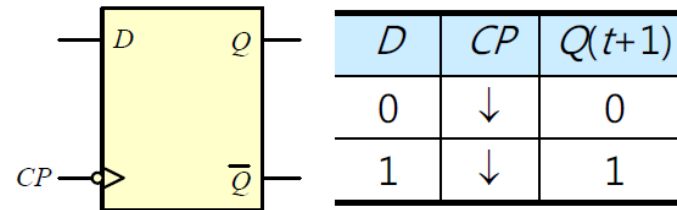


에지 트리거 D 플립플롭

❖ 클록형 D 플립플롭의 클록펄스 입력에 펄스 전이 검출기를 추가하여 구성

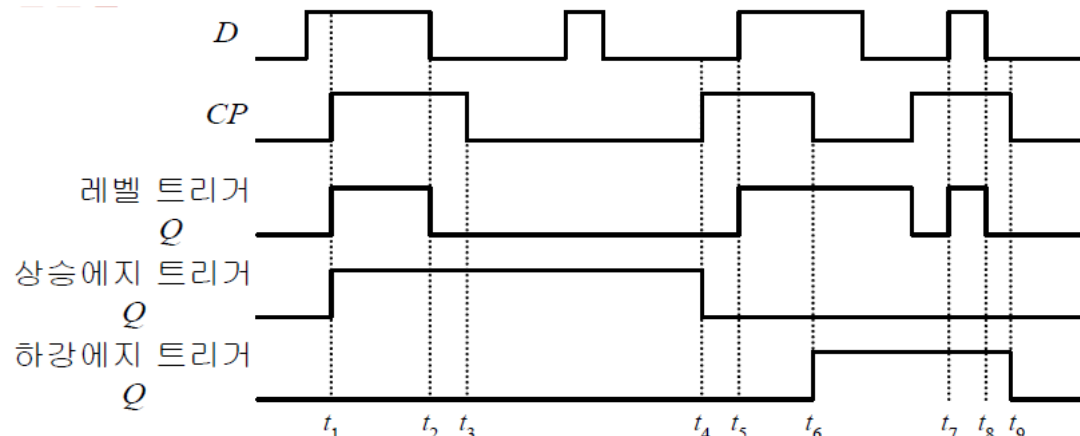


상승 에지 트리거 D 플립플롭



하강 에지 트리거 D 플립플롭

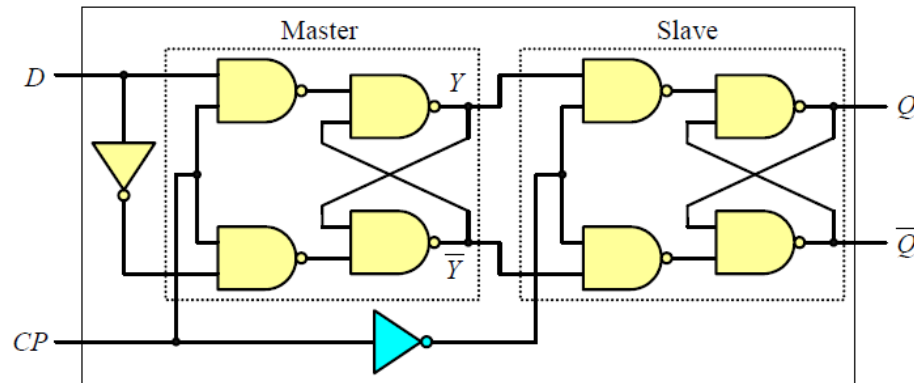
레벨 트리거, 상승에지 트리거 및 하강에지 트리거를 하는 각 D 플립플롭에 주어진 파형이 입력될 때, 출력 파형을 그려라. 단, 출력 Q=0으로 초기화되어 있다.



반도체 설계_Master/Slave D Flip-Flop

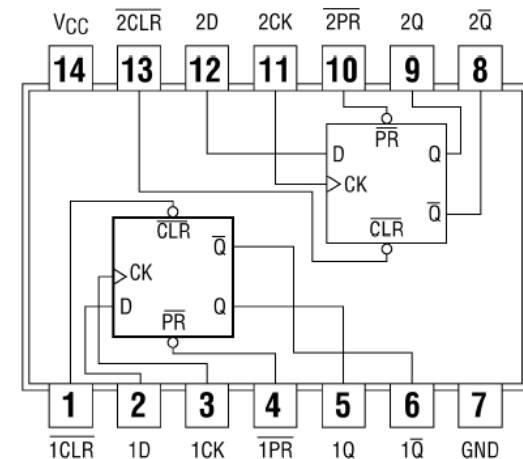
CP=1 : 외부 D 입력이 Master FF에 전달, Slave FF은 CP=0이 되어 hold

CP=0 : Slave FF은 동작하여 $Q=Y$, Master FF은 CP=0이므로 hold



□ 7474(Dual 상승에지 트리거 D 플립플롭)

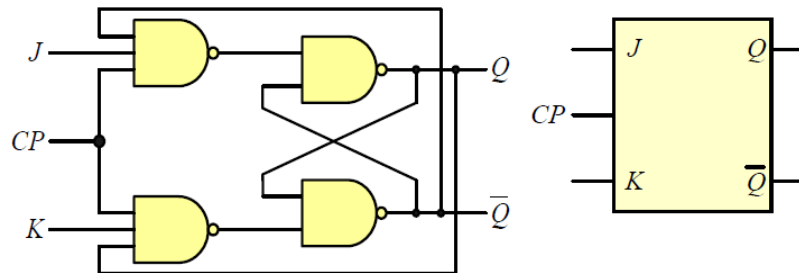
- ❖ \overline{PR} 과 \overline{CLR} 은 active low, 비동기 입력
- ❖ 비동기프리셋 : $\overline{PR} = 0$, 입력D나 CP에 관계없이 $Q=1$
- ❖ 비동기리셋 : $\overline{CLR} = 0$ 이면 D나 CP에 관계없이 $Q=0$



반도체 설계_Master/Slave D Flip-Flop

JK Flip-Flop

- ❖ JK FF의 J는 S(set)에, K는 R(reset)에 대응하는 입력
- ❖ J=1, K=1인 경우 F/F의 출력은 이전 출력의 반전, toggle



J-K 플립플롭의 진리표

CP	J	K	$Q(t+1)$
1	0	0	$Q(t)$, hold
1	0	1	0, reset
1	1	0	1, set
1	1	1	$\bar{Q}(t)$, toggle

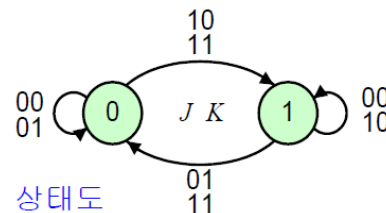
특성표

$Q(t)$	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

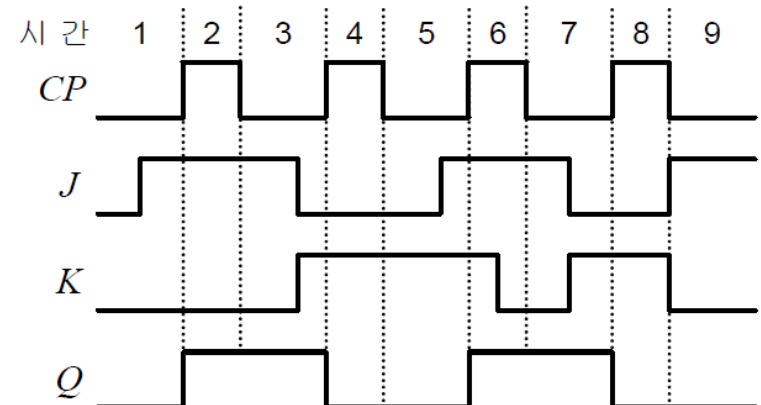
JK	00	01	11	10
Q			1	1
1	1			1

$$Q(t+1) = J\bar{Q} + \bar{K}Q$$

특성방정식

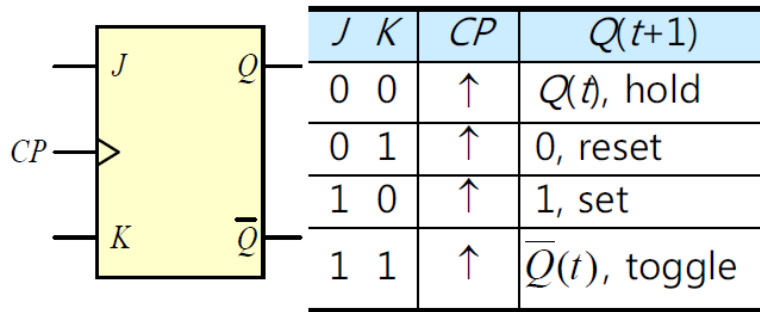


상태도

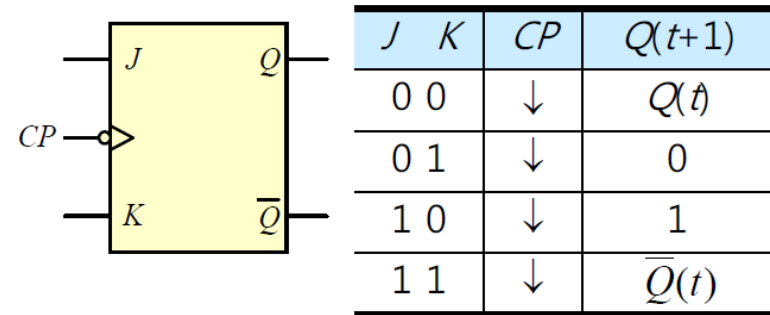


반도체 설계_J-K Flip-Flop

▶ 에지 트리거 JK 플립플롭의 논리기호와 특성표

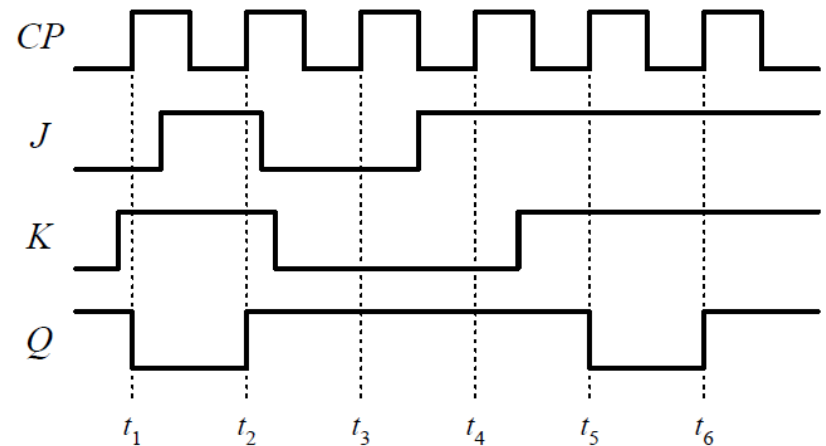


상승 에지 트리거 JK FF



하강 에지 트리거 JK FF

입력 파형을 상승에지 JK FF에
인가하였을 때, 출력 Q의 파형 Q=1로 초기화

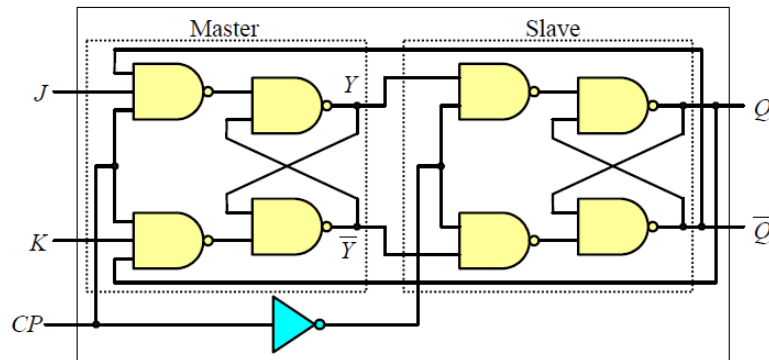


반도체 설계_J-K Flip-Flop

Master/Slave J-K Flip-Flop

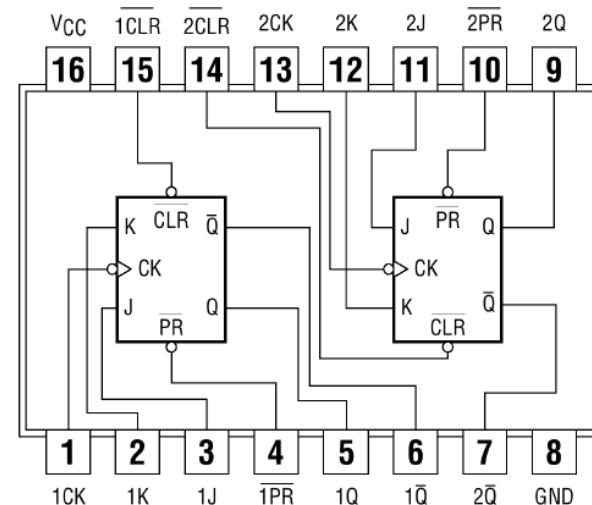
CP=1: J와 K 입력이 Master에 전달, Slave는 hold

CP=0: Slave 는 동작하여 $Q=Y$, Master 는 hold



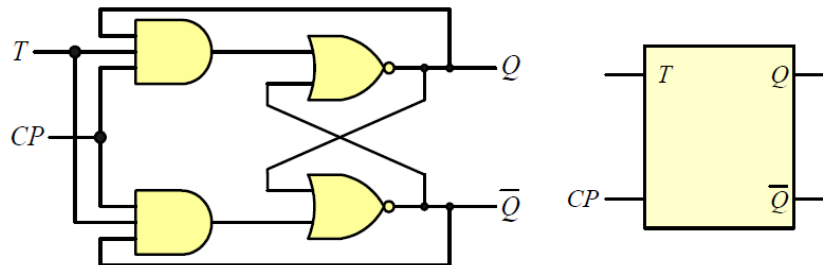
□ 7476 Dual 하강에지 트리거 주종형 JK 플립플롭)

- ❖ JK FF은 카운터에서 많이 사용된다.
- ❖ 비동기 입력인 \overline{PR} 과 \overline{CLR} 단자가 있다.



반도체 설계_T Flip-Flop

- ❖ JK FF의 J와 K 입력을 묶어서 하나의 입력신호 T로 사용
- ❖ T 플립플롭의 입력 $T=0$ 이면, $J=0$, $K=0$ 와 같으므로, Q는 hold,
 $T=1$ 이면, $J=1$, $K=1$ 과 같으므로, Q는 toggle 상태



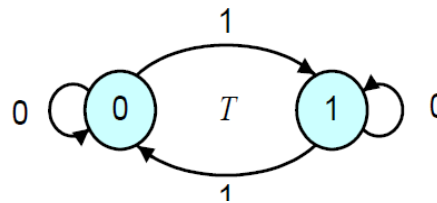
CP	T	$Q(t+1)$
1	0	$Q(t)$
1	1	$\bar{Q}(t)$

T 플립플롭 특성표

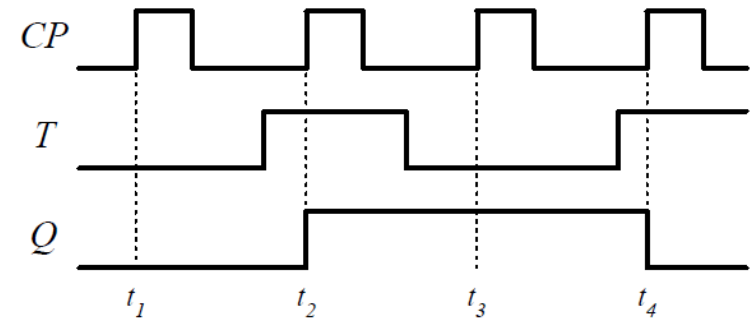
$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

특성표

T \ Q	0	1
0		1
1	1	



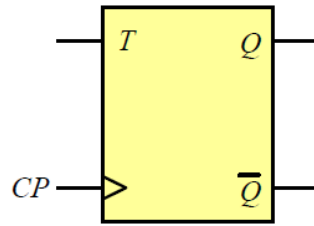
상태도



반도체 설계_T Flip-Flop

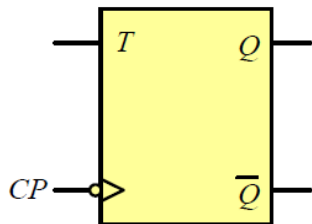
□ 에지 트리거 T 플립플롭

❖ 클록형 T 플립플롭의 클록펄스 입력에 펄스 전이 검출기를 추가하여 구성



T	CP	$Q(t+1)$
0	↑	$Q(t)$
1	↑	$\overline{Q}(t)$

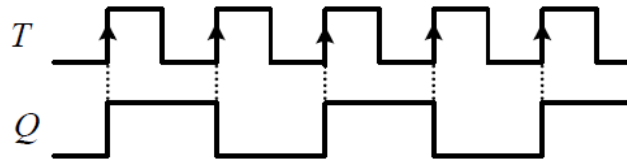
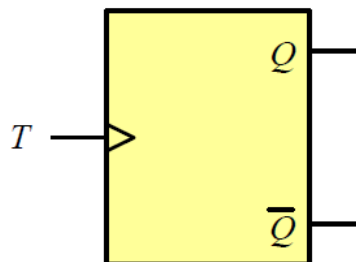
상승 에지 트리거 T 플립플롭



T	CP	$Q(t+1)$
0	↓	$Q(t)$
1	↓	$\overline{Q}(t)$

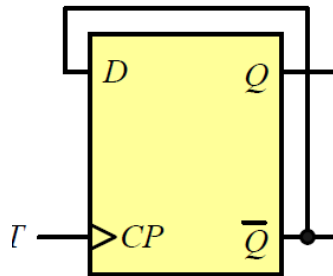
하강 에지 트리거 T 플립플롭

- ❖ 에지트리거 T FF은 T 입력은 논리 1 상태로 고정하고 CP에 클록펄스를 트리거 입력으로 사용하기도 한다. 이 경우 T FF은 펄스가 들어올 때마다 상태가 토글된다.
 ← binary 카운터 회로에 사용

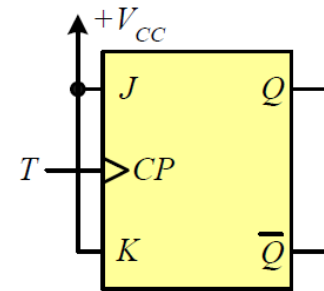


반도체 설계_T Flip-Flop

T 플립플롭 회로 구성

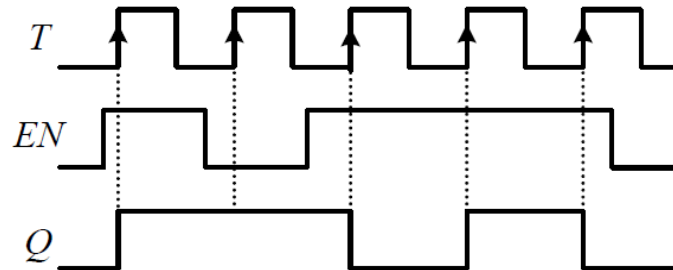
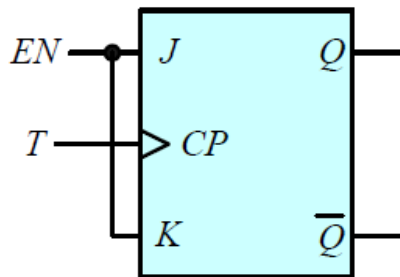


D 플립플롭 이용



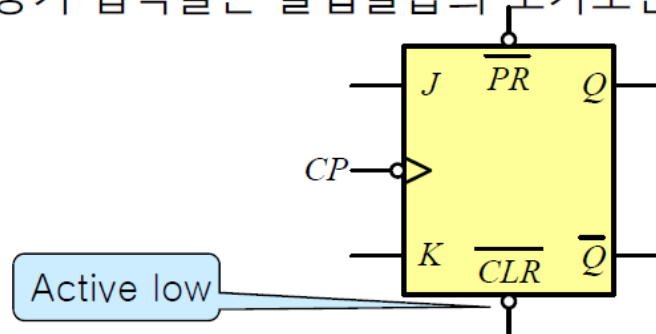
JK 플립플롭 이용

입력파형을 클록형 T 플립플롭에 인가하였을 때, 출력 Q의 파형 Q는 0으로 초기화



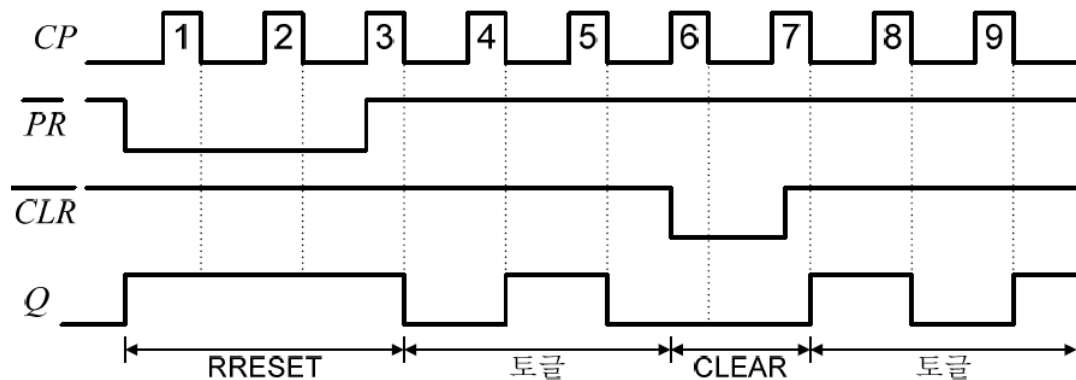
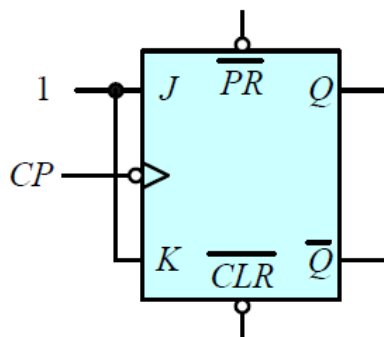
반도체 설계_비동기 입력

- ❖ 대부분의 플립플롭은 클록펄스에 의해서 플립플롭의 상태를 변화시킬 수 있는 동기 입력이 있고, 클록펄스와 관계없이 비동기적으로 변화시킬 수 있는 비동기 입력인 preset(\overline{PR}) 입력과 clear(\overline{CLR}) 입력이 있다.
- ❖ 비동기 입력들은 플립플롭의 초기조건 결정 등에 사용



\overline{PR}	\overline{CLR}	CP	J	K	Q	\overline{Q}
0	1	x	x	x	1	0
1	0	x	x	x	0	1
1	1	↓	0	0	hold	
1	1	↓	0	1	0	1
1	1	↓	1	0	1	0
1	1	↓	1	1	toggle	

하강에지 JK FF의 J와 K 입력을 논리 1로 하고, \overline{PR} 과 \overline{CLR} 입력에 그림의 파형을 인가하였을 때, 출력 Q의 파형을 그려라. 단, Q는 0으로 초기화되어 있다.



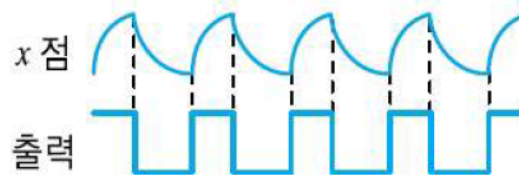
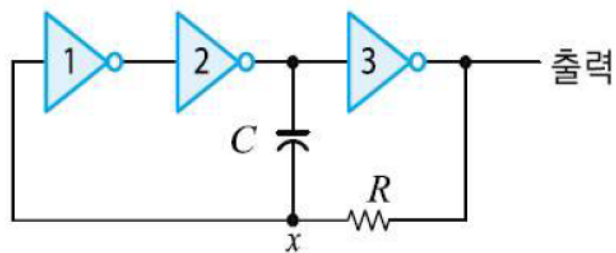
반도체 설계_멀티바이브레이터

- ❖ 멀티바이브레이터(Multivibrator, MV)는 디지털 시스템에서 2진수를 저장하고, 펄스 수를 세며, 연산 동기화, 클럭 생성 등의 기능 수행
- ❖ 구성에 따른 멀티바이브레이터의 종류
 - 무안정 멀티바이브레이터(astable MV, 구형파 발진기)
 - 단안정 멀티바이브레이터(monostable MV, 혹은 one-shot MV)
 - 쌍안정 멀티바이브레이터(bistable MV, 플립플롭과 같음)

1. 무안정 멀티바이브레이터

- ❖ 무안정(또는 비안정, 불안정) MV는 불안정한 두 가지 상태인 High 또는 Low 상태를 가지며, 한쪽 상태에 머무르지 못하고 두 상태를 교대로 변화하는 일종의 발진기(oscillator, free running)
- ❖ 외부 입력 없이 스스로 주기적인 구형파 발생

□ NOT 게이트를 이용한 무안정 MV 회로

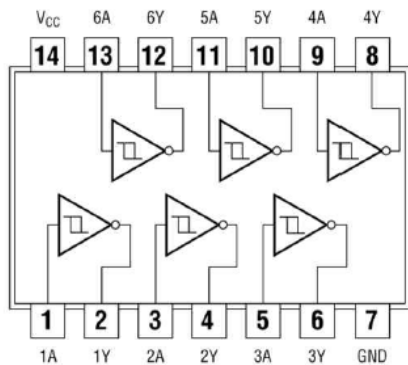


발진 주파수 : $f = \frac{0.455}{RC}$

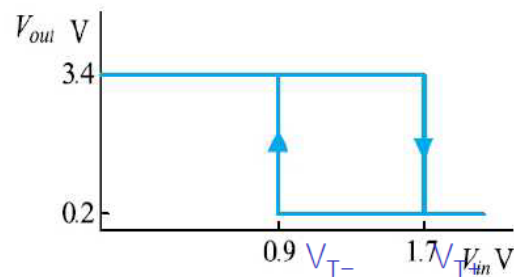
반도체 설계_슈미트 트리거

□ 슈미트 트리거를 이용한 무안정 MV 회로

- ❖ 슈미트 트리거(Schmitt trigger)는 단안정 MV로 사용 가능
- ❖ 입출력 특성곡선의 Hysteresis에 의한 발진 생성
- ❖ 구형파가 아닌 입력이 들어오더라도 구형파 출력을 얻을 수 있음.



핀 배치도

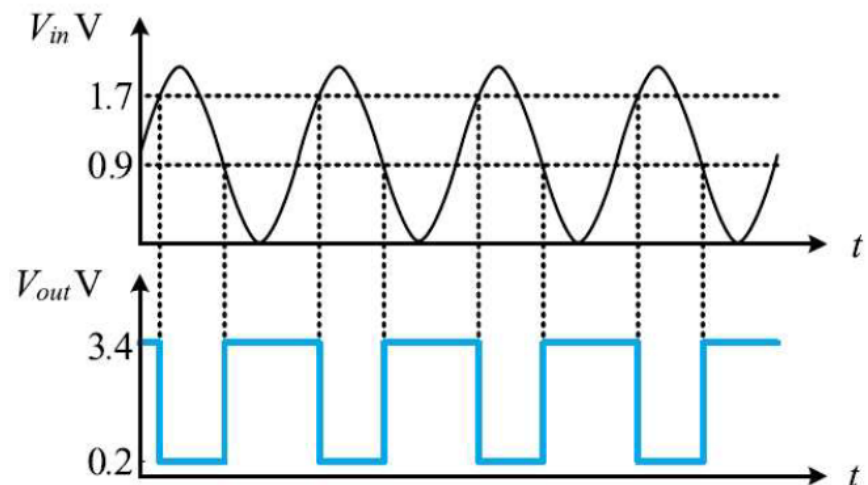
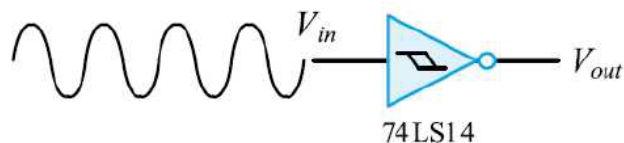


입출력 특성곡선

V_{T+} 상승 임계전압, UTL

V_{T-} 하강 임계전압, LTL

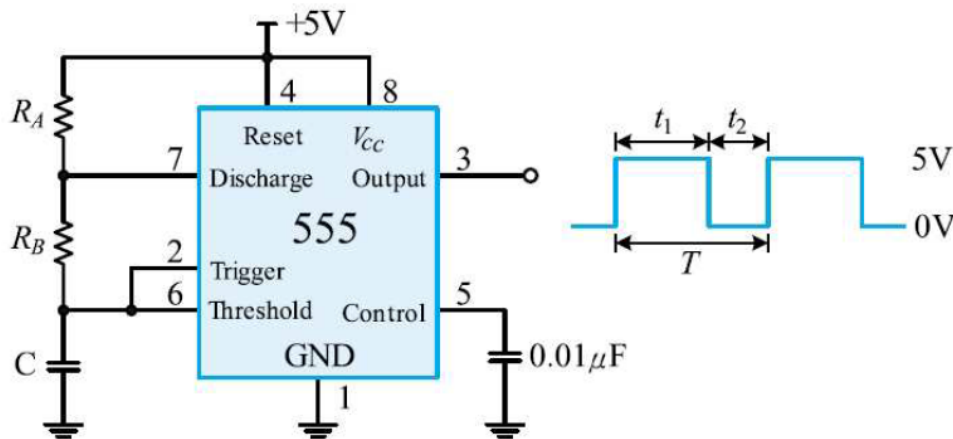
슈미트 트리거의 입출력 파형



반도체 설계_타이머 555

□ 무안정 MV로 동작하는 타이머 555

❖ 타이머 555는 구형파 발생 및 단안정 MV로서 널리 사용



$$t_1 = 0.693(R_A + R_B)C, \quad t_2 = 0.693R_B C$$

$$\text{주파수 : } f = \frac{1}{T} = \frac{1.43}{(R_A + 2R_B)C}$$

$$\text{duty cycle} = \frac{t_1}{T} = \frac{t_1}{t_1 + t_2} = \frac{R_A + R_B}{R_A + 2R_B} \times 100\%$$

타이머 555를 이용한 구형파 발생기

555 타이머가 위 그림과 같이 무안정 MV로 동작하는 경우 출력파형의 주파수와 듀티 사이클을 구하여라.

단, $R_A = 2.2\text{k}\Omega$, $R_B = 100\text{k}\Omega$, $C = 0.001\mu\text{F}$ 라고 가정한다.

$$f = \frac{1.43}{(R_A + 2R_B)C} = \frac{1.43}{(2.2 \times 10^3 + 2 \times 100 \times 10^3) \times 0.001 \times 10^{-6}} = 7.07\text{kHz}$$

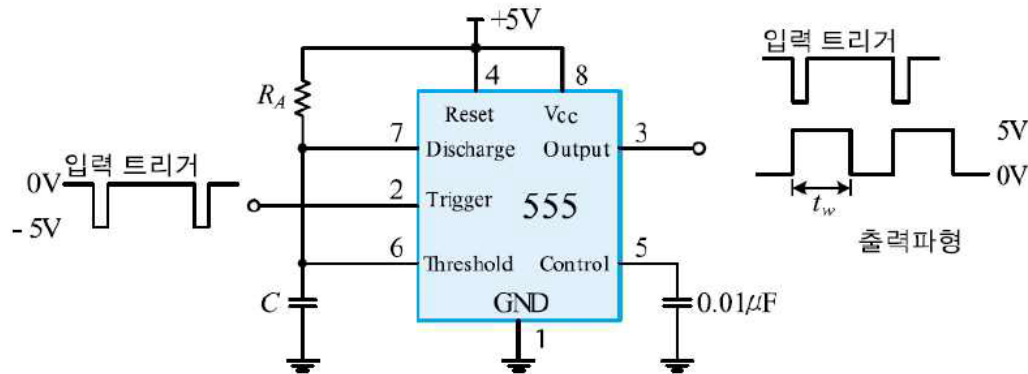
$$\text{Duty Cycle} = \frac{R_A + R_B}{R_A + 2R_B} \times 100\% = \frac{2.2 \times 10^3 + 100 \times 10^3}{2.2 \times 10^3 + 2 \times 100 \times 10^3} \times 100\% = 50.5\%$$

$R_B \gg R_A$ 이므로 듀티 사이클은 약 50%이다.

반도체 설계_타이머 555

□ 단안정 MV로 동작하는 타이머 555

❖ 타이머 555는 non-retriggerable 단안정 MV 사용 가능



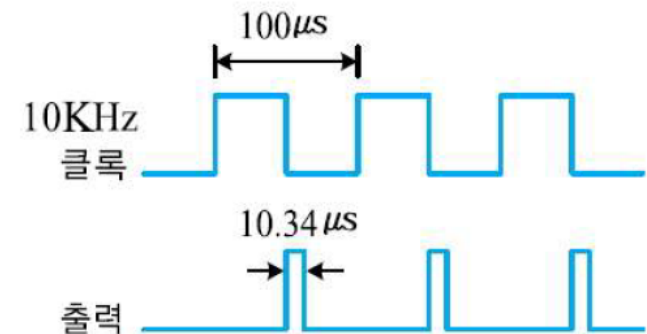
출력 펄스의 폭 : $t_w \cong 1.1R_A C$

위회로에서 2번 핀인 트리거 단자로 10KHz 클럭이 입력된다고 가정한다. 이 경우 출력파형을 그려라. 여기서 $R_A = 4.7\text{k}\Omega$, $C = 0.002\mu\text{F}$ 이다.

$$\text{입력클럭 주기 : } T_{CLK} = \frac{1}{f} = \frac{1}{10 \times 10^3} = 100\mu\text{s}$$

$$\begin{aligned} \text{출력펄스 폭 : } t_w &\cong 1.1R_A C \\ &= 1.1 \times 4.7 \times 10^3 \times 0.002 \times 10^{-6} \\ &= 10.34\mu\text{s} \end{aligned}$$

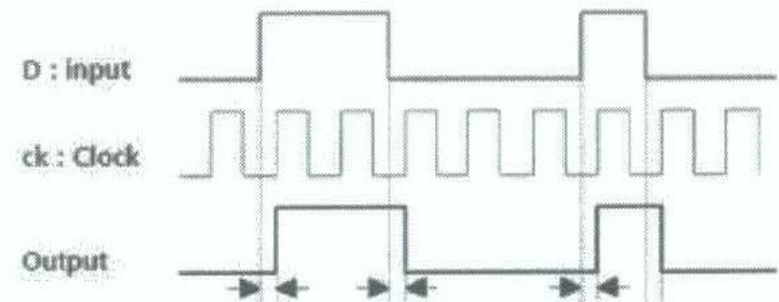
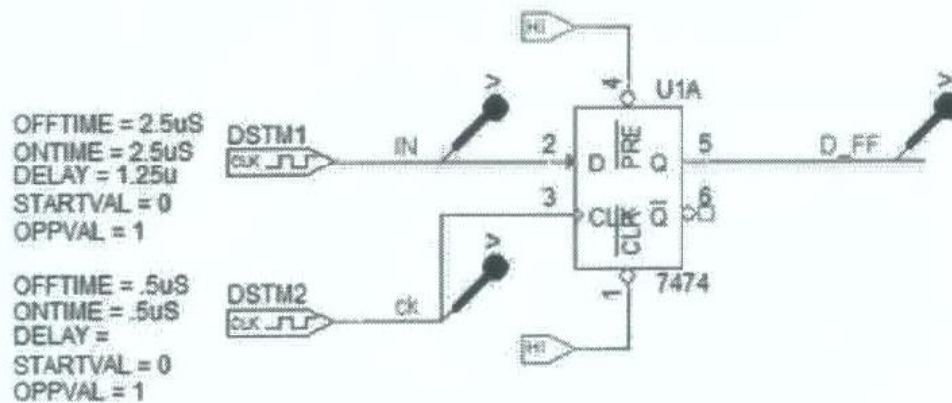
출력파형 : 트리거 입력의 하강에지에서 동작



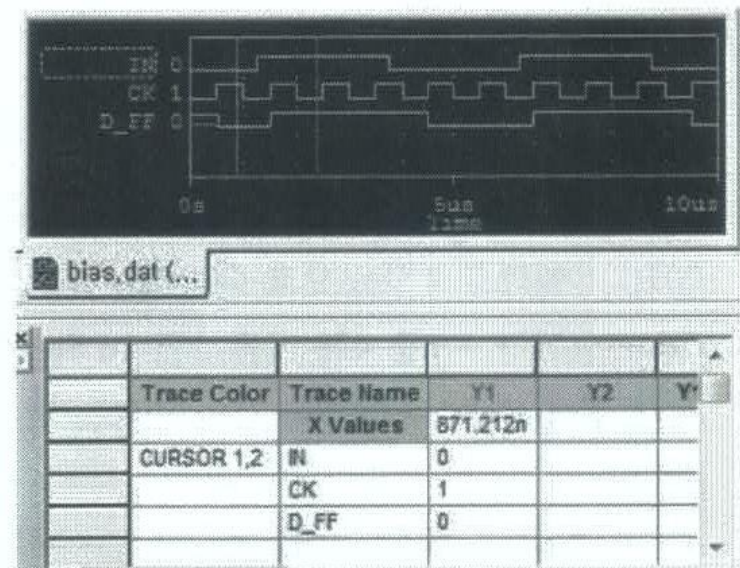
5. 디지털 논리회로 설계 및 실습

277 / 360

■ D Flipflop



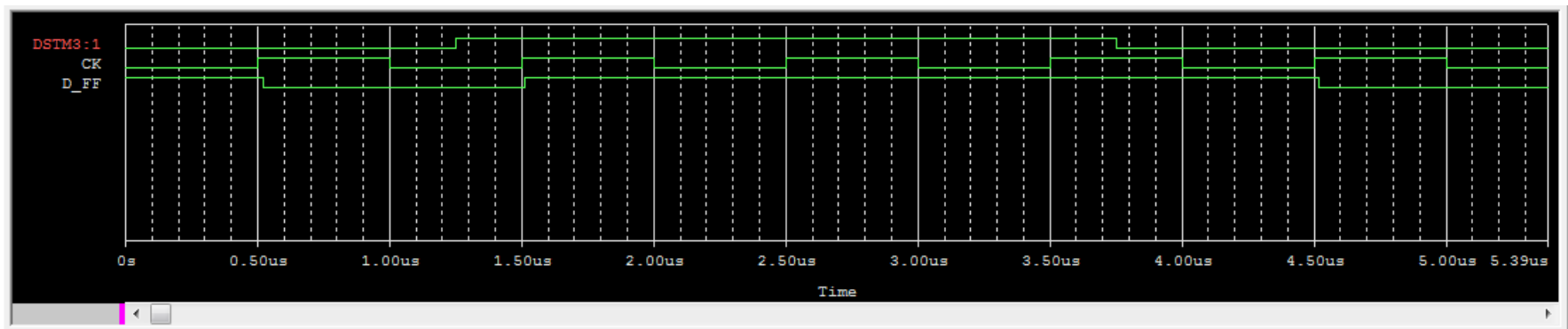
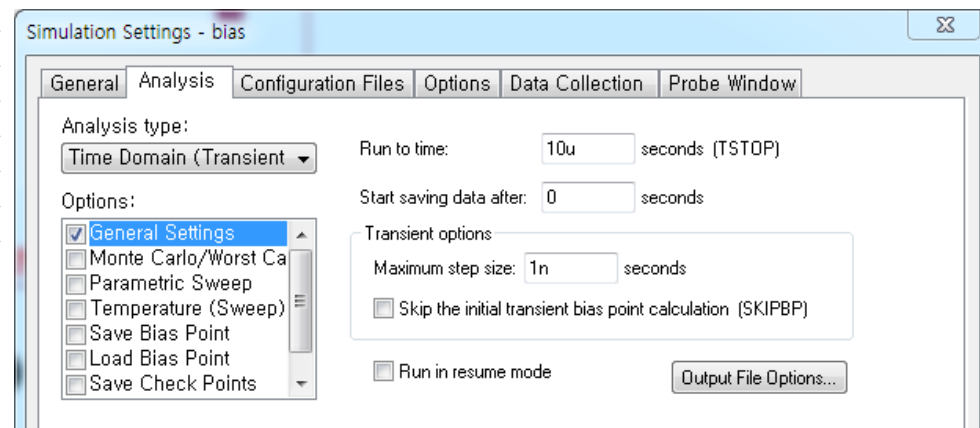
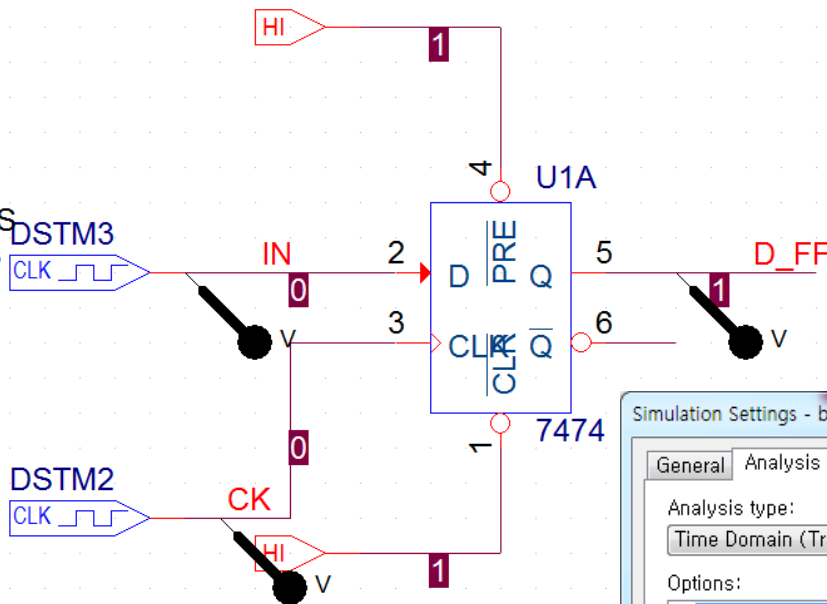
D_Flipflop의 D는Delay의 의미이며 입력 Data가 클럭 신호의 천이(Transition)에 동기되어 지연 출력되는 논리기능을 가진다. 즉 이러한 지연은 입력되는 클럭 신호의 주기에 관계함으로 주기가 길면 Delay도 커지며 주기가 짧으면 Delay도 짧아진다.
 특히 클럭 주기가 너무 길면 출력신호가 입력신호와
 의 차이가 많이 날 수 있다.



반도체 설계_디지털 page277

OFFTIME = 2.5uS
 ONTIME = 2.5uS
 DELAY = 1.25u
 STARTVAL = 0
 OPPVAL = 1

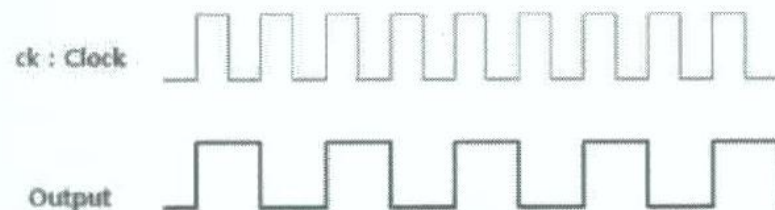
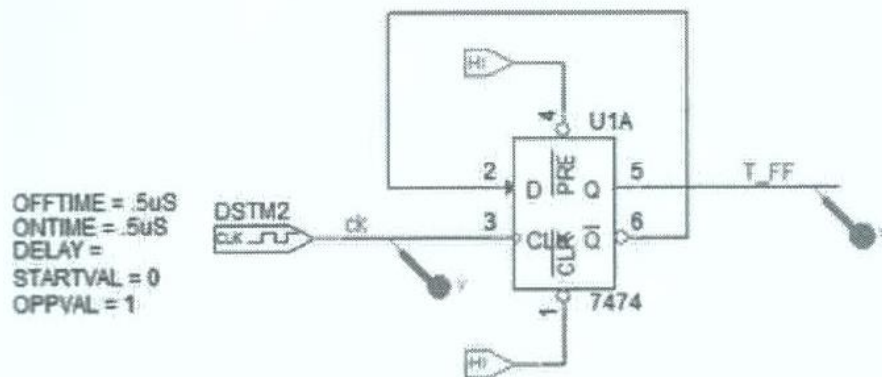
OFFTIME = .5uS
 ONTIME = .5uS
 DELAY =
 STARTVAL = 0
 OPPVAL = 1



5. 디지털 논리회로 설계 및 실습

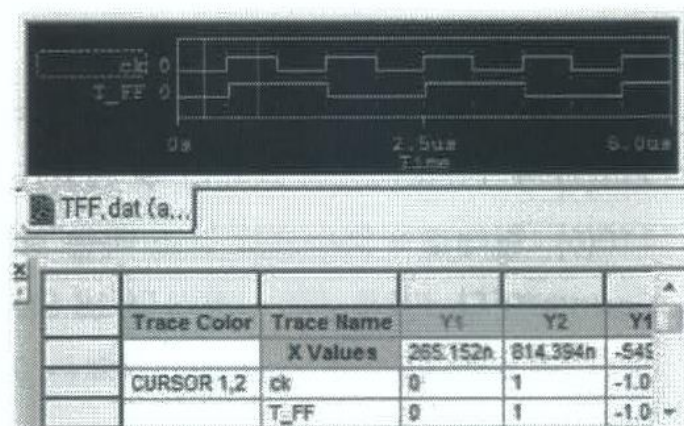
278 / 360

■ T Flipflop

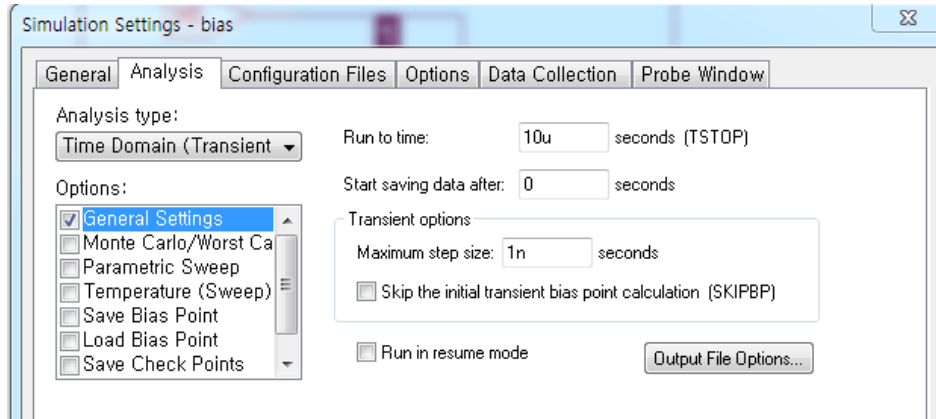


T는 Toggle의 의미이며 입력 클럭 신호(Transition)에 동기 되어 Toggle형태의 출력이 되는 논리기능을 가진다. 이러한 T_FlipFlop기능은 D_FlipFlop의 반전출력을 D 입력으로 Feedback을 구성하여 Toggle기능을 수행한다. Toggle기능은 전자기기에서 Tact Switch를 이용한 On/Off Switch기능으로 사용된다.

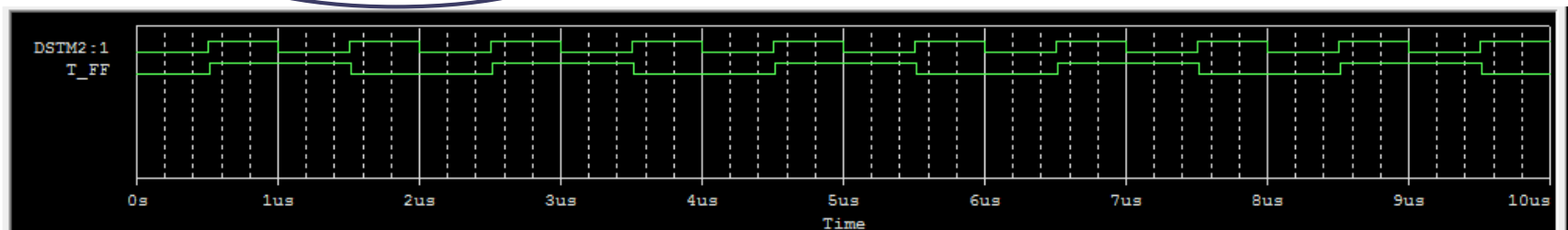
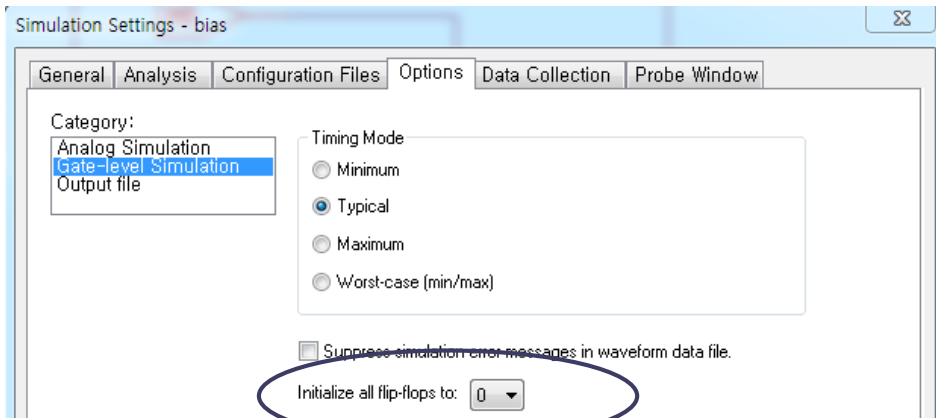
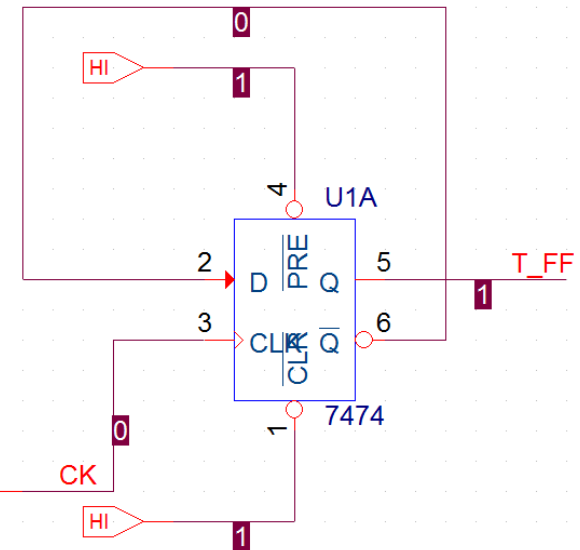
F/F회로 해석 시에는 Simulation Setting창의 Options에서 Gate-level Simulation을 선택하여 F/F의 초기화 Initialize all flip-flops to → 0 or 1로 해야 한다.



반도체 설계_디지털_page278



OFFTIME = .5uS
 ONTIME = .5uS
 DELAY =
 STARTVAL = 0
 OPPVAL = 1

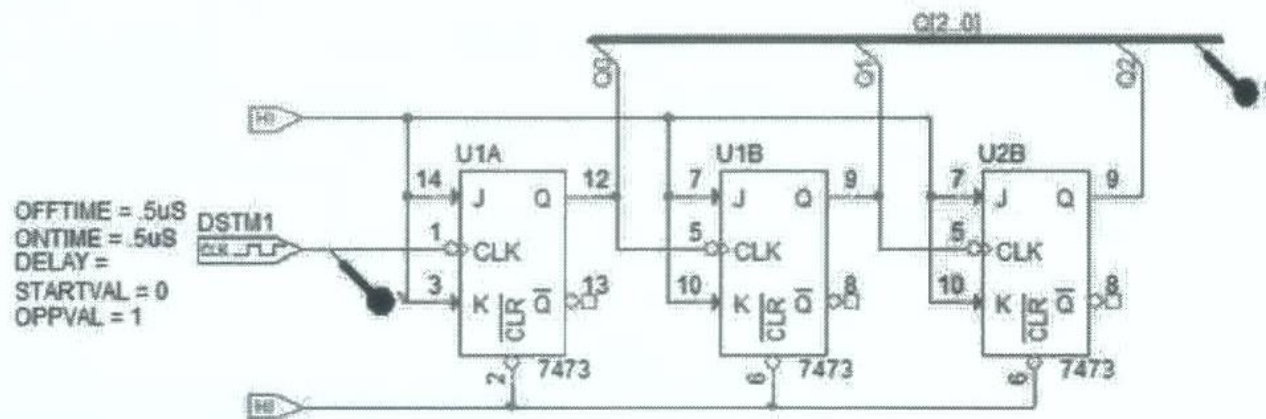


5. 디지털 논리회로 설계 및 실습

279 / 360

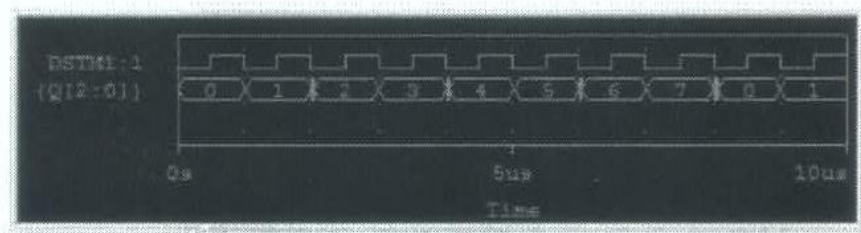
■ Counter

1. Step Up Counter(8-Step)



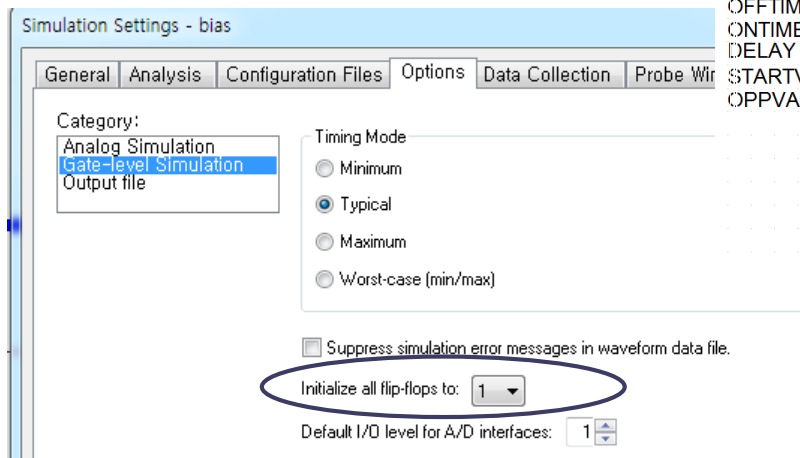
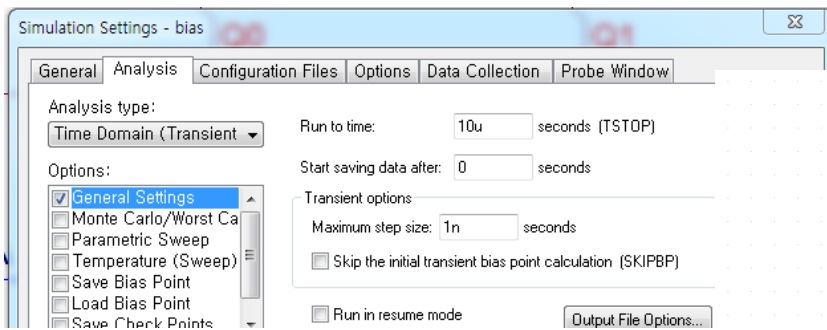
JK_FlipFlop를 이용한 Up Counter로서
 000(0) → 001(1) .. 111(7) → 000(0) →
 001(1) .. 형태로 8 Step으로 증가하는 형식의
 Counter이다. F/F를 4개 사용하면 16 Step이
 된다. 즉 Gate의 수와 Step과의 관계는 아래와
 같다.

$$\text{Step} = 2^n \quad (n = \text{Gate의 수})$$

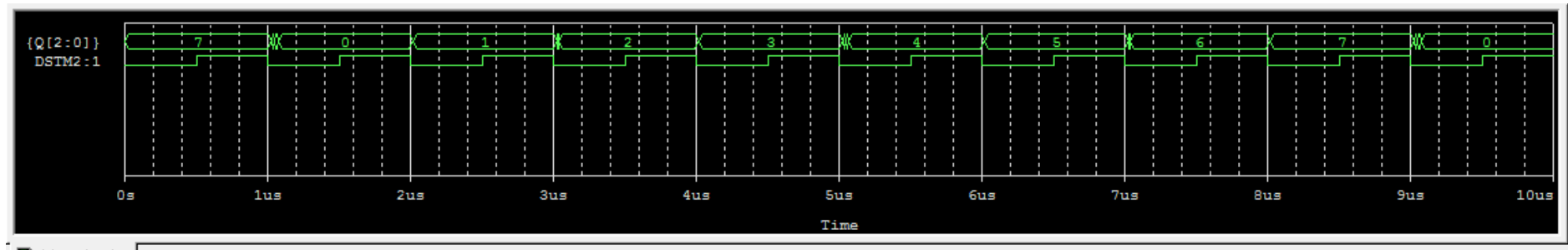
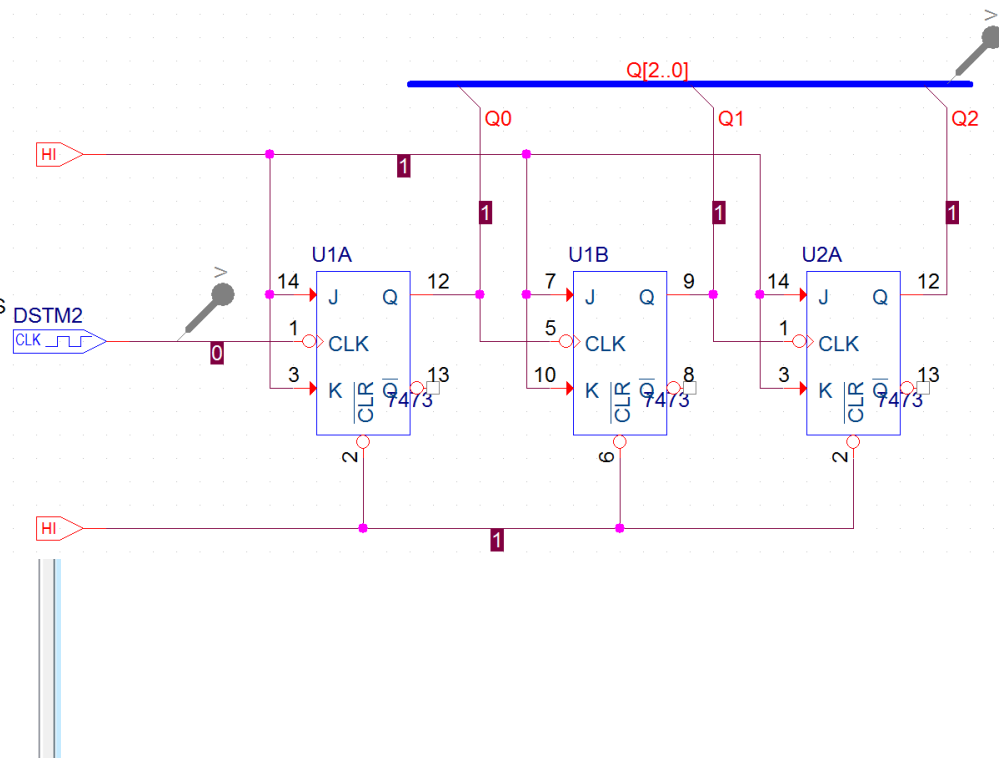


F/F회로 해석 시에는 Simulation Setting창의 Options
 에서 Gate-level Simulation을 선택하여 F/F의 초기화
 Initialize all flip-flops to → 0 or 1 로 해야 한다.

반도체 설계_디지털_page279



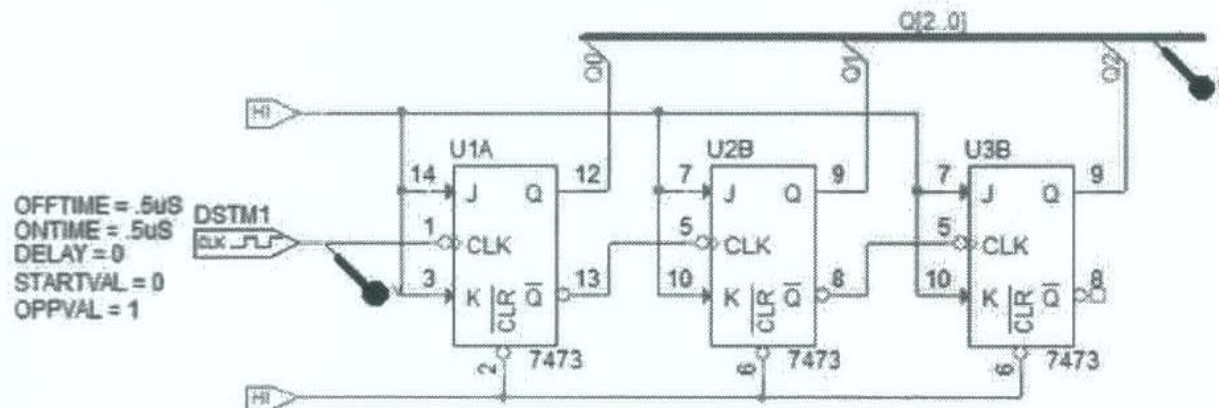
OFFTIME = .5uS
 ONTIME = .5uS
 DELAY =
 STARTVAL = 0
 OPPVAL = 1



5. 디지털 논리회로 설계 및 실습

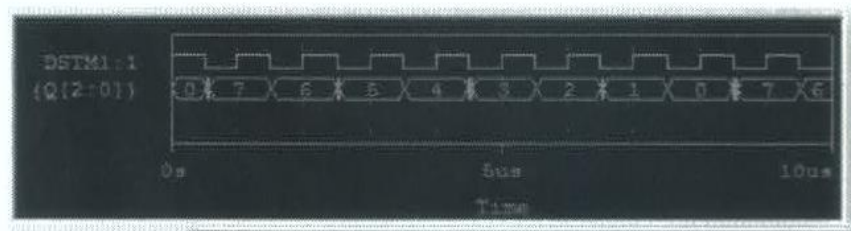
280 / 360

2. Step Down Counter(8-Step)

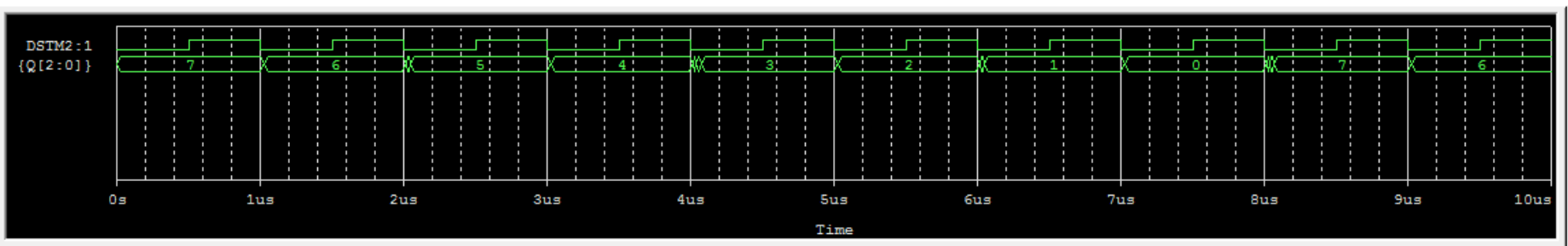
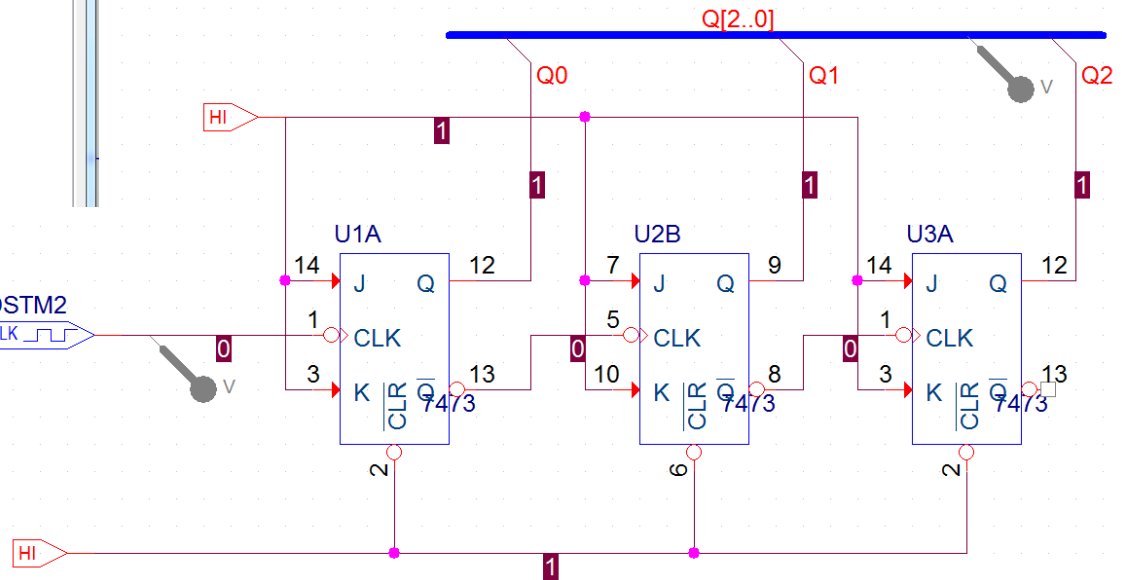
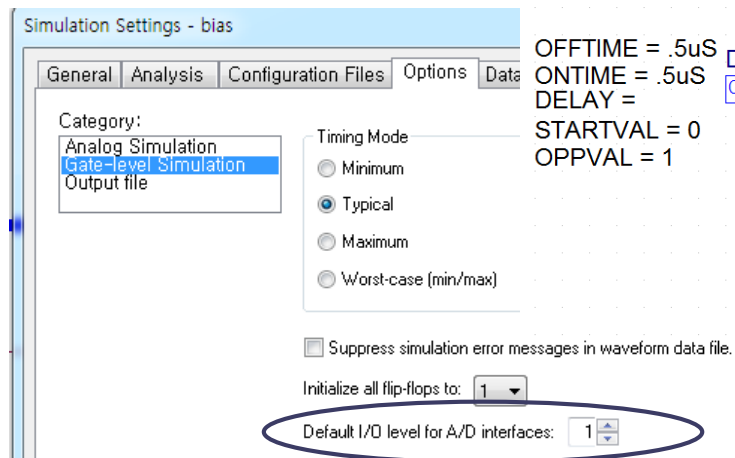


JK_FlipFlop를 이용한 Down Counter로서
 111(7) → 110(6) .. 000(0) → 111(7) →
 110(6) .. 형태로 8 Step으로 감소 하는 형식의
 Counter이다. F/F를 4개 사용하면 16 Step이
 된다. 즉 Gate의 수와 Step과의 관계는 아래와
 같다.

$$\text{Step} = 2^n \quad (n = \text{Gate의 수})$$



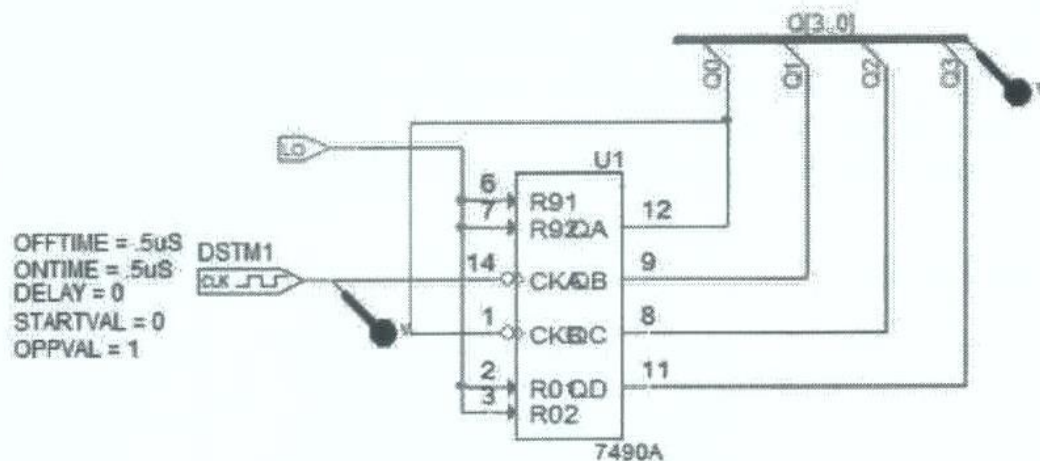
F/F회로 해석 시에는 Simulation Setting창의 Options
 에서 Gate-level Simulation을 선택하여 F/F의 초기화
 Initialize all flip-flops to → 0 or 1 로 해야 한다.



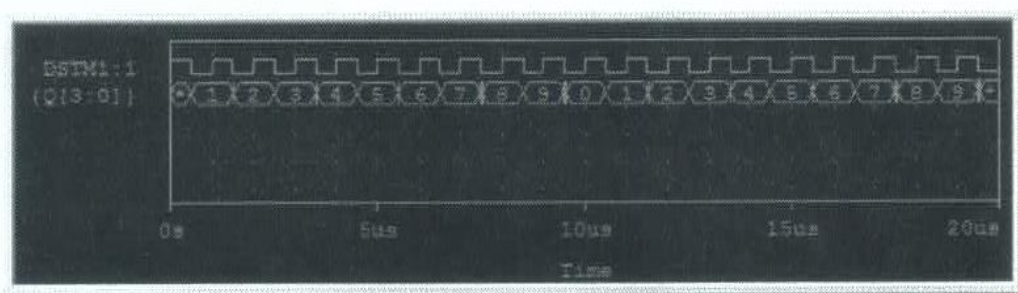
5. 디지털 논리회로 설계 및 실습

281 / 360

3. Step Up Counter(10-Step)

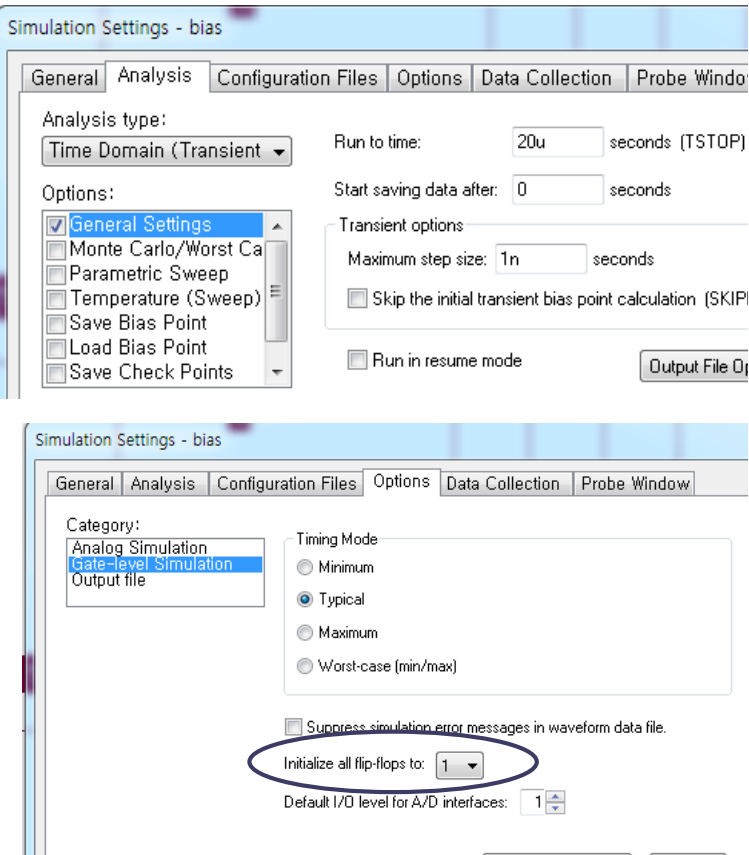


7490을 이용한 Up Counter로서
 0 → 9 형태로 10 Step으로 증가 하
 는 형식의 Counter이다.
 7490은 4개의 F/F가 내장되어 있으
 며 10진 Counter전용의 Counter이
 다.

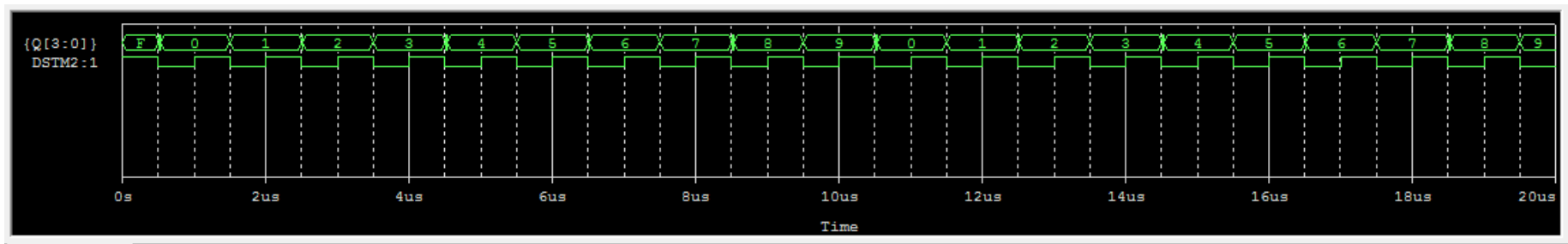
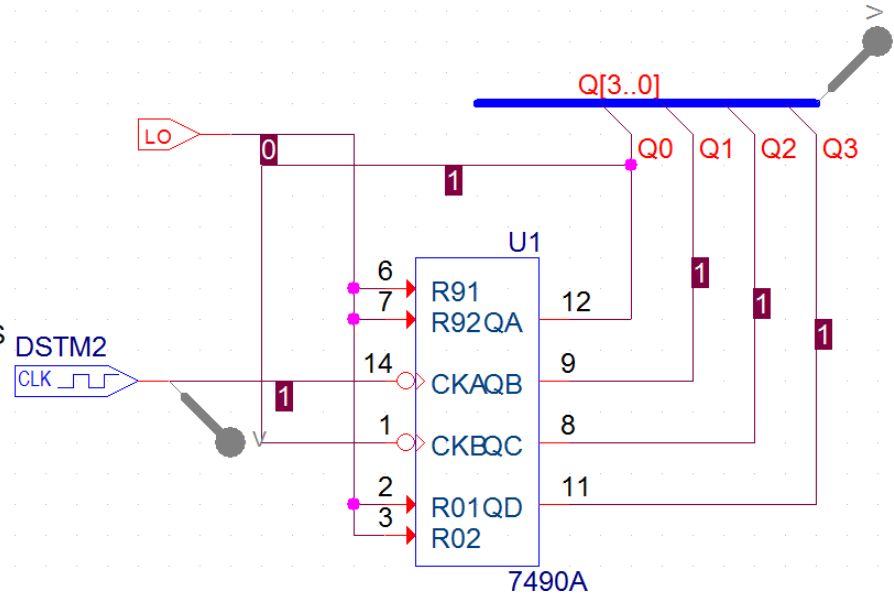


F/F회로 해석 시에는 Simulation Setting창의 Options
 에서 Gate-level Simulation을 선택하여 F/F의 초기화
 Initialize all flip-flops to → 0 or 1 르 해야 한다.

반도체 설계_디지털_page281



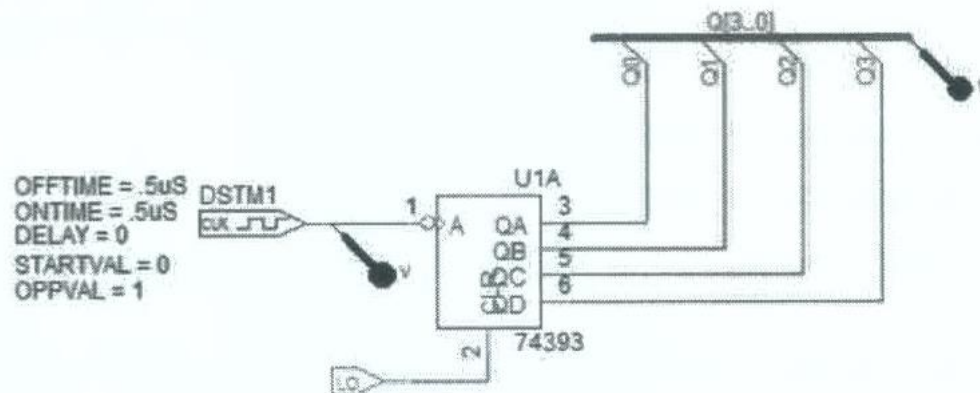
OFFTIME = .5uS
 ONTIME = .5uS
 DELAY = 0
 STARTVAL = 0
 OPPVAL = 1



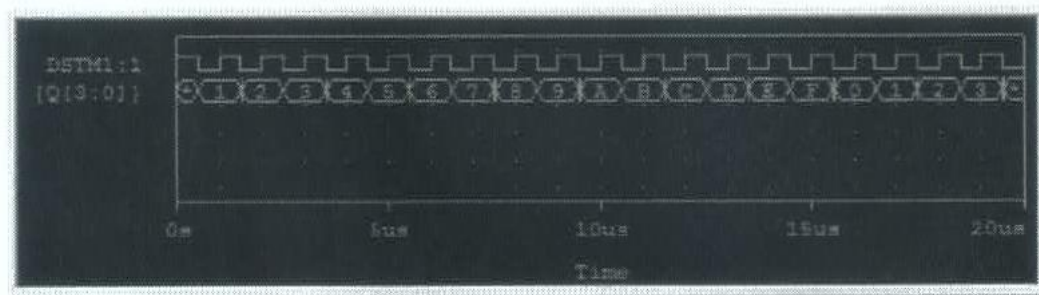
5. 디지털 논리회로 설계 및 실습

282 / 360

4. Step Up Counter(16-Step)

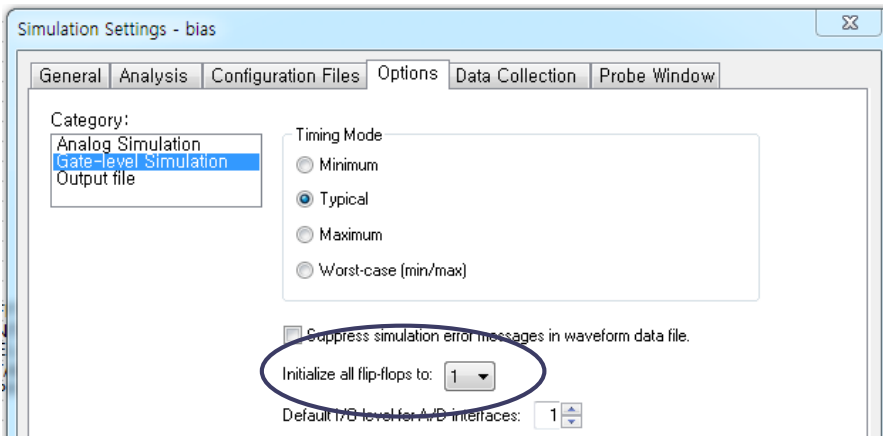
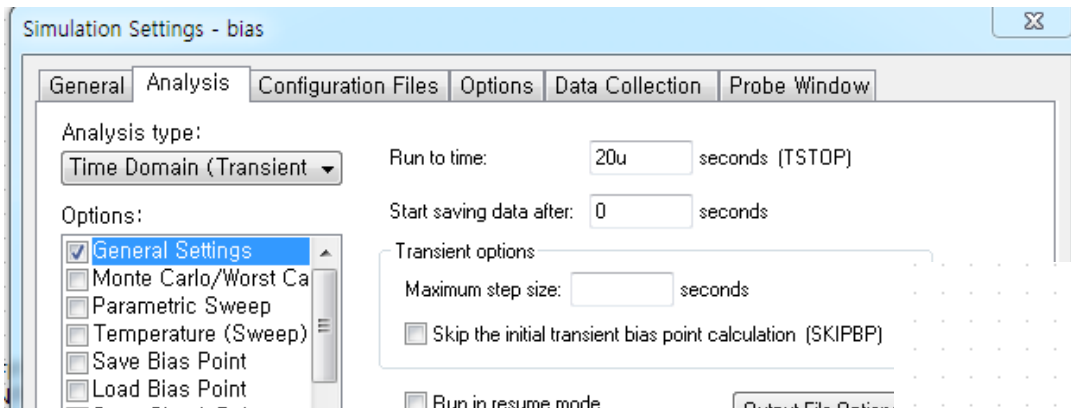


74393을 이용한 Up Counter로서
0 → 15 형태로 16 Step으로 증가
하는 형식의 Counter이다.
74393은 4개의 F/F가 내장되어 있
으며 7490과 마찬가지로 비 동기
(Asynchronous) type Counter이다.



F/F회로 해석 시에는 Simulation Setting창의 Options
에서 Gate-level Simulation을 선택하여 F/F의 초기화
Initialize all flip-flops to → 0 or 1 로 해야 한다.

반도체 설계_디지털_page282



OFFTIME = .5uS
 ONTIME = .5uS
 DELAY = 0
 STARTVAL = 0
 OPPVAL = 1

