가산기에서 리플캐리가 제일 느림

임베디드 코딩 연습 많이 하기

다음주-

아날로그 회로도 조금

always @(posedge clk or posedge reset\_p)begin // clk,set,reset처럼 동기가 되는 것들만 주로 always문 안에 씀

레치 안 씀

조합논리회로-엣지 없이,쿨럭이 레벨에서 동작?

순차논리회로-플립플롭,(쿨럭에 에치),(레치)-sr까지 문제 jk 쓸 수 있음//초기화가 중요

합성할 때 넛으로

동작적 모델링

변수-레지스터,와이어-디펄트,구조적 모델링,assign문(왼쪽 출력부분,오른쪽 입력은 상관 ㄴ)

오른쪽이 0(LSB) 왼쪽이 1(MSB)

Always-변하면 한번 실행

가독성 있는(주석)

비동기식 카운터 거의 안 씀 –fpga

레지스터 초기화

리셋 만들기

리셋이 우선

111

110

101

100

011

010

001

000

Fpga asyc 안 씀

1010 리셋

0000

0100

Top

Clk

Btn0

Btn1 8

8(100~7)

4(108~11)

셋업타임(짧은 시간 비입력), 홀드타임

디 플립플롭 2개(네거티브),쿨럭 같이

현재 cp 값( cp\_cur)

<=:대입연산자 ,논블록 들어가는걸 순서대로-순차논리회로(한 개만이면 상관 ㄴ)

=:블록문 순서대로

.이 아래

초봉4200

디지털 논리회로 개정3판

포인터!!,구조체,비트마스킹

임베디드 마이크로 콘트롤러 8비트,32비트

개별 소자

메모리 ic

시스템 ic-mpu,cpu

디지털 ic( 거의) 아날로그 ic

범용ic

Asic

Assp

Lsi

vlsi

ulsi

fpga!!

변수!

어셈블리어-기계 종속적

ctrl k c

ctrl k u

Main.c

8bit=1byte

Sizeof

연산자 우선순위

.  
->

\*

0번째

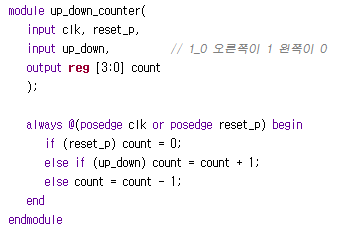
베릴로그:!! 가독성 있게, 소통능력 강조 –협업이 중요하므로

++,-- 증감연산자 ㄴ break ㄴ

{} 결합연산자

순차적 ㄴ 병렬로 mux

* reg, wire, 베릴로그에서 변수 선언할 때는 [비트 선언]을 같이 해준다.



* always문 안에서 equal의 왼쪽에 있는 변수(출력)는 reg 여야 한다 (예:플립플롭 레지스터) / 오른쪽에 있는 변수는 상관없다.
* assign문 안에서 equal의 왼쪽에 있는 변수는 wire 여야 한다.

**[출처]** [72일차 - Verilog 기존 프로젝트 열기 및 full add\_sub 데이터플로우 모델링](https://blog.naver.com/qjwmalswns/223145926550)|**작성자** [빤쎄따](https://blog.naver.com/qjwmalswns)

윤상현

010-5204-9031

[mujukpopo@gmail.com](mailto:mujukpopo@gmail.com)

if 문 , switch문-제어문

while문-반복문

포인터!!!!!

int main() {

int a, b; //현재 상태는 쓰레기 값이 들어있고

int \*ptr; //포인터 변수선언 초기화 되지 않은 상태

ptr = &a;//포인터변수에 a의 주소값 넣어주었고

\*ptr = 2;//포인터변수가 바라보는 곳(a)에 2를 저장

ptr = &b;//포인터변수가 바라보는 곳을 변경 a를 b로

\*ptr = 3;//포인터변수가 바라보는 곳(b)에 3를 저장

printf("a의 값:%d\n", a);

printf("\*b의 값:%d\n", b);

}

Char \0

실수형0.0

bool

atmega128

FSM(유한상태기계)

Finite state machine

Timer0~3 4개 타이머/카운터

타이머 0,2:8비트

-내부클스탈 사용 가능:RIC기능

인터럽트 기능

10비트 프리스케일러 구성

타이머 0:1,8,32,64,128.256.1024 분주기

타이머2:1,8,64,256,1024 분주기

타이머 1,3:16비트

인터럽트 기능

TCCRn:0,2

FOC:1로 세트되면 출력비교 실시

0으로 되면 안함