



**Documento de Arquitetura**

Core-MUSA

Universidade Estadual de Feira de Santana

**Build 2.0a**

# Histórico de Revisões

Date	Descrição	Autor(s)
20/10/2014	Concepção do documento	fmbboaventura
23/10/2014	Revisão inicial	jadsonfirmo
29/10/2014	Foi adicionada uma breve descrição dos componentes	fmbboaventura
29/10/2014	<i>Stakeholders</i>	jadsonfirmo
30/10/2014	Ajustes estruturais	fmbboaventura e jadsonfirmo
30/10/2014	Detalhamento das instruções	jadsonfirmo, KelCarmo e Odivio
30/10/2014	Adição dos diagramas de classe	gordinh
06/11/2014	Mudanças nos <i>layouts</i> das instruções e no diagrama de classe da ULA	jadsonfirmo e KelCarmo
10/11/2014	Detalhamento dos opcodes	jadsonfirmo
13/11/2014	Alteração na tabela dos opcodes	jadsonfirmo
17/11/2014	Alteração no diagrama de classe da ULA e ajustes na tabela de opcodes	jadsonfirmo
18/11/2014	Ajuste dos opcodes	jadsonfirmo
24/11/2014	Refatoração do <i>Datapath</i>	Odivio Caio
07/12/2014	Opcodes de acordo com o <i>software</i> Vênus	jadsonfirmo
07/12/2014	Alteração no <i>layout</i> do JR e remoção de conflitos	jadsonfirmo
09/12/2014	Correções estruturais do documento	di3goleite
11/12/2014	Revisão	jadsonfirmo
continua na próxima página		

**continuação da página anterior**

<b>Date</b>	<b>Descrição</b>	<b>Autor(s)</b>
12/12/2014	Correção de bug na tabela de Busca de Registradores	di3goleite
15/12/2014	Correção do datapath no documento e da tabela de histórico de revisões	di3goleite
15/12/2014	Revisão da visão geral da arquitetura	di3goleite
15/12/2014	Correção dos OPCODES do JR e do SUBi	di3goleite

## SUMÁRIO

<b>1</b>	<b>Introdução</b>	<b>4</b>
1	Propósito do Documento . . . . .	4
2	Stakeholders . . . . .	4
3	Visão Geral do Documento . . . . .	4
4	Definições . . . . .	5
5	Acrônimos e Abreviações . . . . .	5
<b>2</b>	<b>Visão Geral da Arquitetura</b>	<b>6</b>
1	Descrição dos Componentes . . . . .	6
2	DataPath do MUSA . . . . .	7
3	Instruções . . . . .	8
4	Detalhamento das Instruções . . . . .	10
<b>3</b>	<b>Descrição da Arquitetura</b>	<b>11</b>
1	PC . . . . .	11
1.1	Diagrama de bloco . . . . .	11
1.2	Definições de Entradas e Saídas . . . . .	11
2	Memória de Instrução . . . . .	11
2.1	Diagrama de bloco . . . . .	11
2.2	Definições de Entradas e Saídas . . . . .	11
3	Banco de Registradores . . . . .	12
3.1	Diagrama de bloco . . . . .	12
3.2	Definições de Entradas e Saídas . . . . .	12
4	ULA . . . . .	13

4.1	Diagrama de bloco . . . . .	13
4.2	Definições de Entradas e Saídas . . . . .	13
5	Busca de Instrução . . . . .	13
5.1	Diagrama de Classe . . . . .	13
5.2	Definições de Entrada e Saída . . . . .	13
6	Pilha . . . . .	14
6.1	Diagrama de Classe . . . . .	14
6.2	Definições de Entrada e Saída . . . . .	14
7	Acesso à memória . . . . .	14
7.1	Diagrama de Classe . . . . .	14
7.2	Definições de Entrada e Saída . . . . .	14
8	Busca de Registradores . . . . .	15
8.1	Diagrama de Classe . . . . .	15
8.2	Definições de Entrada e Saída . . . . .	15

# 1 | Introdução

## 1. Propósito do Documento

Este documento descreve a arquitetura do projeto Core-MUSA, incluindo as especificações dos circuitos internos, bem como suas devidas máquinas de estados. Também, serão apresentados diagramas de classes, de temporização e definições de entradas e saídas. O principal objetivo deste documento é definir as especificações de arquitetura do Core-MUSA e provê uma visão geral do projeto.

## 2. Stakeholders

Nome	Papel/Responsabilidades
Diego Leite e Lucas Moraes	Gerência
Victor Figueiredo, Matheus Castro, Odivio Caio Santos e Kelvin Carmo	Desenvolvimento
Filipe Boaventura e Wagner Bittencourt	Implementação
Jadson Firmo	Análise e refatoração

## 3. Visão Geral do Documento

Este documento é dividido através das seguintes capítulos:

- **Capítulo 2** – Nesta seção será apresentada a visão geral da arquitetura do projeto.
- **Capítulo 3** – Neste capítulo encontram-se informações detalhadas sobre módulos e componentes do Core-MUSA, relacionados com sua arquitetura.

#### 4. Definições

Termo	Descrição
Opcode	Código de operação da instrução
Function	Código de operação aplicado a operações que ocorrem dentro da Unidade Lógica e Aritmética (ULA)
Datapath	Caminho de dados percorrido para a execução de uma instrução

#### 5. Acrônimos e Abreviações

Sigla	Descrição
PC	Contador de Programa ( <i>Program Counter</i> )
ULA	Unidade Lógica e Aritmética
UC	Unidade de Controle
OPCODE	<i>Operation Code</i>
RS	<i>Register Source</i>
RD	<i>Register Destination</i>
LW	<i>Load Word</i>
SW	<i>Store Word</i>

## 2 | Visão Geral da Arquitetura

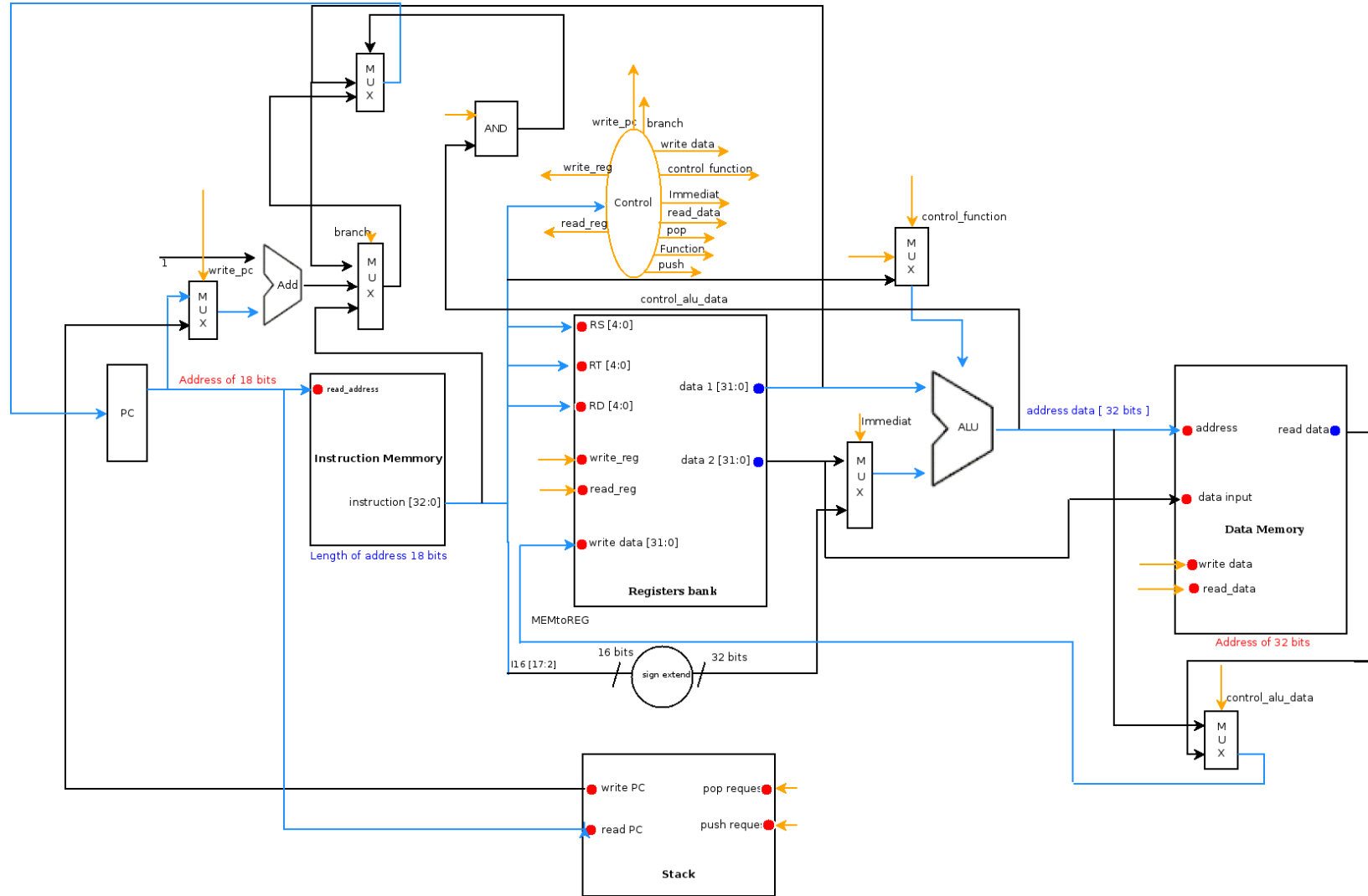
### 1. Descrição dos Componentes

A unidade de processamento a ser desenvolvida é constituída pelos seguintes componentes:

- **PC** – Registrador que guarda o endereço da próxima instrução a ser executada.
- **Memória de Dados** – A Memória de dados é endereçada com 33 *bits*, que comporta no máximo  $2^{33}$  palavras de instrução no total, guardando todos os dados com tamanho de 32 *bits*.
- **Memória de Instrução** – A Memória de instrução é endereçada com 18 *bits*, que comporta no máximo  $2^{18}$  palavras de instrução no total, tem tamanho de 1048576 *bytes*, por conta do tamanho da palavra de instrução, 32 *bits*.
- **ULA** – É responsável por todo o processamento de instruções aritméticas do processador.
- **Unidade de Controle** – A UC é o componente responsável pela decodificação das instruções e pela definição dos sinais de controle que ativam cada bloco funcional do processador.
- **Banco de Registradores** – Contém os 32 registradores de propósito geral do processador.
- **Pilha** – Memória destinada para armazenamento dos endereços de retorno das chamadas de funções. Possui 32 registradores de 18 *bits* e um contador responsável por apontar o topo da pilha.



## 2. DataPath do MUSA



### 3. Instruções

A unidade de processamento possui 21 instruções essenciais pro processamento das operações. Elas são desmembradas em três formatos: Tipo R (Registradores), Tipo I (Imediatas) e Tipo J (*Jump*, ou Desvio).

- **Tipo R** – Operações entre registradores.

INSTRUÇÃO	DESCRIÇÃO	OPCODE	FUNCTION
ADD	Soma de dois valores.	000000	100000
SUB	Subtração de dois valores.	000000	100010
MUL	Multiplicação de dois valores.	000000	011000
DIV	Divisão de dois valores.	000000	011010
AND	Operação lógica AND entre dois valores.	000000	100100
OR	Operação lógica OR entre dois valores.	000000	100101
NOT	Operação lógica NOT.	000000	100111
CMP	Comparação de dois valores.	000000	011011

**Tabela 2.1: Instruções do tipo R.**

• **Tipo I** – Operações com imediatos.

INSTRUÇÃO	DESCRIÇÃO	OPCODE	FUNCTION
ADDi	Soma de dois valores, sendo um destes imediato.	001000	-
SUBi	Subtração de dois valores, sendo um destes imediato.	001110	-
ANDi	Operação lógica AND entre dois valores, sendo um destes imediato.	001100	-
ORi	Operação lógica OR entre dois valores, sendo um destes imediato.	001101	-
LW	Operação de leitura na memória de dados.	100011	-
SW	Operação de armazenamento na memória de dados.	101011	-

**Tabela 2.2: Instruções do tipo I.**

• **Tipo J** – Operações de desvio e *branch*.

INSTRUÇÃO	DESCRIÇÃO	OPCODE	FUNCTION
JPC	Desvia o programa para um endereço relativo ao PC.	001001	-
JR	Desvia o programa para um endereço de destino.	011000	-
BRFL	Desvia o programa para um endereço de destino, atendendo uma condição de <i>flag</i> .	010001	-
CALL	Desvia um programa em execução para uma sub-rotina.	000011	-
RET	Retorna de uma sub-rotina.	000111	-
HALT	Para a execução de um programa.	000010	-
NOP	Não realiza operação.	000001	-

**Tabela 2.3: Instruções do tipo J.**

#### 4. Detalhamento das Instruções

- ADD, SUB, MUL, DIV, AND, OR e NOT :

OPCODE	RS	RT	RD	SHAMT	FUNCTION
06	05	05	05	05	06

**Tabela 2.4: Layout das instruções do tipo R.**

O conjunto de instruções do tipo R utiliza o código da operação (OPCODE), dois registradores fontes (RS e RT) de dados e um registrador de destino (RD), para auxiliar na realização das operações. O campo FUNCTION é utilizado como um segundo campo de código de operação, ampliando o leque de operações possíveis. O campo SHAMT não será utilizado no projeto deste processador.

- LW e SW, ADDi, SUBi, ANDi, ORi:

OPCODE	RD	RS	IMMEDIATE
06	05	05	16

**Tabela 2.5: Layout das Operações de Leitura/Escrita e operações imediatas**

Além do OPCODE, este tipo de instrução utiliza: um registrador fonte (RS), um registrador de destino (RD) para instruções de leitura (LW) e de escrita (SW). Também conta com o campo IMMEDIATE (I) (de 16 *bits*) que representa o deslocamento do registrador base.

- CALL, RET, HALT, NOP, JPC, JR e BRFL:

OPCODE	TARGET
06	26

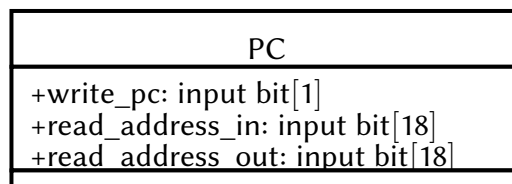
**Tabela 2.6: Layout das Operações de Salto (Tipo J)**

As instruções do tipo J contam com o OPCODE e um campo de 26 *bits*, representando uma posição de endereço de memória, estes campos são utilizados pelas instruções CALL, HALT e JPC, enquanto RET e NOP só utilizam o OPCODE da instrução.

### 3 | Descrição da Arquitetura

#### 1. PC

##### 1.1. Diagrama de bloco

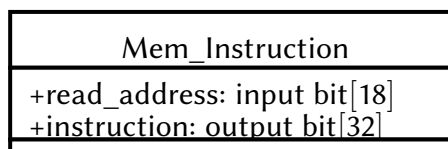


##### 1.2. Definições de Entradas e Saídas

Nome	Tamanho	Direção	Descrição
write_pc	1	entrada	Entrada de controle que habilita a escrita do registrador do PC
read_address_in	18	entrada	Novo PC a ser armazenado
read_address_out	18	saída	Saída com o PC atualizado

#### 2. Memória de Instrução

##### 2.1. Diagrama de bloco



##### 2.2. Definições de Entradas e Saídas

Nome	Tamanho	Direção	Descrição
write_pc	1	entrada	Entrada de controle que habilita a escrita do registrador do PC
read_address_in	18	entrada	Novo PC a ser armazenado
read_address_out	18	saída	Saída com o PC atualizado

### 3. Banco de Registradores

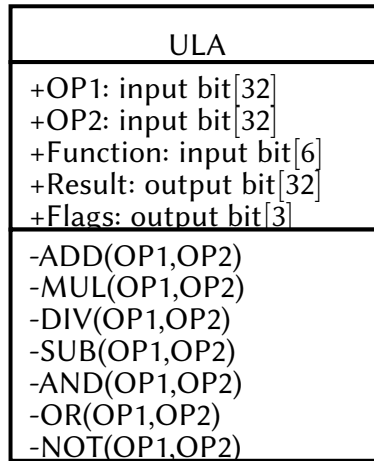
#### 3.1. Diagrama de bloco

#### 3.2. Definições de Entradas e Saídas

Nome	Tamanho	Direção	Descrição
write_pc	1	entrada	Entrada de controle que habilita a escrita do registrador do PC
read_address_in	18	entrada	Novo PC a ser armazenado
read_address_out	18	saída	Saída com o PC atualizado

## 4. ULA

### 4.1. Diagrama de bloco



### 4.2. Definições de Entradas e Saídas

Nome	Tamanho	Direção	Descrição
OP1	32	entrada	Primeiro operando
OP2	32	entrada	Segundo operando
<i>Function</i>	6	entrada	Identificador da operação
<i>Result</i>	32	saída	Resultado da operação
<i>Flags</i>	3	saída	<i>Flags above, equals e overflow</i>

## 5. Busca de Instrução

### 5.1. Diagrama de Classe

### 5.2. Definições de Entrada e Saída

Nome	Tamanho	Direção	Descrição
clock_in	1	entrada	Sinal de <i>clock</i> da fase.
entradaPC	18	entrada	Endereço do PC atual.
saidaInstrucao	32	saída	Instrução que sai da memória de instrução.

## 6. Pilha

### 6.1. Diagrama de Classe

### 6.2. Definições de Entrada e Saída

Nome	Tamanho	Direção	Descrição
clock_in	1	entrada	Sinal de <i>clock</i> da fase.
write_pc	18	entrada	Endereço do PC que será armazenado.
popRequest	1	entrada	Sinal para tirar o ultimo endereço armazenado da pilha.
pushRequest	1	entrada	Sinal para salvar o endereço do PC da pilha.
read_pc	18	saída	Último endereço salvo na pilha para retorno do PC.

## 7. Acesso à memória

### 7.1. Diagrama de Classe

### 7.2. Definições de Entrada e Saída



Nome	Tamanho	Direção	Descrição
clock_in	1	entrada	Sinal de <i>clock</i> da fase.
address	33	entrada	Endereço da memória onde o dado será armazenado.
data_in	32	entrada	Valor que será armazenado na memória de dados.
write_data	1	entrada	Sinal para ativar a escrita na memória de dados.
read_data	1	entrada	Sinal para ativar a leitura na memória de dados.
data	32	saída	Valor que irá sair da memória de dados.

## 8. Busca de Registradores

### 8.1. Diagrama de Classe

### 8.2. Definições de Entrada e Saída

Nome	Tamanho	Direção	Descrição
write_data	32	entrada	Valor de escrita para o registrador de destino.
write_reg	1	entrada	Sinal para ativar a escrita no Banco de Registradores.
read_reg	1	entrada	Sinal para ativar a leitura no Banco de Registradores.
data1	32	saída	Saída do valor contido nos registradores.
data2	32	saída	Saída do valor contido nos registradores.
rs	5	Entrada	Endereço do registrador um.
rt	5	Entrada	Endereço do registrador dois.
rd	5	Entrada	Endereço do registrador destino.

