



Especificação de Requisitos

Core-MUSA

Universidade Estadual de Feira de Santana

Build 0.1a

Histórico de Revisões

Data	Descrição	Autor(s)
27/09/2014	Concepção do Documento	fmbboaventura
12/08/2014	<ul style="list-style-type: none">Inclusão dos requisitos [FR2];Inclusão dos requisitos [NFR3];Inclusão das dependências [D4];	bezourokq, di3goleite, fmb-boaventura, gordinh, jadson-firno, KelCarmo, mtcastro e wsbittencourt
30/09/2014	Inclusão dos requisitos não funcionais	gordinh, Figueiredovr
30/09/2014	Revisão do documento	gordinh
05/10/2014	Atualização dos requisitos	gordinh
07/10/2014	Atualização dos requisitos	gordinh, di3goleite
07/10/2014	Atualização dos requisitos	Figueiredovr
07/10/2014	Atualização dos requisitos não-funcionais	mtcastro
09/10/2014	Revisão do documento	gordinh, di3goleite
09/10/2014	Revisão do documento	Figueiredovr, mtcastro, di3goleite

SUMÁRIO

1	Introdução	3
1.1	Visão Geral do Documento	3
1.2	Definições	3
1.3	Acrônimos e Abreviações	3
1.4	Prioridades dos Requisitos	4
2	Requisitos Funcionais	4
2.1	Instruções de Movimentação de Dados	4
2.2	Computacionais	5
2.3	Instruções de Desvio	7
2.4	Outras Instruções	9
2.5	Flags	9
2.6	Modos de Endereçamento	10
3	Requisitos não Funcionais	10
4	Dependências	11

1. Introdução

1.1. Visão Geral do Documento

- **Requisitos funcionais** - lista de todos os requisitos funcionais.
- **Requisitos não funcionais** - lista de todos os requisitos não funcionais.
- **Dependências** - conjunto de dependências de IP-cores previstos.
- **Notas** - apresenta a lista de notas apresentadas ao longo do documento.
- **Referências** - lista de todos os textos referenciados nesse documento.

1.2. Definições

Termo	Descrição
Requisitos Funcionais	Requisitos de hardware que compõem os módulos, descrevendo as ações que o mesmo deve estar apto a executar. Estas informações são capturadas a partir do desenvolvimento dos casos de uso, que documentam as entradas, os processos e as saídas geradas.
Requisitos Não Funcionais	Requisitos de hardware que compõem os módulos, representando as características que o mesmo deve ter, ou restrições que o mesmo deve operar. Estas características referem-se técnicas, algoritmos, tecnologias e especificidades do Sistema como um todo.
Dependências	Requisitos de reuso de IP-cores, descrevendo as funções que cada um deve exercer.

1.3. Acrônimos e Abreviações

Sigla	Descrição
FR	Requisito Funcional
NFR	Requisito Não Funcional
D	Dependência
PC	Program Counter (Contador de Programa)

1.4. Prioridades dos Requisitos

Prioridade	Característica
Importante	Requisito sem o qual o sistema funciona, porém não como deveria.
Essencial	Requisito que deve ser implementado para que o sistema funcione.
Desejável	Requisito que não compromete o funcionamento do sistema.

2. Requisitos Funcionais

2.1. Instruções de Movimentação de Dados

[FR1] Instrução LW

- Descrição:** O processador deve ser capaz de ler valores da memória de dados. A instrução LW está compreendida da seguinte forma:
- Registrador de Destino(RD) - registrador onde será armazenado o valor que será carregado da memória
 - Registrador Fonte(RS) - registrador fonte onde contém o dado a ser lido
 - Deslocamento(I16) - endereço, de 16 bits, o qual haverá o deslocamento de bits a partir do RS

Nível de Prioridade: Essencial

[FR2] Instrução SW

- Descrição:** O processador deve ser capaz de inserir valores da memória de dados. A instrução SW está compreendida da seguinte forma:
- Registrador Fonte(RS) - registrador fonte onde contém o dado a ser salvo.
 - Registrador de Destino(RD) - registrador onde será armazenado o valor proveniente do RS.
 - Deslocamento(I16) - endereço, de 16 bits, o qual haverá o deslocamento de bits a partir do RD.

Nível de Prioridade: Essencial

2.2. Computacionais

[FR3] Instrução ADD

- Descrição:** O processador deve ser capaz de realizar a soma de dois valores com sinal. A instrução ADD está compreendida da seguinte forma:
- Registrador Fonte 1(RS1) - registrador fonte representando o operando1.
 - Registrador Fonte 2(RS2) - registrador fonte representando o operando2.
 - Registrador de Destino(RD) - registrador onde será armazenado o valor da soma entre o operando1 e operando2 ($RS1+RS2$).

Nível de Prioridade: Essencial

[FR4] Instrução SUB

- Descrição:** O processador deve ser capaz de realizar a subtração de dois valores com sinal. A instrução SUB está compreendida da seguinte forma:
- Registrador Fonte 1(RS1) - registrador fonte representando o operando1.
 - Registrador Fonte 2(RS2) - registrador fonte representando o operando2.
 - Registrador de Destino(RD) - registrador onde será armazenado o valor da subtração entre o operando1 e operando2 ($RS1-RS2$).

Nível de Prioridade: Essencial

[FR5] Instrução MUL

- Descrição:** O processador deve ser capaz de realizar a multiplicação de dois valores com sinal. A instrução MUL está compreendida da seguinte forma:
- Registrador Fonte 1(RS1) - registrador fonte representando o operando1.
 - Registrador Fonte 2(RS2) - registrador fonte representando o operando2.

- Registrador de Destino(RD) - registrador onde será armazenado o valor da multiplicação entre o operando1 e operando2 ($RS1 * RS2$).

Nível de Prioridade: Essencial

[FR6] Instrução DIV

- Descrição:** O processador deve ser capaz de realizar a divisão de dois valores com sinal. A instrução DIV está compreendida da seguinte forma:
- Registrador Fonte 1(RS1) - registrador fonte representando o operando1.
 - Registrador Fonte 2(RS2) - registrador fonte representando o operando2.
 - Registrador de Destino(RD) - registrador onde será armazenado o valor da divisão entre o operando1 e operando2 ($RS1 / RS2$).

Nível de Prioridade: Essencial

[FR7] Instrução CMP

- Descrição:** O processador deve ser capaz de comparar dois registradores e ativar ou desativar uma flag para sinalizar igualdade. A instrução CMP está compreendida da seguinte forma:
- Registrador 1(RS) - registrador representando um valor que será comparado com o RD.
 - Registrador 2(RD) - registrador representando um valor que será comparado com o RS.

Nível de Prioridade: Essencial

[FR8] Instrução AND

- Descrição:** O processador deve ser capaz de realizar a operação lógica AND bit a bit de dois valores. A instrução AND está compreendida da seguinte forma:
- Registrador Fonte 1(RS1) - registrador fonte representando o operando1.
 - Registrador Fonte 2(RS2) - registrador fonte representando o operando2.

- Registrador de Destino(RD) - registrador onde será armazenado o valor da operação AND entre o operando1 e operando2 (RS1&&RS2).

Nível de Prioridade: Essencial

[FR9] Instrução OR

- Descrição:** O processador deve ser capaz de realizar a operação lógica OR bit a bit de dois valores. A instrução OR está compreendida da seguinte forma:
- Registrador Fonte 1(RS1) - registrador fonte representando o operando1.
 - Registrador Fonte 2(RS2) - registrador fonte representando o operando2.
 - Registrador de Destino(RD) - registrador onde será armazenado o valor da multiplicação entre o operando1 e operando2 (RS1||RS2).

Nível de Prioridade: Essencial

[FR10] Instrução NOT

- Descrição:** O processador deve ser capaz de realizar a operação lógica NOT de inversão bit a bit. A instrução NOT está compreendida da seguinte forma:
- Registrador de Destino(RD) - registrador onde contém o valor a ser negado e onde será armazenado este valor.

Nível de Prioridade: Essencial

[FR11] Tamanho da palavra de uma instrução de 32 bits

- Descrição:** O Tamanho de uma palavra de instrução que é compatível com o processador é de 32 bits.

Nível de Prioridade: Essencial

2.3. Instruções de Desvio

[FR12] Instrução JR

- Descrição:** O processador deve ser capaz de desviar um programa em execução para um endereço de destino. A instrução JR está

compreendida da seguinte forma:

- Registrador Endereço(R) - registrador onde contém o endereço para onde o programa deverá ir.

Nível de Prioridade: Essencial

[FR13] Instrução JPC

Descrição: O processador deve ser capaz de desviar um programa em execução para um endereço relativo ao PC. A instrução JPC está compreendida da seguinte forma:

- Registrador de Endereço(RD) - registrador onde contém o valor, de 28 bits, relativo ao PC, para onde o programa deverá ir.

Nível de Prioridade: Essencial

[FR14] Instrução BRFL

Descrição: O processador deve ser capaz de desviar um programa em execução para um endereço de destino atendendo a uma condição de flag. A instrução BRFL está compreendida da seguinte forma:

- Registrador de Flags(RF) - registrador onde contém o valor de uma flag.
- Contante(CST) - constante a qual será comparada com RF.

Nível de Prioridade: Essencial

[FR15] Instrução CALL

Descrição: O processador deve ser capaz de desviar um programa em execução para uma sub-rotina. A instrução CALL está compreendida da seguinte forma:

- Registrador de Destino(RD) - registrador onde contém o valor para onde o programa deverá ir, o endereço atual do pc será armazenado na pilha.

Nível de Prioridade: Essencial

[FR16] Instrução RET

Descrição: O processador deve ser capaz retornar de uma sub-rotina. A instrução RET está compreendida da seguinte forma:

- A instrução deverá acessar a pilha onde contém os endereços do PC salvos, e ir para o endereço que está no topo da pilha.

Nível de Prioridade: Essencial

2.4. Outras Instruções

[FR17] Instrução NOP

Descrição: Não realiza operação.

Nível de Prioridade: Essencial

[FR18] Instrução HALT

Descrição: O processador deve ser capaz de parar a execução de um programa.

Nível de Prioridade: Essencial

2.5. Flags

[FR19] Overflow

Descrição: O processador deve ser capaz de avisar que houve um erro na operação aritimetica através da flag de overflow.

Nível de Prioridade: Essencial

[FR20] Equal

Descrição: Este Flag deve ser utilizado como resultado da instrução CMP, deve constar verdadeiro quando as duas palavras comparadas forem iguais.

Nível de Prioridade: Essencial

[FR21] Above

Descrição:

Nível de Prioridade: Essencial

[FR22] Error

Descrição: Deve indicar a ocorrência de uma operação não válida, como por exemplo divisão por zero.

Nível de Prioridade: Essencial

2.6. Modos de Endereçamento

[FR23] Imediato

Descrição: O processador deve aceitar instruções onde o dado já é passado explicitamente na instrução.

Nível de Prioridade: Essencial

[FR24] Deslocamento de Base

Descrição: O processador deve aceitar instruções onde os operandos contenham o endereço da base e o valor do deslocamento.

Nível de Prioridade: Essencial

[FR25] Por Registrador

Descrição: O processador deve aceitar instruções onde o endereço do registrador seja passado como parâmetro.

Nível de Prioridade: Essencial

3. Requisitos não Funcionais

Esta seção apresenta a lista de Requisitos não Funcionais do projeto.

[NFR1] Ferramenta para simulação de testes

Descrição: Será utilizado o programa ModelSim®-Altera Web Edition, para fazer a simulação dos módulos e testes dos mesmos.

Nível de Prioridade: Importante

[NFR2] Ferramenta para prototipação

Descrição: será utilizado a Plataforma de Desenvolvimento FPGA Terasic ALTERA Cyclone III (EP3C25F324) para a execução do protótipo.

Nível de Prioridade: Importante

[NFR3] Linguagem de Descrição

Descrição: Tanto projeto quanto os Teste será descrito usando Verilog-HDL.

Nível de Prioridade: Desejavel

[NFR4] Plano de Teste

Descrição: Será desenvolvido um conjunto de programa de teste para cada bloco implementado no projeto.

Nível de Prioridade: Desejavel

[NFR5] Organização dos Dados

Descrição: Os bytes são numerados da esquerda para a direita, Big endian.

Nível de Prioridade: Essencial

[NFR6] Ferramenta para programar o processador

Descrição: Será utilizado o software Quartus para descarregar os programas que serão executados no processador.

Nível de Prioridade: Importante

[NFR7] Tempo de Operação

Descrição: Toda instrução deve ser executada em exatamente cinco ciclos de clock.

Nível de Prioridade: Essencial

4. Dependências

[D1] ULA

Módulo da ULA implementado no projeto *Warmup*, contando com algumas adaptações e incremento de operações.