



1 Ideias

- $1/50\text{Mz} = 20\text{ ns}$ (FPGA)

2 Fatos

- A memória será construída por blocos dentro da FPGA. (Nós devemos implementar).
- Entrega do Problema 4 até meio-dia de segunda-feira (24/11/2014).

3 Questões

- Qual clock vamos utilizar no nosso processador ? (Matheus)

4 Metas

- Refatorar a tabela de sinais: colocar o estágio fetch como último estágio. (Kelvin e Victor)
- Implementar um interpretador para traduzir do assembly para os binários da nossa arquitetura. (Victor)
- Fazer os testes: Unidade de controle, Banco de registradores, Pilha, Teste de integração. (Filipe, Odívio, Wagner e Matheus)
- Implementar: extensor de sinal, somador e MUX. (Diego, Jadson e Lucas)
- Montar a apresentação. (Jadson e Lucas)