

“电子技术课程设计”任务书

2020年夏季学期 电机系

一、目的

1. 加强EDA实践环节，学习自顶向下、分模块的系统设计和调试方法。
2. 进一步提高调试数字系统的能力。
3. 为“微机原理与应用”课程设计项目打下基础。

二、任务一

音乐计算器的设计与实现

基于 FPGA 实验板设计一个音乐计算器，如图 2.1 所示。计算器由矩阵键盘输入数字和运算符，完成两个数的加、减、与、或、比较运算，将参与运算的数及结果显示在数码管和发光二极管上。

例如：完成 $123+45$ 的运算，操作方法是：当键盘输入 1、2、3 时，数码管上先后显示 1、12、123；接着输入运算符“+”；然后键盘输入 4、5，数码管上先后显示 4、45，最后按下“=”，数码管上显示运算的结果 168。运算符和等号均不显示。

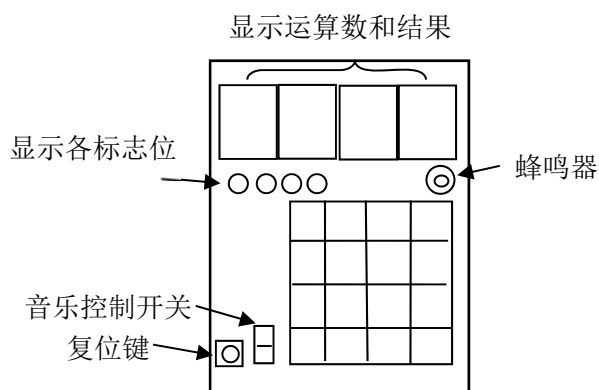


图2.1 音乐计算器

1. 预习任务

(1) 阅读以下任务要求，画出系统框图。可参照图2.2所示音乐计算器的基本结构图。

(2) 根据4中“核心模块”的封装形式，整理EDA大作业中设计的键盘输入和数码管显示电路文件。

(3) 按照第4项中“核心模块”的封装形式和“检查细则”中要求设计8位ALU，并完成仿真。

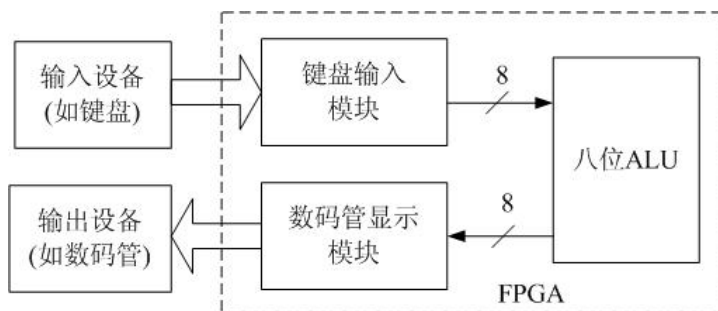


图2.2 音乐计算器的基本结构（核心模块）

2. 必做任务

(1) 参与运算的数字在0~999范围内。运算符有 +、-、and、or、cmp。键盘位置定义如图2.3所示。

(2) 输入数字和运算结果在数码管上显示，若为负数点亮发光二极管D1。

(3) 比较结果用发光二极管D2显示，当第一个数小于第二个数的时发光管亮。

(4) 用发光二极管D3、D4作为标志位zero和carry_out的显示。当运算结果为0时，zero为1；当加法运算最高位有进位时，carry_out为1；当减法运算最高位产生借位时，carry_out为0。

(5) 音乐控制开关控制是否响起音乐。打开开关，当运算结果分别为正、负时，蜂鸣器响起两段不同的音乐。

(6) 任何时刻按下复位键可以重新输入表达式。

说明：

(1) 键盘输入、8位ALU和数码管显示三个模块的封装须符合第4项“计算器的核心模块”的封装形式。

(2) 其他说明参见“检查细则”文件。

(3) 未说明功能可由设计者确定，但须合理。或参照真实计算器功能。

3. 选做任务

(1) 不含优先级的连续运算。

(2) 含优先级的连续运算。按“比较>与=或>加=减”优先级的关系进行运算。

说明：

(1) 可以改动三个核心模块的封装形式。

(2) 连续运算中的其余细节功能可由设计者确定，但须合理。或参照真实计算器功能。

4. 计算器的核心模块

音乐计算器的核心模块包括：键盘输入、8位ALU和数码管显示。按照后续课程要求，只允许使用1个8位ALU；并且核心模块接口定义必须与以下要求相符。这三个核心模块的功能及接口介绍如下。

(1) 键盘输入模块用来识别键盘输入的运算式，其封装如图2.4所示。其中模块的输入V1~V4和输出H1~H4分别与矩阵键盘的输出行线V1~V4和输入列线H1~H4相连；RESET与实验板的RST引脚相连；DST和SRC为两个参与运算的数字；ALU_OP中存放运算符编码；finish为一个状态信号表示接收到“=”。

1	2	3	+
4	5	6	-
7	8	9	0
=	cmp	or	and

图2.3 计算器键盘示意图

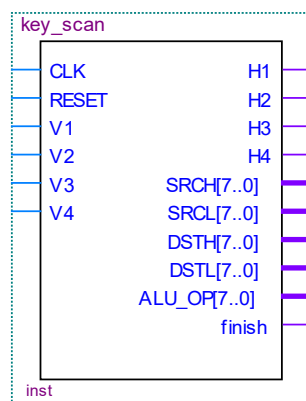


图 2.4 键盘输入模块

(2) 8位ALU模块完成两个数的加、减、与、或、比较运算，其封装如图2.5所示。其中CS存放运算操作的编码，data_a和data_b为两个参与运算的数字，S为运算结果，zero、carry_out为各标志位。

(3) 数码管显示模块是将参与运算的数字和结果输出，其封装如图2.6所示。其中data_in为输入数字或运算结果，data_out与seg_sel代表段选信号和位选信号，分别与数码管的SMA~SMH和SD1~SD4相连。

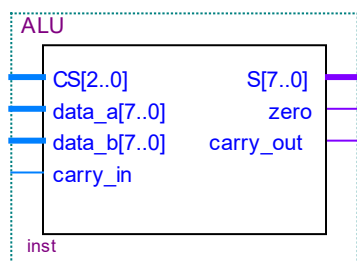


图 2.5 八位 ALU 模块

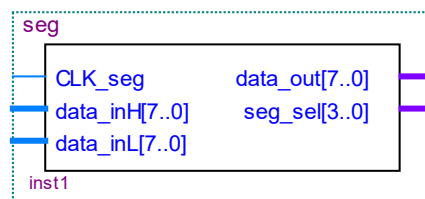


图 2.6 数码管显示模块

三、任务二（以下两项任务二选一）

（一）远程控制系统的设计与实现

在科研和工业生产中为了实现智能仪器的远程控制，提高控制系统的速度，往往采用异步串行通信的方式来实现计算机和仪器之间的通信。

基于FPGA实验板设计一个远程控制系统，可接收由计算机发出的数据，和其他外设联合工作之后，结果发送回计算机显示。

1. 预习任务

- (1) 阅读任务要求，自学串口通信的工作原理。
- (2) 设计一个实验，用示波器观测由PC发来的数据格式（包括单字节和多字节）。写出实验方法和步骤，观测并记录实验结果。
- (3) 设计分频器。用示波器观测并记录输出频率9600Hz。
- (4) 画出控制数据接收和发送电路的状态转换图，设计收发模块的封装形式。

2. 必做任务

(1) 通信双方的传送约定为：波特率为 9600 位/秒；1 位起始位、8 位数据位、无校验位、1 位停止位。

(2) 实现计算机与实验板之间的多字节收发及显示功能。具体说明参见“检查细则”文件。

(3) 自行拟定内容，基于 FPGA 实验板设计一个“远程控制系统”。

例如：可以改进 EDA 大作业二“投币式手机充电仪”，增加找零功能。操作过程改为由计算机键盘输入投币数额，经串口发送至数码管上显示；并随时将充电仪信息返回给计算机显示。

(二) 传感器的驱动和应用电路

实验室提供的传感器如下，也可根据应用电路的需要自行购买其他传感器或外设。

1. 三轴 MEMS 加速度计传感模块 PmodACL2
2. 128x32 像素单色 OLED 屏 PmodOLED
3. 96x64, 16 位色彩分辨率 RGB OLED 显示屏 PmodOLEDrgb
4. 蓝牙 2.1/2.0/1.2/1.0 兼容通信模块 PmodBT2
5. 环境光传感器 PmodALS
6. 三轴数字陀螺仪 PmodGYRO
7. 温度传感器 PmodTMP3
8. 外接 2MB ROM 串行闪存 PmodSF
9. 步进马达驱动器 PmodSTEP (仅用于执行机构)

参考网址 <https://reference.digilentinc.com>

<http://www.digilent.com.cn/products/pmods.html>

1. 预习任务

- (1) 选题简介
- (2) 传感器介绍 (用户手册、数据手册或参考资料等)
- (3) 驱动传感器工作的顶层电路框图

2. 必做任务

(1) 自行拟定实验内容，基于 FPGA 实验板实现 1 种传感器的驱动电路。

(2) 自行拟定实验内容，基于 FPGA 实验板实现 1 种传感器与其他外设联合工作的应用电路。

例如：样例可参考网络学堂上“往年自选任务视频”。

3. 选做任务 (可以由两位完成驱动电路的同学组成一组)

自行拟定实验内容，能够设计和实现一个完整的、合理的应用电路。要求使用 2 种或 2 种以上传感器或其他外设。

例如：样例可参考网络学堂上“往年自选任务视频”。

附录一：一种异步串行通信介绍

计算机和外部设备之间进行信息的交换称为通信，其基本方式可分为并行通信和串行通信。并行通信以字节（或字）为单位进行，其中各位同步收发；串行通信则是按每个字节（或字）中的位（bit）为单位进行，其中各位逐次（例如先低位后高位）收发。由于后者的不同位可以分时的使用同一传输通道，因此最基本的使用中有三根线即可完成数据传输，如图 F1.1 所示。TXD 为发送数据输出，RXD 为接收数据输入。串行通信的收发各方需协调工作，这种协调从原理上可分为同步和异步。本次介绍以异步为主，其余内容可自行查阅相关书籍。

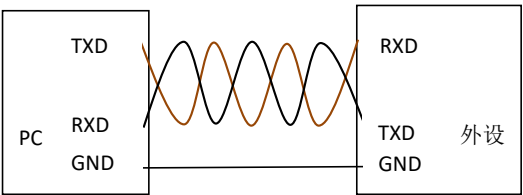


图 F1.1 三线连接示意图

在异步串行通信中，双方为了保证通信正确必须事先对传送速率、传送步骤、数据格式和出错检验方式等作出约定。由于通信双方使用各自的时钟，且传送的信息是随机出现在数据流中的，所以为每一个字节独立的设置起始位和结束位，即每传送一个字节都要建立一次同步。异步串行通信一般按帧传输，帧与帧之间可能有任意个空闲位。传送格式如图 F1.2 所示，一帧数据包括**起始位、数据位、奇偶校验位和停止位**。传送开始前，线路处于空闲状态，线路上送出连续的“1”。开始时首先发一个“0”作为起始位，然后在线路上出现的是字节的二进制编码数据，其位长可以约定为 5 位、6 位、7 位或者 8 位，一般采用 ASCII 编码。然后是奇偶检验位，用奇偶校验位将所传字节中为“1”的个数凑成奇数个或者偶数个。也可以按照约定取消奇偶校验位。最后是停止位“1”，可以按照约定持续 1 位或者 2 位时间宽度。到此为止一帧数据传送完毕，线路又处于空闲，持续为“1”。一段时间之后，下一字节又从起始位开始发送。由于异步串行通信按位收发，因此它的传送速率用每秒钟传输数据的位数来表示，称之为**波特率**。如波特率 9600，表示每秒钟可以传送 9600 位数据，那么每一位数据占据的时间宽度即为波特率的倒数。在接收数据时，为了正确的收到各位，需要用一个远高于波特率的时钟信号对 PC 发来的串行信号不断地采样。接收时钟一般设为波特率的 n 倍，n 称为**波特率因子**，可以取值 16、32、64 等。

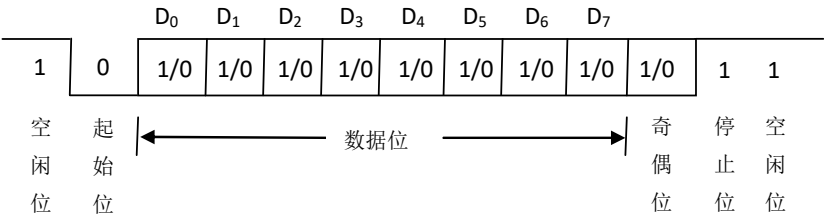


图 F1.2 异步串行通信传输格式

例如，按照任务二的要求在 PC 端设置串口调试助手的参数：波特率为 9600；8 位数据位；无校验位；1 位停止位。根据图 3.1 可知，PC 和 FPGA 实验板之间通信需要基于 FPGA 设计时钟、接收和发送等电路。时钟电路用于产生接收和发送电路所需要的时钟频率。在发送过程中，经数据处理模块并行输出的

数据按照以上约定的波特率 and 数据格式，先低位后高位的串行送出给 PC。而控制这样一帧数据的输出可由状态机电路完成。在接收过程中，可以将接收时钟设定为波特率的 16 倍，即每 16 个时钟周期对应一个数据位。接收数据过程如图 F1.3 所示。当检测到数据线上有从“1”到“0”的变化时，至少连续采样 8 次都为“0”时才认定是起始位，否则认为是干扰信号。以后每隔 16 个周期读取一个数据位，即能保证每一次采样点都在数据位的中点。一帧数据读取完毕后等待下一个起始位的到来。同样的，接收数据的过程也可以由状态机电路完成。

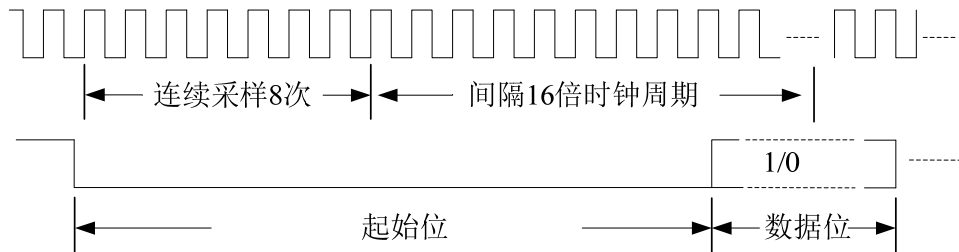


图 F1.3 异步串行接收数据