

TEMA 1

Características del transistor bipolar y FET: Polarización

1.1.- Introducción

El transistor es un dispositivo que ha originado una evolución en el campo electrónico. En este tema se introducen las principales características básicas del transistor bipolar y FET y se estudian los modelos básicos de estos dispositivos y su utilización en el análisis los circuitos de polarización. Polarizar un transistor es una condición previa a muchas aplicaciones lineales y no-lineales ya que establece las corrientes y tensiones en continua que van a circular por el dispositivo.

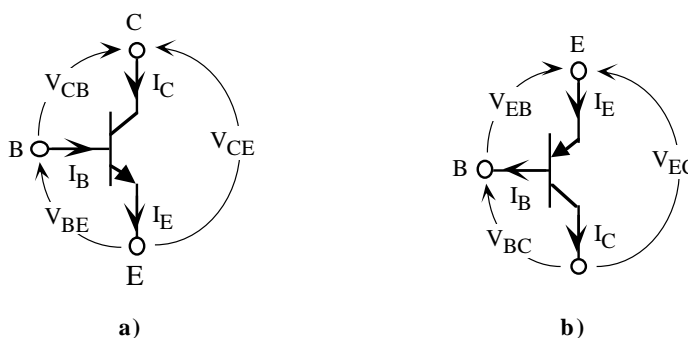


Figura 1.1. Símbolos y sentidos de referencia para un transistor bipolar a) NPN y b) PNP.

1.2.- Corrientes en un transistor de unión o BJT

Un transistor bipolar de unión está formado por dos uniones pn en contraposición. Físicamente, el transistor está constituido por tres regiones semiconductoras -emisor, base y colector- siendo la región de base muy delgada ($< 1\mu\text{m}$). El modo normal de hacer operar a un transistor es en la zona directa. En esta zona, los sentidos de las corrientes y tensiones en los terminales del transistor se muestran en la figura 1.1.a para un transistor NPN y en la figura 1.1.b a un PNP. En ambos casos se verifica que

$$I_E = I_B + I_C$$

(1.1)

y

$$\begin{cases} V_{CE} = V_{CB} + V_{BE} & \text{en transistores NPN} \\ V_{EC} = V_{EB} + V_{BC} & \text{en transistores PNP} \end{cases}$$

(1.2)

Ebers y Moll desarrollaron un modelo que relacionaba las corrientes con las tensiones en los terminales del transistor. Este modelo, conocido como modelo de Ebers-Moll, establece las siguientes ecuaciones generales que,

para un transistor NPN, son:

$$\begin{aligned} I_E &= I_{ES} \left(e^{V_{BE}/V_T} - 1 \right) - \alpha_R I_{CS} \left(e^{V_{BC}/V_T} - 1 \right) \\ I_C &= \alpha_F I_{ES} \left(e^{V_{BE}/V_T} - 1 \right) - I_{CS} \left(e^{V_{BC}/V_T} - 1 \right) \end{aligned} \quad (1.3)$$

donde I_{ES} y I_{CS} representan las corrientes de saturación para las uniones emisor y colector, respectivamente, α_F el factor de defecto y α_R la fracción de inyección de portadores minoritarios. En un transistor bipolar PNP, las ecuaciones de Ebers-Moll son:

$$\begin{aligned} I_E &= I_{ES} \left(e^{V_{EB}/V_T} - 1 \right) - \alpha_R I_{CS} \left(e^{V_{CB}/V_T} - 1 \right) \\ I_C &= \alpha_F I_{ES} \left(e^{V_{EB}/V_T} - 1 \right) - I_{CS} \left(e^{V_{CB}/V_T} - 1 \right) \end{aligned} \quad (1.4)$$

Para un transistor ideal, los anteriores cuatro parámetros están relacionados mediante el teorema de reciprocidad

$$\alpha_F I_{ES} = \alpha_R I_{CS} \quad (1.5)$$

Valores típicos de estos parámetros son: $\alpha_F=0.99$, $\alpha_R=0.66$, $I_{ES}=10^{-15}A$ y $I_{CS}=10^{-15}A$.

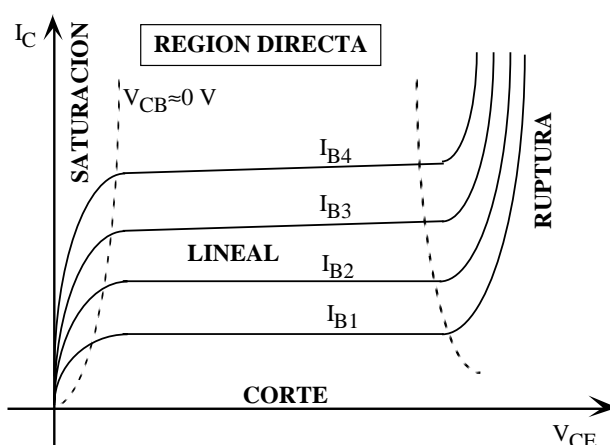


Figura 1.2. Zonas de operación de un transistor en la región directa.

Unión de emisor	Unión colector	Modo de operación
Directa	Inversa	Activa directa
Inversa	Directa	Activa inversa
Inversa	Inversa	Corte
Directa	Directa	Saturación

Tabla 1.1. Principales modos de operación de un transistor bipolar.

1.3.- Modos de operación de un transistor bipolar

En general, los transistores bipolares de circuitos analógicos lineales están operando en la región activa directa. En esta región existe cuatro zonas de operación definidas por el estado de las uniones del transistor

(Tabla 1.1): saturación, lineal, corte y ruptura; estas zonas se indican claramente en la figura 1.2 que representa las zonas de operación de un transistor. A continuación se describe las características del transistor en estos modos de operación considerando el transistor NPN únicamente; similar resultado puede ser aplicado a transistores PNP.

• **Región activa lineal**

En la región activa lineal, la unión emisor-base está directamente polarizada y la unión base-colector inversamente polarizada; la V_{BE} está comprendida entre 0.4 V y 0.8 V (valor típico de 0.7 V) y la $V_{BC} > 100\text{mV}$. En estas condiciones, las ecuaciones de Ebers-Moll se pueden aproximar a

$$\begin{aligned} I_E &= I_{ES} e^{V_{BE}/V_T} + \alpha_R I_{CS} \\ I_C &= \alpha_F I_{ES} e^{V_{BE}/V_T} + I_{CS} \end{aligned} \quad (1.6)$$

Operando con estas ecuaciones, se obtiene una relación entre ambas intensidades de forma que

$$I_C = \alpha_F I_E + I_{CO} \quad (1.7)$$

donde

$$I_{CO} = I_{CS}(1 - \alpha_F \alpha_R) \quad (1.8)$$

Sustituyendo la ecuación 1.1 en 1.7, resulta

$$I_C = \beta_F I_B + (\beta_F + 1) I_{CO} \quad (1.9)$$

siendo

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (1.10)$$

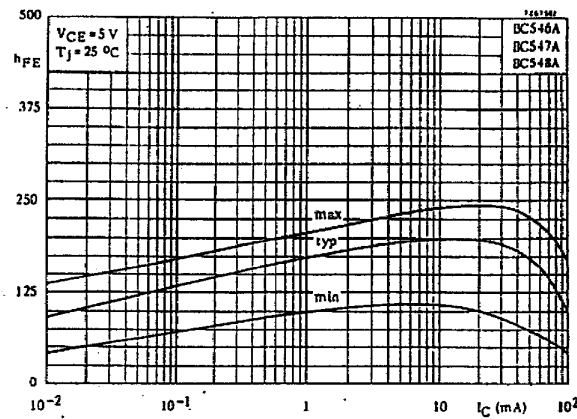
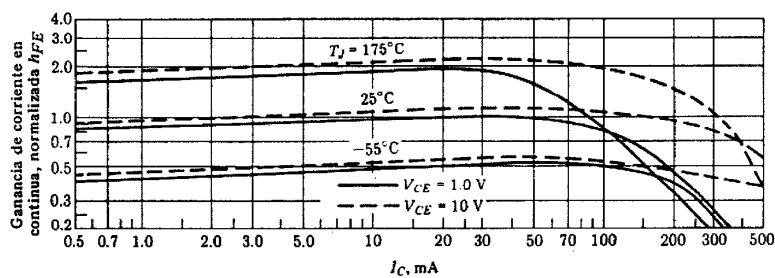
β_F , es la ganancia en corriente en continua del transistor que en las hojas de características del fabricante se representa por h_{FE} . Este parámetro es muy importante en un transistor de unión y define la relación entre las corrientes de colector y base. Al ser I_{CO} una corriente muy baja, el segundo término de la ecuación (1.9) puede ser despreciado frente al primero. Como resultado, se obtiene una relación muy utilizada para analizar transistores que operen en esta región

$$\boxed{\beta_F = h_{FE} \approx \frac{I_C}{I_B}} \quad (1.11)$$

La ecuación (1.11) indica que en la región activa lineal la relación entre las corrientes de colector y base es constante. Sin embargo, en la práctica la h_{FE} de los transistores varía hasta en un 500% debido principalmente a tres factores:

1) Proceso de fabricación. Los transistores sufren variaciones en el proceso de fabricación que modifican sus características. El fabricante asigna un valor típico (*typ*) a ese transistor con un rango de valores comprendido entre un máximo (*max*) y un mínimo (*min*). Por ejemplo, el BC547B tiene, para una $I_C=2\text{mA}$, una $h_{FE}(\text{min})=200$, $h_{FE}(\text{typ})=290$ y $h_{FE}(\text{max})=450$.

2) Corriente de colector. La h_{FE} varía también con la corriente de colector. El fabricante proporciona curvas de características que permiten obtener la h_{FE} para diferentes I_C . En la figura 1.3 se muestra una de estas curvas

Figura 1.3. Variación de h_{FE} con I_C .Figura 1.4. Variación de h_{FE} con la temperatura.

que incluye el valor típico de la h_{FE} con un rango de valores máximo y mínimo.

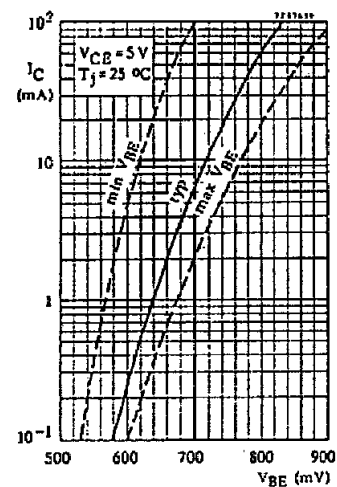
3) Temperatura. La dependencia de la h_{FE} con la temperatura se puede observar en las gráficas que proporciona el fabricante para tal fin. En la figura 1.4 se describe diferentes curvas normalizadas a 25° de h_{FE} para temperaturas de -55°C y 175°C.

• Región de corte

En la región de corte las uniones de emisor y colector están polarizadas en inversa; la V_{BE} y la V_{BC} tienen tensiones inferiores a 100mV. En estas condiciones, las ecuaciones de Ebers-Moll pueden ser simplificadas a:

$$\begin{aligned} I_E &= -I_{ES} + \alpha_R I_{CS} \\ I_C &= -\alpha_F I_{ES} + I_{CS} \end{aligned} \quad (1.12)$$

Estas corrientes son extremadamente bajas y pueden ser despreciadas; a efectos prácticos se puede considerar al transistor como si no existiese. Sin embargo, en muchos circuitos resulta interesante establecer cuando se dan las condiciones de conducción de un transistor, es decir, fijar la frontera entre la región de corte y lineal. Esta frontera no es clara y el transistor pasa de una región a otra de una manera gradual. Es decir, el transistor está en la región lineal cuando tiene corrientes significativas en sus terminales y está

Figura 1.5. Curva de I_C con V_{BE} .

en corte cuando esas corrientes son muy bajas. Normalmente, se asigna una V_{BE} umbral ($V_{BE\gamma}$) a partir de la cual las corrientes tienen un valor suficientemente alto; esta $V_{BE\gamma}$ suele estar comprendida entre 0.4 y 0.5 V. En la figura 1.5 se muestra gráficamente la relación entre la V_{BE} y la I_C en donde se puede observar como por debajo de 0.58 V (typ) la corriente de colector es de bajo valor ($<100\mu$)

- **Región de saturación**

En la región de saturación las uniones de emisor y colector están polarizadas en directa; la V_{BE} y la V_{BC} tienen tensiones superiores 100mV. En estas condiciones, las ecuaciones de Ebers-Moll quedan reducidas a

$$\begin{aligned} I_E &= I_{ES}e^{V_{BE}/V_T} - \alpha_R I_{CS}e^{V_{BC}/V_T} \\ I_C &= \alpha_F I_{ES}e^{V_{BE}/V_T} - I_{CS}e^{V_{BC}/V_T} \end{aligned} \quad (1.13)$$

La caída de tensión entre el colector y emisor es muy baja debido a que ambas uniones pn se encuentran directamente polarizadas. De esta manera, se verifica que

$$V_{CE}(\text{sat}) = V_{BE}(\text{sat}) - V_{BC}(\text{sat}) \quad (1.14)$$

siendo, de 1.13,

$$\begin{aligned} V_{CE}(\text{sat}) &= V_T \ln \left[\frac{\frac{1}{\alpha_R} + \frac{I_C}{I_B} \frac{1}{\beta_R}}{1 + \frac{I_C}{I_B} \frac{1}{\beta_F}} \right] \\ V_{BE}(\text{sat}) &= V_T \ln \left[\frac{I_B + I_C(1 - \alpha_R)}{I_{ES}(1 - \alpha_R \alpha_F)} \right] \\ V_{BC}(\text{sat}) &= V_T \ln \left[\frac{\alpha_F I_B - I_C(1 - \alpha_F)}{I_{CS}(1 - \alpha_R \alpha_R)} \right] \end{aligned} \quad (1.15)$$

Los valores típicos de la $V_{CE}(\text{sat})$ están próximos a 0.1 o 0.2 V y la $V_{BE}(\text{sat})$ es ligeramente superior a la de la región lineal (≈ 0.8 V). El transistor está operando con una relación $\beta_F(\text{sat}) = I_C/I_B$ variable e inferior a la β_F de la región lineal. En la figura 1.6 aparece una curva típica que proporciona el fabricante relacionando la $V_{CE}(\text{sat})$ con la I_C realizada con una $\beta_F(\text{sat}) = 20$. La $V_{CE}(\text{sat})$ está comprendida entre 70mV y 200mV, y por ello, en muchos circuitos se considera prácticamente 0 V. En esta región el transistor se comporta de una manera no lineal.

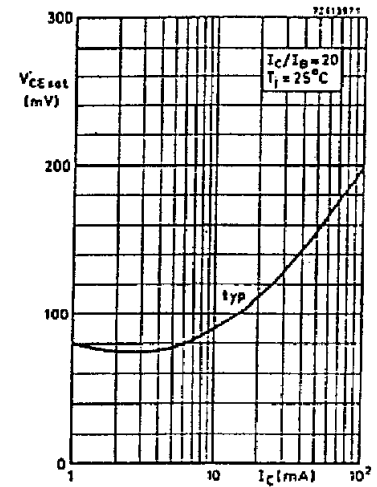


Figura 1.6. Curva de $V_{CE}(\text{sat})$ con I_C .

- **Región de ruptura**

Las tensiones máximas que pueden soportar las uniones pn inversamente polarizadas se denominan tensiones de ruptura. Cuando se alcanza estas tensiones existe peligro de ruptura del transistor debido a dos fenómenos: ruptura por avalanche y ruptura por perforación. El fabricante proporciona dos tensiones máximas (V_{CEO} , V_{CES}) que limitan de alguna manera las tensiones máximas de polarización en continua los transistores. La V_{CEO} define la tensión máxima entre el colector y emisor, estando la base en circuito abierto, antes de que se produzca fenómenos de multiplicación de avalanche que incrementa exponencialmente la I_{CO} a través de la unión

de colector. La V_{CES} define la tensión máxima del colector, estando la base en cortocircuitada al emisor, antes de que la anchura de la región de transición alcance el emisor perforando la región de base. Gráficamente, en la figura 1.7 se muestra la definición de ambas tensiones. Por ejemplo, el transistor BC547 tiene $V_{CES}=50\text{ V}$ y $V_{CEO}=45\text{ V}$, y son éstas tensiones las que limitan las propias tensiones máximas de alimentación.



Figura 1.7. Definición de V_{CEO} y V_{CES} .

- **Zona inversa**

En la región inversa los terminales colector y emisor se intercambian, es decir, el emisor hace la función de colector y viceversa. Las curvas eléctricas son muy similares a las indicadas en la figura 1.2 aunque las prestaciones del transistor sufren una gran disminución al carecer de simetría; el colector está menos dopado y tiene mayor tamaño que el emisor. El efecto más importante es la disminución de la ganancia en corriente en continua que pasa a tener valores altos (p.e., $\beta_F=200$) en la región directa lineal a valores bajos (p.e., $\beta_I=2$) en la región inversa lineal.

1.4- Concepto de punto de trabajo y recta de carga estática

El transistor bipolar que opera en la región lineal tiene unas características eléctricas lineales que son utilizadas para amplificación. En estos circuitos, las señales de entrada son amplificadas a la salida y, por consiguiente, hay un aporte de energía realizado a través de fuentes de tensión externas denominadas fuentes de alimentación o fuentes de polarización. Las fuentes de alimentación cubren dos objetivos: proporcionar las corrientes y tensiones en continua necesarias para que el transistor opere en la región lineal y suministrar energía al transistor de la que parte de ella va a ser convertida en potencia (amplificación). Los valores de corrientes y tensiones en continua en los terminales de un transistor se denomina *punto de trabajo* y se suele expresar por la letra Q (*Quiescent operating point*).

En transistor del circuito de la figura 1.8.a está polarizado con dos resistencias y una fuente de tensión en continua V_{CC} . En este circuito se verifica que

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} \quad (1.16)$$

Si suponemos que el transistor se encuentra en la región directa lineal, entonces se puede relacionar las intensidades de base y colector a través de la h_{FE} y asignar una tensión base-emisor típica de 0.7 V. El cálculo de las tensiones e intensidades del transistor proporciona su punto de trabajo Q . Para este circuito, Q viene definido por las siguientes ecuaciones:

$$\begin{cases} I_{BQ} = \frac{V_{CC} - 0.7V}{R_B} \\ I_{CQ} = h_{FE} I_{BQ} \\ V_{CEQ} = V_{CC} - I_{CQ} R_C \end{cases} \quad (1.17)$$

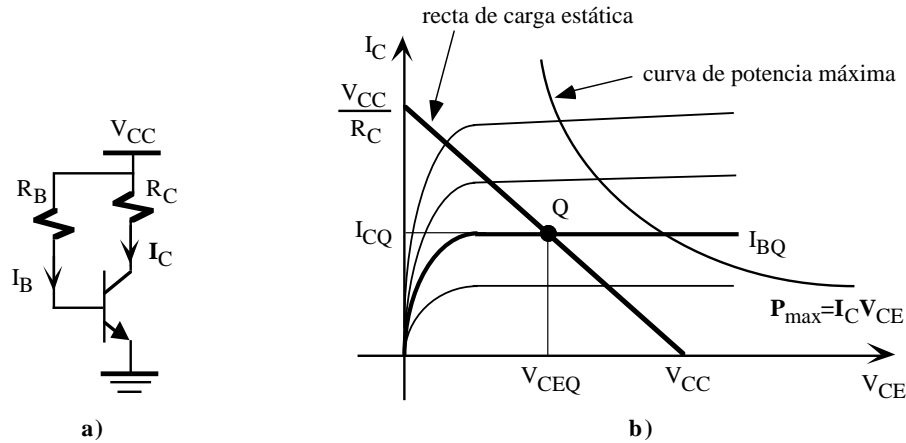


Figura 1.8. a) Circuito de polarización; b) Representación gráfica del punto de trabajo Q.

En la figura 1.8.b se muestra la representación gráfica del punto de trabajo Q del transistor, especificado a través de tres parámetros: I_{CQ} , I_{BQ} y la V_{CEQ} . Este punto se encuentra localizado dentro de una recta denominada recta de carga estática: si Q se encuentra en el límite superior de la recta el transistor estará saturado, en el límite inferior en corte y en los puntos intermedios en la región lineal. Esta recta se obtiene a través de la ecuación del circuito que relaciona la I_C con la V_{CE} que, representada en las curvas características del transistor de la figura 1.8.b, corresponde a una recta. La tercera ecuación de (1.17) define la recta de carga obtenida al aplicar KVL al circuito de polarización, de forma que

$$V_{CC} = V_{CE} + I_C R_C \quad (1.18)$$

Para dibujar esta recta de una manera sencilla en el plano (V_{CE} , I_C) del transistor se selecciona dos puntos: a) $V_{CE}=0$, entonces $I_C=V_{CC}/R_C$; b) $I_C=0$, entonces $V_{CE}=V_{CC}$. Estos puntos se pueden identificar en la figura 1.8.b y representan los cortes de la recta de carga estática con los ejes de coordenadas.

Una de las primeras decisiones relacionadas con la polarización de un transistor es seleccionar la situación del punto Q. La selección más práctica es situarle en la mitad de la recta de carga estática para que la corriente de colector sea la mitad de su valor máximo, condición conocida como excursión máxima simétrica. Evidentemente esta es una condición de diseño que asegurará el máximo margen del punto Q a incrementos de cualquier signo de la intensidad de colector. Sin embargo, hay muchas otras condiciones de operación del transistor que exige un desplazamiento de Q en uno u otro sentido. En estos casos la situación del punto Q estará definida por las diferentes restricciones.

1.4.1- Potencia de disipación estática máxima (P_{CMAX})

Un transistor de unión polarizado tiene unas tensiones y corrientes en sus terminales que le hacen disipar energía. Esta potencia de disipación se puede obtener aplicando la definición de potencia absorbida por un elemento tri-terminal, que en caso del transistor, se expresa como

$$P_C = I_B V_{BE} + I_C V_{CE} \quad (1.19)$$

Debido a que generalmente la $I_B \ll I_C$ y la $V_{BE} \ll V_{CE}$, el primer término de esta ecuación es despreciable frente al segundo, resultando que

$$P_C \approx I_C V_{CE} \quad (1.20)$$

Esta ecuación representa a una hipérbola en el plano (V_{CE} , I_C) de las curvas características del transistor. El fabricante proporciona como dato la potencia de disipación máxima de un transistor; como ejemplo, el BC547 tiene una $P_{CMAX}=500\text{mW}$. En la figura 1.8.b se representa la hipérbola de potencia máxima de un transistor. Es preciso que el punto del trabajo Q esté por debajo de esa curva ya que sino el transistor se dañaría por efecto Joule.

1.5.- Circuitos de polarización de transistores bipolares

La selección del punto de trabajo Q de un transistor se realiza a través de diferentes circuitos de polarización que fijen sus tensiones y corrientes. En la siguiente hoja, la figura 1.9 incluye con los circuitos de polarización más típicos basados en resistencias y fuentes de alimentación; además, se indican las ecuaciones que permiten obtener el punto de trabajo de los transistores. Estos circuitos presentan diferencias en algunos casos importantes. Por ejemplo, el circuito de la figura 1.8.a es poco recomendable por carecer de estabilidad; bajo ciertas condiciones se puede producir deriva térmica que autodestruye el transistor. La polarización de corriente de base de la figura 1.9 es mucho más estable aunque el que más se utiliza con componentes discretos es el circuito de autopolarización. La polarización de colector-base asegura que el transistor nunca entra en saturación al mantener su tensión colector-base positiva.

1.6- Transistores de efecto de campo

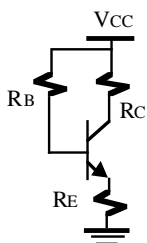
Los transistores de efecto de campo o FET (*Field Electric Transistor*) son particularmente interesantes en circuitos integrados y pueden ser de dos tipos: transistor de efecto de campo de unión o JFET y transistor de efecto de campo metal-óxido semiconductor (MOSFET). Son dispositivos controlados por tensión con una alta impedancia de entrada ($10^{12}\Omega$). Ambos dispositivos se utilizan en circuitos digitales y analógicos como amplificador o como conmutador. Sus características eléctricas son similares aunque su tecnología y estructura física son totalmente diferentes.

Ventajas del FET:

- 1) Son dispositivos controlados por tensión con una impedancia de entrada muy elevada (10^7 a $10^{12}\Omega$).
- 2) Los FET generan un nivel de ruido menor que los BJT.
- 3) Los FET son más estables con la temperatura que los BJT.
- 4) Los FET son más fáciles de fabricar que los BJT pues precisan menos pasos y permiten integrar más dispositivos en un CI.
- 5) Los FET se comportan como resistencias controlados por tensión para valores pequeños de tensión drenaje-fuente.
- 6) La alta impedancia de entrada de los FET les permite retener carga el tiempo suficiente para permitir

CIRCUITOS DE POLARIZACION DE TRANSISTORES DE UNION

Polarización de corriente de base

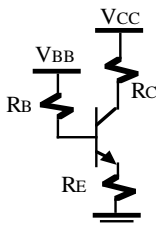


$$\begin{cases} I_B = \frac{V_{CC} - V_{BE}}{R_B + (1 + h_{FE})R_E} \\ I_C = h_{FE}I_B \\ V_{CE} = V_{CC} - I_C \left(R_C + \frac{1 + h_{FE}}{h_{FE}} R_E \right) \end{cases}$$

$$\text{Si } I_B \ll I_C (h_{FE} \gg 1)$$

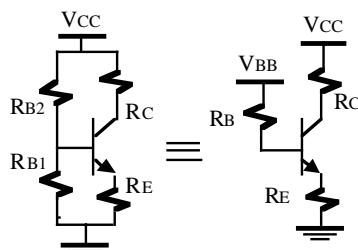
$$\begin{cases} I_B \approx \frac{V_{CC} - V_{BE}}{R_B + h_{FE}R_E} \\ V_{CE} \approx V_{CC} - I_C(R_C + R_E) \end{cases}$$

Polarización de tensión de base constante



$$\begin{cases} I_B = \frac{V_{BB} - V_{BE}}{R_B + (1 + h_{FE})R_E} \\ I_C = h_{FE}I_B \\ V_{CE} = V_{CC} - I_C \left(R_C + \frac{1 + h_{FE}}{h_{FE}} R_E \right) \end{cases}$$

Autopolarización

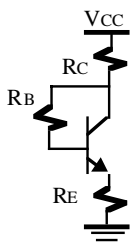


Indénticas fórmulas al caso anterior, siendo

$$R_B = R_{B1} \parallel R_{B2} = \frac{R_{B1}R_{B2}}{R_{B1} + R_{B2}}$$

$$V_{BB} = \frac{R_{B1}}{R_{B1} + R_{B2}} V_{CC}$$

Polarización de colector-base



$$\begin{cases} I_B = \frac{V_{CC} - V_{BE}}{R_B + (1 + h_{FE})(R_C + R_E)} \\ I_C = h_{FE}I_B \\ V_{CE} = I_B R_B + V_{BE} \end{cases}$$

El transistor nunca entra en saturación

Figura 1.9. Algunos circuitos de polarización típicos con transistores bipolares.

su utilización como elementos de almacenamiento.

- 7) Los FET de potencia pueden disipar una potencia mayor y conmutar corrientes grandes.

Desventajas que limitan la utilización de los FET:

- 1) Los FET presentan una respuesta en frecuencia pobre debido a la alta capacidad de entrada.
- 2) Los FET presentan una linealidad muy pobre, y en general son menos lineales que los BJT.
- 3) Los FET se pueden dañar debido a la electricidad estática.

En este apartado se estudiarán brevemente las características de ambos dispositivos orientadas principalmente a sus aplicaciones analógicas.

1.7.- Características eléctricas del JFET

El JFET de canal n está constituido por una barra de silicio de material semiconductor de tipo n con dos regiones (islas) de material tipo p situadas a ambos lados. Es un elemento tri-terminal cuyos terminales se denominan drenador (*drain*), fuente (*source*) y puerta (*gate*). En la figura 1.10.a se describe un esquema de un JFET de canal n, en la 1.10.b el símbolo de este dispositivo y en la 1.10.c el símbolo de un JFET de canal P.

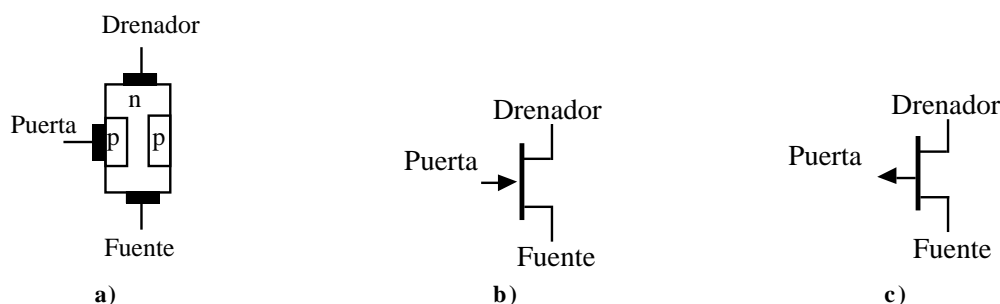


Figura 1.10. a) JFET de canal n. b) Símbolo de un JFET de canal n. c) Símbolo de un JFET de canal P.

La polarización de un JFET exige que las uniones p-n estén inversamente polarizadas. En un JFET de canal n, o NJFET, la tensión de drenador debe ser mayor que la de la fuente para que exista un flujo de corriente a través de canal. Además, la puerta debe tener una tensión más negativa que la fuente para que la unión p-n se encuentre polarizado inversamente. Ambas polarizaciones se indican en la figura 1.11.

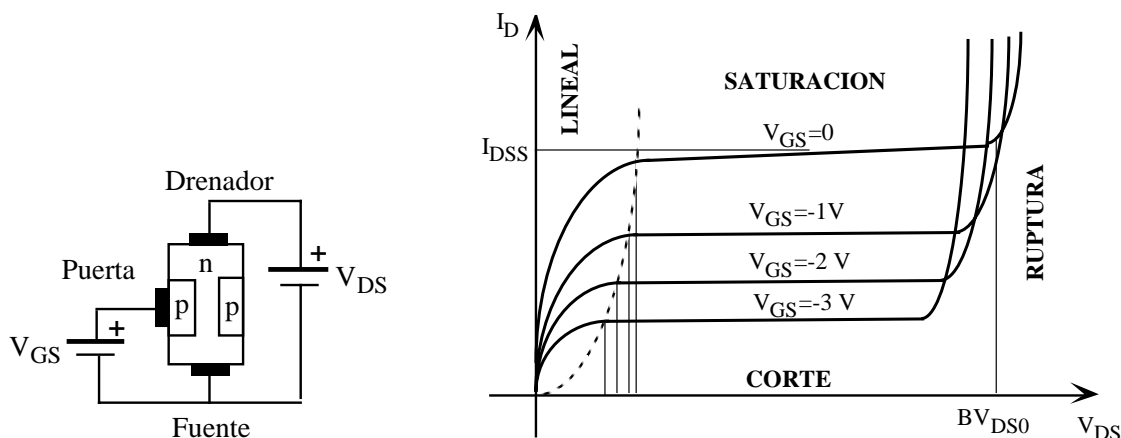


Figura 1.11. Características de un NJFET.

Las curvas de características eléctricas de un JFET son muy similares a las curvas de los transistores bipolares. Sin embargo, los JFET son dispositivos controlados por tensión a diferencia de los bipolares que son dispositivos controlados por corriente. Por ello, en el JFET intervienen como parámetros: I_D (intensidad *drain* o

drenador a *source* o fuente), V_{GS} (tensión *gate* o puerta a *source* o fuente) y V_{DS} (tensión *drain* o drenador a *source* o fuente). Se definen cuatro regiones básicas de operación: corte, lineal, saturación y ruptura. A continuación se realiza una descripción breve de cada una de estas regiones para el caso de un NJFET.

- **Región de corte**

En esta región la intensidad entre drenador y fuente es nula ($I_D=0$). En este caso, la tensión entre puerta y fuente es suficientemente negativa que las zonas de inversión bloquean y estrangulan el canal cortando la corriente entre drenador y fuente. En las hojas técnicas se denomina a esta tensión como de estrangulamiento o *pinch-off* y se representa por $V_{GS(off)}$ o V_p . Por ejemplo, el BF245A tiene una $V_{GS(off)}=-2V$.

- **Región lineal**

En esta región, el JFET se comporta como *una resistencia no lineal* que es utilizada en muchas aplicaciones donde se precise una resistencia variable controlada por tensión. El fabricante proporciona curvas de resistencia drenador-fuente ($r_{ds(on)}$) para diferentes valores de V_{GS} tal como se muestra en la figura 1.12. En esta región el transistor JFET verifica las siguientes relaciones:

$$r_{DS(on)} = \frac{1}{I_D} \left(V_{DS} - \frac{2}{3} \left(\left(\frac{V_{DS} - V_{GS}}{|V_p|^{1/2}} \right)^{3/2} - \frac{V_{GS}^{3/2}}{|V_p|^{1/2}} \right) \right)$$

$$V_{GS} > V_p$$

$$V_{GS} - V_p \approx V_{DS} \quad (1.21)$$

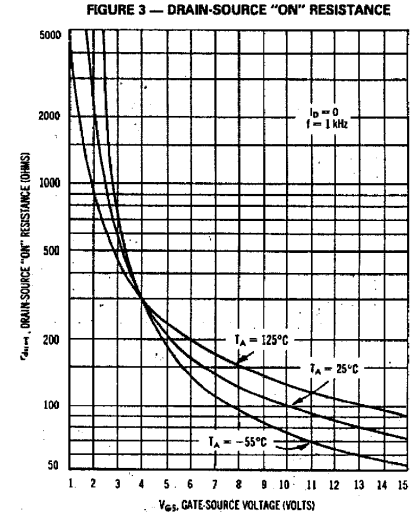


Figura 1.12. Resistencia drenador-fuente de un transistor NJFET en la región lineal.

- **Región de saturación**

En esta región, de similares características que un BJT en la región lineal, el JFET tiene unas características lineales que son utilizadas en amplificación. Se comporta como una fuente de intensidad controlado por la tensión V_{GS} cuya I_D es prácticamente independiente de la tensión V_{DS} . La ecuación que relaciona la I_D con la V_{GS} se conoce como ecuación cuadrática o ecuación de Shockley que viene dada por

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2$$

$$V_{GS} > V_p$$

$$V_{DS} \geq V_{GS} - V_p \quad (1.22)$$

donde V_p es la tensión de estrangulamiento y la I_{DSS} es la corriente de saturación. Esta corriente se define como el valor de I_D cuando $V_{GS}=0$, y esta característica es utilizada con frecuencia para obtener una fuente de corriente de valor constante (I_{DSS}). La ecuación 1.22 en el plano I_D y V_{GS} representa una parábola desplazada en V_p . Esta relación junto a las características del JFET de la figura 1.11 permiten obtener gráficamente el punto de trabajo Q del transistor en la región de saturación. La figura 1.13 muestra la representación gráfica de este punto

Q y la relación existente en ambas curvas las cuales permiten determinar el punto de polarización de un transistor utilizando métodos gráficos.

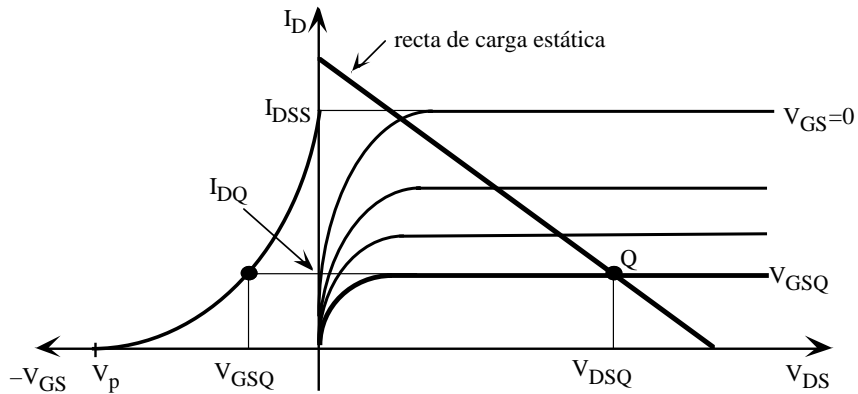


Figura 1.13. Curvas características de un JFET.

• Región de ruptura

Una tensión alta en los terminales del JFET puede producir ruptura por avalancha a través de la unión de puerta. Las especificaciones de los fabricantes indican la tensión de ruptura entre drenaje y fuente con la puerta cortocircuitada con la fuente; esta tensión se designa por BV_{DSS} y su valor está comprendido entre 20 y 50 V. Las tensiones de polarización nunca deben superar estos valores para evitar que el dispositivo se deteriore.

Por último, comentar las diferencias existentes entre un NJFET y PJFET. Las ecuaciones desarrolladas anteriormente para el JFET son válidas para el PJFET considerando el convenio de signos indicados en la tabla 1.2.

N-JFET	P-JFET
$V_{GS}<0$	$V_{GS}>0$
$V_{DS}>0$	$V_{DS}<0$
$I_D>0$	$I_D<0$
$V_p<0$	$V_p>0$

Tabla 1.2. Convenio de signos en las tensiones y corrientes de un NJFET y PJFET.

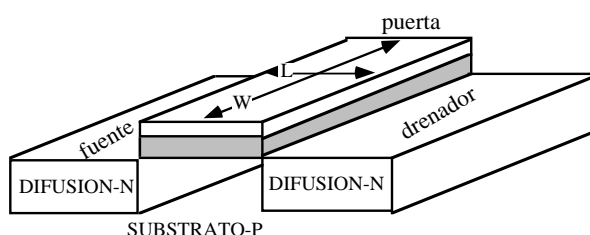
N M O S				

Figura 1.14. Símbolos de transistores NMOS y PMOS.

1.8. Transistores MOSFET

Los transistores MOSFET o Metal-Oxido-Semiconductor (MOS) son dispositivos de efecto de campo que utilizan un campo eléctrico para crear una canal de conducción. Son dispositivos más importantes que los JFET ya que la mayor parte de los circuitos integrados digitales se construyen con la tecnología MOS. Existen dos tipos de transistores MOS: MOSFET de canal N o NMOS y MOSFET de canal P o PMOS. A su vez, estos transistores pueden ser de acumulación (*enhancement*) o depleción (*deplexion*); en la actualidad los segundos están prácticamente en desuso y aquí únicamente serán descritos los MOS de acumulación también conocidos como de enriquecimiento. La figura 1.14 indica los diferentes símbolos utilizados para describir los transistores MOS.

En la figura 1.15 se describe la estructura física de un MOSFET de canal N con sus cuatro terminales: puerta, drenador fuente y sustrato; normalmente el sustrato se encuentra conectado a la fuente. La puerta, cuya dimensión es $W \cdot L$, está separado del sustrato por un dieléctrico (SiO_2) formando una estructura similar a las placas de un condensador. Al aplicar una tensión positiva en la puerta se induce cargas negativas (capa de inversión) en la superficie del sustrato y se crea un camino de conducción entre los terminales drenador y fuente. La tensión mínima para crear esa capa de inversión se denomina tensión umbral o tensión de *threshold* (V_T) y es un parámetro característico del transistor. Si la $V_{GS} < V_T$, la corriente de drenador-fuente es nula; valores típicos de esta tensión son de 0.5 V a 3 V.

**Figura 1.15.** Estructura física de un transistor NMOS

Los transistores JFET y MOSFET tienen una estructura física muy diferente pero sus ecuaciones analíticas son muy similares. Por ello, en los transistores MOS se definen las mismas regiones de operación: corte, lineal, saturación y ruptura. En la figura 1.16 se muestran las curvas de características eléctricas de un transistor NMOS con las diferentes regiones de operación que son descritas brevemente a continuación.

- **Región de corte**

Se verifica que $V_{GS} < V_T$ y la corriente I_D es nula.

- **Región lineal**

El transistor se comporta como un elemento resistivo no lineal controlado por tensión. Verifica las siguientes ecuaciones:

$$I_D = \beta \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$0 < V_{DS} < V_{GS} - V_T \text{ y } V_{GS} > V_T$$
(1.23)

siendo

$$\beta = k \frac{W}{L}$$
(1.24)

un parámetro característico del MOS que depende de la tecnología a través de la constante k y del tamaño de la puerta del transistor (W la anchura y L la longitud).

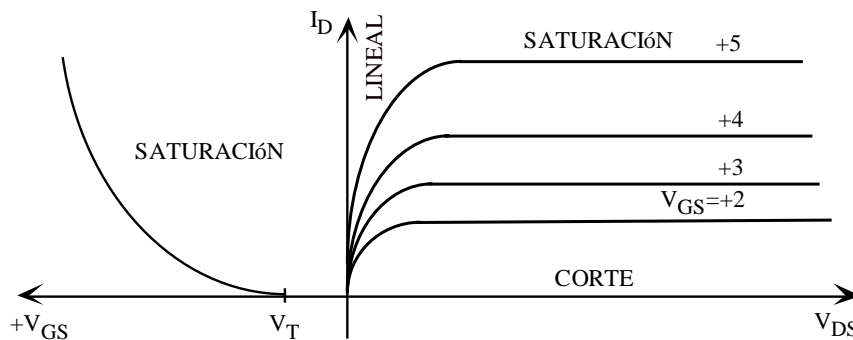


Figura 1.16. Curvas de características de un NMOS.

• Región saturación

El transistor se comporta como una fuente de corriente controlada por la tensión V_{GS} . Verifica las siguientes ecuaciones:

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

$$0 < V_{GS} - V_T < V_{DS} \text{ y } V_{GS} > V_T$$
(1.25)

siendo β el parámetro descrito en la ecuación 1.24. En esta región, la relación cuadrática entre V_{GS} e I_D se representa en la gráfica de la izquierda de la figura 1.16, y de una manera similar a los transistores JFET, puede ser utilizada para determinar por métodos gráficos el punto de polarización de los transistores aunque rara vez se recurre a ellos.

• Región de ruptura

Un transistor MOS puede verse afectado por fenómenos de avalancha en los terminales drenador y fuente, y roturas en la capa de óxido fino de la puerta que pueden dañar irreversiblemente al dispositivo.

NMOS	PMOS
$V_{GS}>0$	$V_{GS}<0$
$V_{DS}>0$	$V_{DS}<0$
$I_D>0$	$I_D<0$
$V_T>0$	$V_T<0$

Tabla 1.3. Convenio de signos en las tensiones y corrientes de un NMOS y PMOS.

Por último, señalar que en la tabla 1.3 se indican las diferencias en el signo y sentido de las corrientes y tensiones existentes entre transistores NMOS y PMOS.

1.9. Polarización de los FET

Los circuitos básicos que se utilizan para polarizar los BJT se pueden emplear para los MOSFET. EL JFET tiene el inconveniente de que la tensión V_{GS} debe ser negativa en un NJFET (positiva en un PJFET) que exige unos circuitos de polarización característicos para este tipo de dispositivos. En este apartado únicamente se presentan dos de los circuitos más utilizados: polarización simple (figura 1.17), se utiliza una fuente de tensión externa para generar una $V_{GS}<0$, y autopolarización (figura 1.18), la caída de tensión en la resistencia R_S debida a I_D permite generar una $V_{GS}<0$.

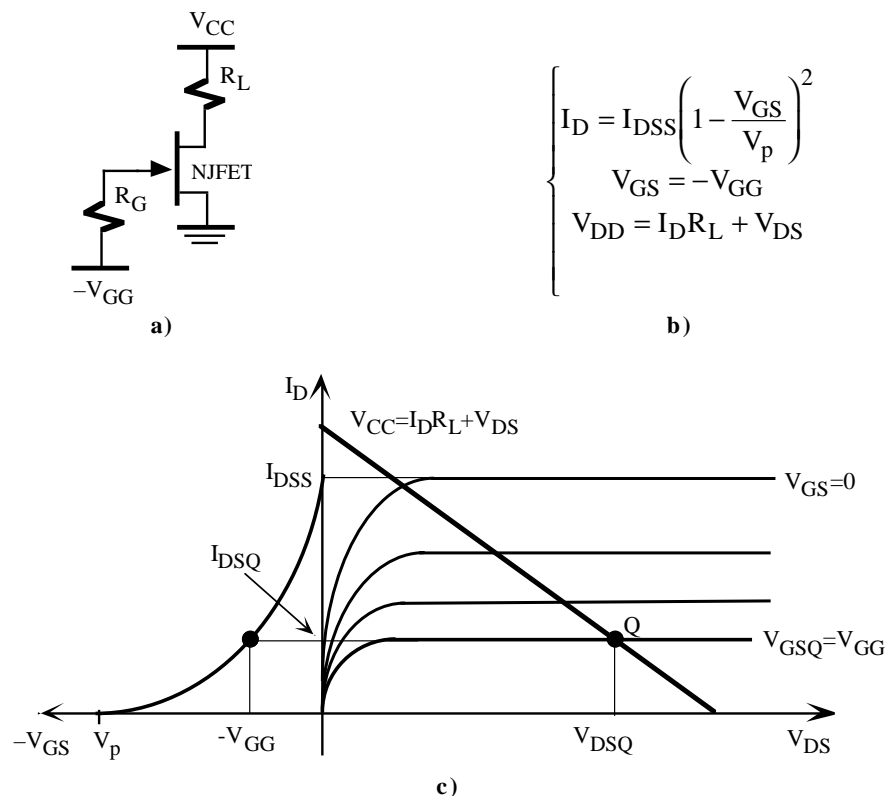


Figura 1.17. Circuito de polarización simple de un NJFET. a) Diagrama circuital. b) Ecuaciones analíticas. c) Representación gráfica del punto de trabajo.

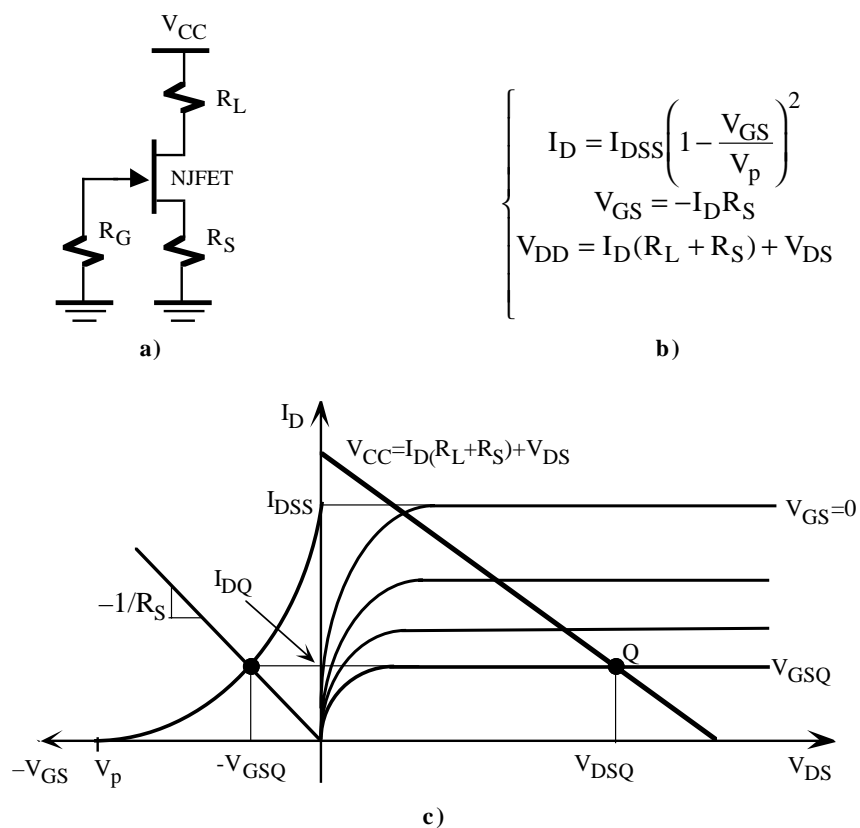


Figura 1.18. Autopolarización de un NJFET. **a)** Diagrama circuital. **b)** Ecuaciones analíticas. **c)** Representación gráfica del punto de trabajo.