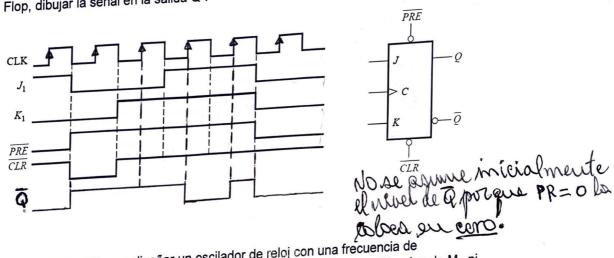
USCO INGENERIA ELECTRONICA

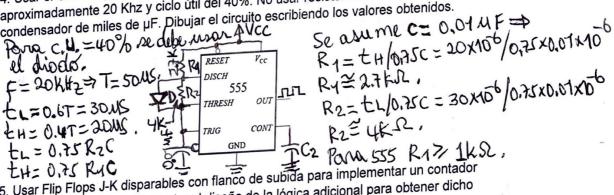
ELECTRONICA DIGITAL I TERCER PARCIAL 21-11-2023

NOTAS: 1) Obligatorio presentar el parcial con lapicero y en la hoja entregada.

- 2) No se permite el uso de calculadora programable ni teléfono celular.
- 3) La duración del parcial es 2 horas.
- 1. Diseñar un convertidor de código Gray de 4 bits a código binario. Designar las entradas con las variables G_D, G_C, G_B, G_A, y las salidas D, C, B, A (LSB).
- 2. a) Mediante calculo representar en binario complemento a 2 el decimal 64, usar el
- b) Obtener por calculo el mínimo número de bits necesarios para representar en el sistema complemento a 2 el rango de números decimales del 52 al -33.
- c) Realizar la siguiente operación en binario complemento a 2: de -29 restar 35. Usar el mínimo número de bits.
- d) Realizar la siguiente operación con números binarios: 110.01x101.011
- 3. El Flip Flop de la figura tiene entradas asíncronas que operan de manera independiente a las entradas síncronas (J y K) y a la entrada de reloj, son activas en bajo y significan: PRE=PreSet, CLR=Clear=Reset. Las señales mostradas se aplican a las entradas del Flip Flop, dibujar la señal en la salida Q'.

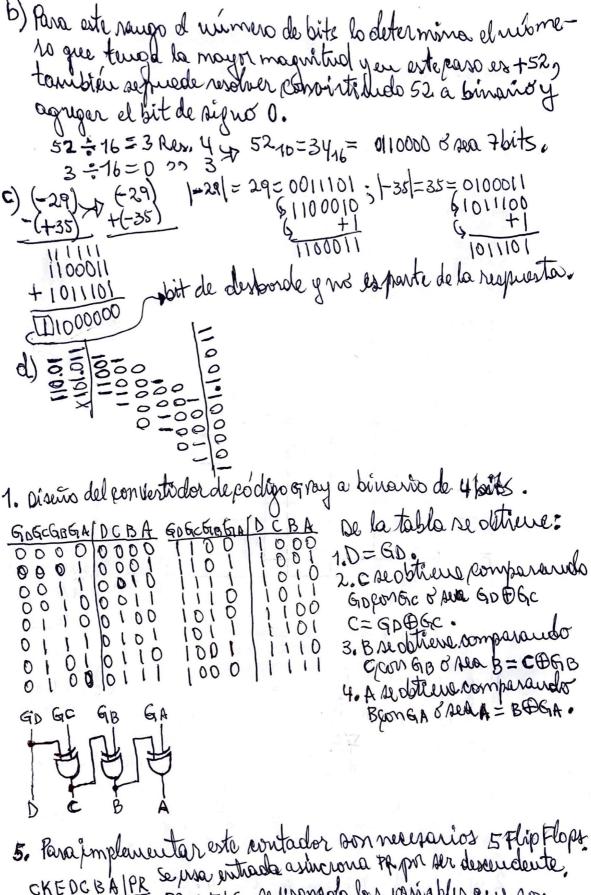


4. Usar el C.I. 555 para diseñar un oscilador de reloj con una frecuencia de aproximadamente 20 Khz y ciclo útil del 40%. No usar resistencias del orden de M_{Ω} ni condensador de miles de µF. Dibujar el circuito escribiendo los valores obtenidos.



5. Usar Flip Flops J-K disparables con flanco de subida para implementar un contador descendente con M=20. Presentar el diseño de la lógica adicional para obtener dicho

2. a) Obtener d'emplements à 2 de 64. somo el número expositivo simplemente se sonvierte el decimal abinario y se de adiciona ala izquierda el bet designo 0. 64=76=4 Rev. 0 > 64-10=4016=01000000.



5. Para implementar exte vontador son neurarios 5 Flip Florecker of the properties o