

UNIVERSIDAD SURCOLOMBIANA

INGENIERÍA ELECTRÓNICA

ELECTRÓNICA DIGITAL 1

PRE-INFORME

APLICACIÓN DE LAS COMPUERTAS UNIVERSALES PRACTICA 1°

Juan Esteban Diaz Delgado-20212201615

Dumar Alexander Delgado-20221206321

Subgrupo 01-N°2

30/09/2024

1

Introducción— Este informe analiza las compuertas lógicas enfocándose en las tecnologías TTL (Transistor-Transistor Logic) y CMOS (Complementary Metal-Oxide-Semiconductor). Durante la práctica de laboratorio, se realizaron mediciones en circuitos de ambas tecnologías para comparar sus características operativas, como los niveles de voltaje alto y bajo. Los resultados obtenidos de las salidas parciales y finales de los circuitos, junto con cálculos relevantes, se incluyen en el informe. Además, se responde un cuestionario destinado a profundizar en los perfiles de tensión de las compuertas lógicas, comparando los resultados entre diferentes configuraciones de circuitos para ambas tecnologías. Por último, se discute el comportamiento del visualizador en relación con el estado complementado de la salida de la compuerta. Este análisis busca documentar los hallazgos experimentales y fomentar un mayor entendimiento sobre la funcionalidad y rendimiento de las compuertas lógicas.

Palabras claves— Compuertas lógicas, TTL, CMOS, compuertas NAND, compuertas NOR.

I. OBJETIVOS

- Aplicar los conceptos teóricos adquiridos en la creación de un circuito con compuertas NAND, desarrollando su tabla de verdad como parte central de la ejecución del laboratorio.
- Profundizar en la comprensión de las características y funcionalidades de los sistemas TTL y CMOS, a través del diseño y análisis del circuito implementado.
- Contrastar los datos experimentales obtenidos en las mediciones de voltajes de entrada y salida de las compuertas con los resultados esperados, verificando su correspondencia.
- Identificar las diferencias eléctricas entre compuertas lógicas de las familias TTL y CMOS, analizando los niveles de voltaje, corriente y resistencia de entrada.
- Analizar las ventajas y desventajas del uso de compuertas NAND en la construcción de circuitos lógicos, evaluando

su idoneidad frente a otras alternativas en distintos contextos de aplicación.

II. JUSTIFICACIÓN

La utilización de compuertas lógicas universales, como NAND y NOR, es esencial en el diseño de circuitos digitales, ya que permiten implementar cualquier función lógica. Estas compuertas, al combinarse adecuadamente, simplifican el diseño de sistemas electrónicos complejos como microprocesadores y dispositivos de control. La comprensión de las diferencias entre las tecnologías TTL y CMOS es crucial, dado que cada una ofrece ventajas específicas, como la velocidad en el caso de TTL y el bajo consumo energético en CMOS.

Esta práctica es relevante porque permite a los estudiantes aplicar los conceptos teóricos en un entorno práctico, comparando los perfiles de tensión y analizando el comportamiento de las compuertas en situaciones reales. De este modo, se fortalece su capacidad para diseñar circuitos lógicos robustos y eficientes, aplicables en diversas áreas de la electrónica.

III. ELEMENTOS MATERIALES Y EQUIPOS

- Protoboard
- Fuente de tensión DC de 5V
- Circuitos integrados NAND: 74LS00 (TTL) y 4011 (CMOS)
- DIP Switch. 4 entradas
- Diodos led de color Rojo
- Resistores de 12K Ω , 120 Ω , 68 Ω , 100 Ω y 100k Ω

IV. PROCEDIMIENTO

A continuación se muestran las mediciones obtenidas en el laboratorio.

1. Medidas de resistencias.

Resistor	Rb(K Ω)	Rc(Ω)	Rh(Ω)	Rl(Ω)
Valor(TTL)	14.86	99	97.8	98
Valor(CMOS)	14.88	98	67.2	98.2

Tabla 1.

Practica N° 1: Aplicación de las compuertas universales

1. Medidas salidas parciales de compuertas lógicas.

ENTRADAS				SALIDAS PARCIALES						SALIDA FINAL	
A		B		X1		X2		X3		X	
CMOS	TTL	CMOS	TTL	CMOS	TTL	CMOS	TTL	CMOS	TTL	CMOS	TTL
0.8mV	5.2mV	1.1mV	42.9mV	4.86V	4.73V	4.86V	4.72V	2mV	0V	4.87V	4.98V
0.8mV	5.2mV	4.98V	4.99V	5V	5V	1mV	0V	5V	5V	0.1mV	0V
5V	4.9V	1.5mV	42.4mV	1mV	0V	5V	5V	5V	5V	0V	0V
5V	4.98V	4.98V	4.94V	0V	0V	0V	0V	5.01V	5.01V	0V	0V

Tabla 2.

2. Voltajes de cada circuito.

Circuito	Vx (V)		Vb(V)		Vc(V)		Vd(V)	
	TTL	CMOS	TTL	CMOS	TTL	CMOS	TTL	CMOS
Circuito a en alto	5V	4.98V						
Circuito a en bajo	0V	0V						
Circuito a en alto	4.60V	4.75V	757mV	797mV	158mV	180mV	2V	2V
Circuito a en bajo	0V	0V	0V	0V	4.03V	4.17	0.47V	0.55V
Circuito a en alto	4.25V	2.47V					2.03V	1.94
Circuito a en bajo	0V	0V					0V	0V
Circuito a en alto	5V	5V					0V	0V
Circuito a en bajo	0.4V	0V					2.05V	1.91V

Tabla 3.

3. Corrientes calculadas y voltajes

Circuito	I _g (μA)		I _C (mA)		I _{OH} (mA)		I _{OL} (mA)		V _{LED} (V)		V _{CE(SAT)} (mV)	
	TTL	CMOS	TTL	CMOS	TTL	CMOS	TTL	CMOS	TTL	CMOS	TTL	CMOS
Circuito b en alto	275.23	270.1	26.469	26.734					2	2	0.14	0.14
Circuito c en alto					7.8	23			2	1.93		
Circuito d en bajo							24	20	2	1.87		

Cuestionario

A. Compare los resultados obtenidos en las salidas parciales y salida final con los niveles de voltaje alto y bajo dados en los perfiles de tensión para las entradas y salidas de compuertas lógicas TTL. Haga dicha comparación entre el circuito de la figura a) y el circuito de la figura b).

B. Compare los resultados obtenidos en las salidas parciales y salida final con los niveles de voltaje alto y bajo dados en los perfiles de tensión para las entradas y salidas de compuertas lógicas CMOS. Haga dicha comparación entre el circuito de la figura a) y el circuito de la figura b).

C. Compare los resultados de a) y b) y explique las diferencias que se presentan.

D. Explique la razón por la cual el visualizador en la figura d) muestra el estado complementado de la salida de la compuerta.

Solución

A. Al comparar los resultados de las salidas parciales y la salida final de los circuitos de las figuras a) y b), se observan diferencias significativas en los niveles de voltaje alto y bajo de las salidas.

Para el circuito a), la salida final presenta un voltaje de 5V en estado alto y 0V en estado bajo. Esto se debe a que la salida está

conectada directamente al aire, lo que permite alcanzar el voltaje máximo esperado para las compuertas lógicas TTL.

En contraste, en el circuito b), el voltaje alto registrado es de 4.6V, mientras que el voltaje bajo se mantiene en 0V. Es importante señalar que este circuito incluye un transistor 2N3904 que está conectado de manera diferente. En este caso, la salida parcial del circuito a) se utiliza como entrada para la base del transistor, a través de una resistencia de 14.8 kΩ. En el colector del transistor, se encuentra un diodo LED en serie con una resistencia de 99 Ω, conectadas a una fuente de 5V, y el emisor está a tierra.

La diferencia en el voltaje alto entre ambos circuitos puede atribuirse al efecto del transistor en el circuito b), que introduce una caída de voltaje debido a la resistencia en la base y la carga del LED. Así, mientras que el circuito a) proporciona un voltaje más cercano al estándar TTL, el circuito b) muestra una ligera disminución debido a la configuración del transistor y las resistencias utilizadas.

B. Al comparar los resultados obtenidos en las salidas parciales y la salida final de los circuitos de las figuras a) y b) en relación con los niveles de voltaje alto y bajo de las compuertas lógicas CMOS, se observan patrones similares.

Para el circuito de la figura a), la salida final muestra un voltaje de 4.98V en estado alto y 0V en estado bajo. Este resultado está en línea con las expectativas para las compuertas lógicas CMOS, que deberían proporcionar voltajes altos cercanos a la fuente de alimentación.

En el circuito de la figura b), se registra un voltaje alto de 4.75V y un voltaje bajo de 0V, lo que también refleja un comportamiento similar al del circuito a). Sin embargo, la ligera disminución en el voltaje alto en este caso podría ser atribuida a factores como la resistencia en el circuito o el impacto de la carga conectada.

En conclusión, ambos circuitos muestran niveles de voltaje altos y bajos consistentes con los perfiles de tensión esperados para las compuertas lógicas CMOS, aunque el circuito b) presenta una reducción menor en el voltaje alto.

C. La menor caída de voltaje en el sistema CMOS en comparación con TTL se debe a que CMOS utiliza transistores MOSFET que presentan menor resistencia en estado alto y una mayor eficiencia energética, mientras que TTL, al emplear transistores bipolares, experimenta mayores caídas de voltaje debido a su mayor consumo de corriente y baja impedancia de salida al manejar cargas.

D. La razón por la cual el visualizador en la figura d) muestra el estado complementado de la salida de la compuerta lógica se debe al diseño del circuito. En este sistema, estamos trabajando con compuertas lógicas pertenecientes a las familias CMOS y TTL, las cuales, en este caso, tienen el mismo comportamiento.

Practica N° 1: Aplicación de las compuertas universales

La salida de estas compuertas se conecta al circuito en la figura d), donde encontramos el cátodo de un LED conectado a dicha salida. Este LED está en serie con una resistencia de 100 ohmios, y la resistencia, a su vez, está conectada a una fuente de 5V.

El comportamiento del LED depende del estado de la salida lógica: cuando la salida está en bajo (0 lógico), el LED se enciende, y cuando la salida está en alto (1 lógico), el LED permanece apagado. Esto ocurre porque cuando la salida lógica está en bajo, actúa como una conexión a tierra para el cátodo del LED, permitiendo que la corriente circule y encienda el LED. Por el contrario, cuando la salida está en alto, no hay diferencia de potencial que permita la circulación de corriente a través del LED, y este permanece apagado.

Por lo tanto, el visualizador muestra el estado complementado de la salida de la compuerta, ya que el LED se enciende en el estado bajo (0) y se apaga en el estado alto (1).

V. CONCLUSIONES

- Resultados exitosos: La práctica de laboratorio se llevó a cabo con éxito, ya que logramos obtener los niveles de tensión esperados tanto en la parte lógica como en los tres circuitos adicionales, cumpliendo con los valores previstos en la mayoría de las mediciones.
- Dificultad con una salida CMOS: En una de las salidas en alto de la compuerta lógica CMOS, observamos un comportamiento inusual, donde el voltaje medido fue de 2.47V, significativamente menor que el valor esperado de 4.95V o al menos 4V. Este fenómeno puede deberse a la carga conectada en la salida. La resistencia de 100 ohmios en serie con el LED genera una caída de tensión adicional en la salida, especialmente si la corriente que circula es considerable. La capacidad de corriente de la salida CMOS puede haber sido limitada en este caso, provocando que el voltaje no alcanzara el nivel lógico alto ideal. Además, posibles pérdidas de energía por características internas del circuito y un posible desajuste en las especificaciones del LED o la resistencia pueden contribuir a esta caída.
- Comportamiento complementado del visualizador: En el circuito conectado al visualizador, observamos cómo el LED se encendía cuando la salida lógica estaba en bajo, actuando como un punto de tierra para el cátodo del LED, y se apagaba cuando la salida lógica estaba en alto. Esto muestra el comportamiento complementado de la señal en el visualizador, un resultado que fue acorde a lo esperado en la práctica.
- Estabilidad de las señales: Exceptuando el caso de la salida CMOS, todas las señales mostraron estabilidad y se comportaron dentro de los márgenes de tolerancia. Esto confirma que los componentes utilizados (resistencias, LED, y compuertas lógicas) estaban funcionando correctamente bajo las condiciones establecidas.
- Importancia de las mediciones precisas: El caso de la salida en alto del CMOS subraya la importancia de realizar mediciones precisas y revisar las características de los componentes en el diseño del circuito. La comprensión de cómo la carga conectada a una salida lógica afecta el comportamiento del sistema es esencial para evitar errores en futuras implementaciones.
- Explicación adicional sobre la salida en alto de 2.47V: El valor de 2.47V en la salida alta del CMOS podría ser consecuencia de la combinación de los siguientes factores: Resistencia de carga: La resistencia de 100 ohmios conectada en serie con el LED crea una caída de tensión debido a la corriente que fluye a través de ella. Dado que el CMOS tiene una capacidad de corriente limitada en su salida, esta caída puede ser significativa y provocar que el voltaje no alcance los niveles esperados. Características del CMOS: Las salidas CMOS son sensibles a la carga conectada y pueden no entregar el voltaje máximo cuando la corriente demandada es alta. Esto ocurre especialmente si la resistencia de carga es baja, lo que implica una mayor corriente a través del LED y la resistencia. Voltaje de umbral del LED: Los LED tienen un voltaje de umbral (típicamente entre 1.8V y 2.2V para un LED rojo estándar) que se debe superar para que conduzcan corriente. Si parte del voltaje se está utilizando para encender el LED, la salida del CMOS podría ser insuficiente para alcanzar el nivel alto completo.
- Aplicación exitosa de los conceptos teóricos: La implementación de un circuito con compuertas NAND permitió crear su tabla de verdad y verificar los niveles de tensión esperados, cumpliendo con el principal objetivo del laboratorio.
- Comparación y análisis de tecnologías: Se comprobó que las compuertas CMOS ofrecen una mayor eficiencia energética y menores caídas de voltaje en comparación con las compuertas TTL, que presentan mayores consumos de corriente debido al uso de transistores bipolares.
- Resultados experimentales: Las mediciones de voltajes de entrada y salida para ambas tecnologías fueron comparadas con los valores esperados, evidenciando la correspondencia en la mayoría de las mediciones, aunque en una salida CMOS hubo un comportamiento atípico con un valor inferior al esperado.
- Uso de compuertas NAND: Se analizaron las ventajas del uso de estas compuertas, destacando su versatilidad y capacidad de implementar cualquier función lógica, aunque el comportamiento complementado de la salida fue discutido en detalle.

VI. REFERENCIAS

- Libro Sistemas digitales Principios y Aplicaciones
Tocci. Décima edición.