USCO ING ELECTRONICA

ELECTRONICA DIGITAL 02

SOLUCION PRIMER PARCIAL

1. $\sqrt{41} = 5$, $\sqrt{4b+1} = 5$, $4b+1 = 5^2$, $4b = 25-1$, $b = \frac{24}{4} = 6$

Prueba: necesariamente se debe hacer en la base propuesta y como seguramente la operacion de raiz cuadrada en la base diferente de 10 no es tan fácil de resolver, entonces se convierte a operación de potencia y después a operacion de suma.

$\sqrt{41} = 5$, $41 = 5^2 = 5+5+5+5+5$, por lo tanto $5+5+5+5+5$ dará un resultado de 41 en la base correcta.

a) base 6: $\begin{array}{r} 5 \\ +5 \\ \hline 14 \end{array}$, $\begin{array}{r} 14 \\ +5 \\ \hline 23 \end{array}$, $\begin{array}{r} 23 \\ +5 \\ \hline 32 \end{array}$, $\begin{array}{r} 32 \\ +5 \\ \hline 41 \end{array}$,

b) base 5: se puede deducir rápidamente que en esa base el dígito mayor es 4 y en la operacion aparece el 5, por lo tanto se descarta, pero si se realizan las operaciones se obtiene $5+5+5+5+5 = 45$.

c) base 7: $\begin{array}{r} 5 \\ +5 \\ \hline 13 \end{array}$, $\begin{array}{r} 13 \\ +5 \\ \hline 21 \end{array}$, $\begin{array}{r} 21 \\ +5 \\ \hline 26 \end{array}$, $\begin{array}{r} 26 \\ +5 \\ \hline 34 \end{array}$

---

2. Operacion $A \oplus B \oplus C$ con compuertas XNOR. Seguramente hay más de una solucion, pero además de tener en cuenta el uso del menor número de C.I. también se debe tener en cuenta el menor número de conexiones pues ello determina lo simplificado del circuito impreso.

$\overline{\overline{(A \oplus B)} \oplus C} = \overline{(A \oplus B)}\,\overline{C} + \overline{\overline{(A \oplus B)}}\,C = (A \oplus B)\overline{C} + \overline{(A \oplus B)}\,C$
$= A \oplus B \oplus C.$

Además quedan disponibles 2 compuertas.

---

3. Simplificar mediante algebra booleana e implementar con NOR la ecuacion obtenida.

$Z = ABCD + A(\overline{C}+\overline{D})B + (\overline{A}+\overline{B})CD = ABCD + A\overline{CD}B + \overline{AB}CD$ se usó De Morgan.

$= ABCD + AB\overline{CD} + \overline{AB}CD$ se usó ley conmutativa.

$= AB(CD + \overline{CD}) + \overline{AB}CD$ se usó ley distributiva factorizando.

$= AB \cdot 1 + \overline{AB}CD$ se usó $X + \overline{X} = 1$.

$= AB + \overline{AB}CD$ se usó $X \cdot 1 = X$

$= (AB + \overline{AB})(AB + CD)$ se usó ley distributiva redistribuyendo las operaciones

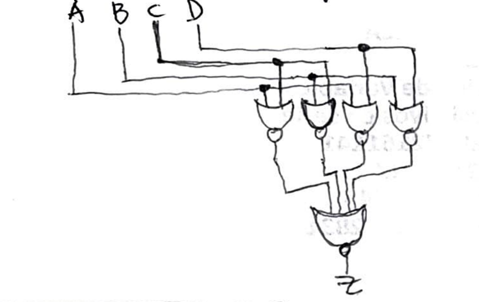
$= 1(AB + CD)$ se usó $X + \overline{X} = 1$.

$= AB + CD$ se usó $X \cdot 1 = X$

Para implementar la ecuación con compuertas NOR, una de las posibilidades es usar algebra bolena para escribir la ecuacion en forma de producto de sumas.

3. $AB+CD = (AB+C)(AB+D)$ se usó ley distributiva redistribuyendo las
$= [(A+C)(B+C)][(A+D)(B+D)]$ se vuelve a usar las operaciones anterior.

$Z = (A+C)(B+C)(A+D)(B+D)$ esta ecuación en forma de producto de sumas se implementa directamente con compuertas NOR



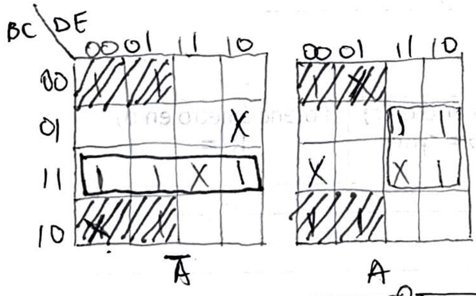
4. $F = A+\overline{\overline{BC}} = A+(\overline{\overline{B}}+\overline{C}) = (A+B+\overline{C})$ corresponde al producto canónico con solo un término suma. Para obtener la suma canónica, uno de los métodos es con la tabla de verdad asumiendo la ecuación obtenida como SOP y colocando unos en las combinaciones correspondientes a los términos de la ecuación teniendo en cuenta las variables faltantes.

De los unos en la tabla se obtienen los minitérminos para la suma canónica.

C	0	1	0	1	0	1	0	1
B	0	0	1	1	0	0	1	1
A	0	0	0	0	1	1	1	1
F	1	1	1	1	1	0	1	1

$F = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\,\overline{C} + AB\overline{C} + ABC$

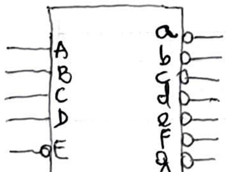
5. Obtener SOP mínima de $F = \Pi_{A,B,C,D,E}(2,3,4,5,7,10,11,18,19,20,21,26,27,29)\cdot X(6,8,15,17,28,31)$.



En estas localidades están los ceros, por lo tanto en las combinaciones faltantes están los unos, ellos producen mediante agrupación la SOP mínima.

$F = \overline{C}\,\overline{D} + \overline{A}BC + ACD.$

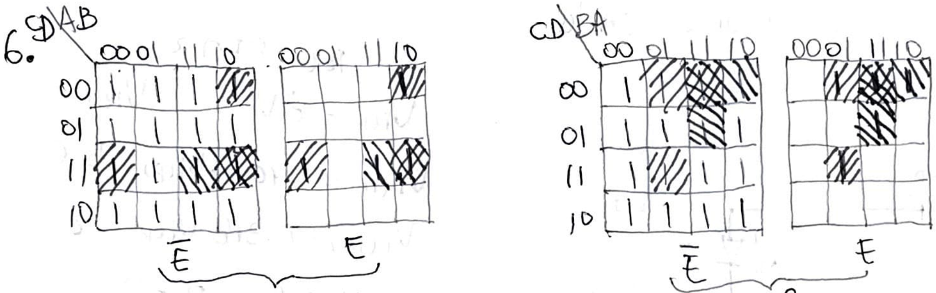
6.



E	D	C	B	A	c	f
0	X	X	X	X	1	1
1	0	0	0	0	0	0
1	0	0	0	1	0	1
1	0	0	1	0	1	1
1	0	0	1	1	0	1
1	0	1	0	0	0	0
1	0	1	0	1	0	0
1	0	1	1	0	0	0
1	0	1	1	1	0	1
1	1	0	0	0	0	0
1	1	0	0	1	0	0
1	1	0	1	0	0	0
1	1	0	1	1	0	0
1	1	1	0	0	1	0
1	1	1	0	1	0	1
1	1	1	1	0	1	0
1	1	1	1	1	1	0

Como hay menos unos que ceros, posiblemente es mejor diseñar con unos y como la entrada de habilitación en cero coloca todas las salidas en alto (uno), entonces se deben plantear mapas con 5 variables para obtener las ecuaciones de c y f simplificadas y con la variable E.

6.

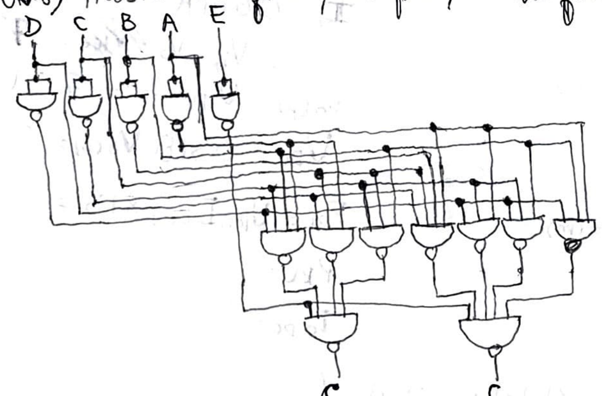


$c = \bar{D}\bar{C}\bar{B}\bar{A} + DC\bar{A} + DC\bar{B} + \bar{E}$

$f = \bar{D}\bar{C}\bar{A} + \bar{D}\bar{C}B + \bar{D}BA + DC\bar{B}\bar{A} + \bar{E}$

} Con estas ecuaciones podemos directamente implementar el circuito con NAND.

Si en las ecuaciones se hace $E=0$ (activada), entonces $c = f = 1$ (desactivados) mostrando que cumple con la funcion de habilitacion.

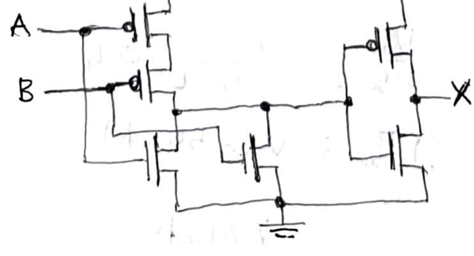


7. a) En el problema está escrito LS01 y en el encabezamiento del dibujo del circuito también está escrito Compuertas LS pero no se porque usaron subfamilia **S**, por única vez lo califico como correcto.
Para mayor velocidad la constante de tiempo debe ser pequeña y ello se logra con R de bajo valor, entonces la corriente a traves de ella debe ser alta, lo que conlleva a salida en bajo y solo una activada.

$-I_{R_p} - I_{IL} + I_{OL} = 0$, $I_{Rp} = I_{OL} - I_{IL} \Rightarrow R_p = \frac{V_{CC} - V_{OL}}{I_{Rp}} = \frac{(5-0.5)\,V}{I_{OL} - I_{IL}}$

$R_p = \frac{4.5V}{(20-2)mA} = \frac{4.5V}{18mA} = 250\,\Omega.$

b)a) OR CMOS



b)b) YES CMOS con salida tipo 3 estados