

NOTAS: 1) Obligatorio presentar el parcial con lapicero y en la hoja entregada.

2) No se permite el uso de calculadora programable ni teléfono celular.

3) La duración del parcial es 1 hora y 45 minutos.

1. Diseñar las salidas O2 y GS activas en bajo de un codificador de octal a binario con entradas activas en alto designadas con la variable I y el respectivo subíndice, la entrada y salida de habilitación son activas en alto.

2. Usar un solo decodificador 74138 y una compuerta adicional por cada función lógica para implementar las siguientes funciones lógicas con P como LSB:

a)  $X = PR' + P'QR + Q'R$

b)  $Y = (P+Q)(P'+Q+R)(P'+R')$

Las compuertas adicionales deben tener el menor número de entradas.

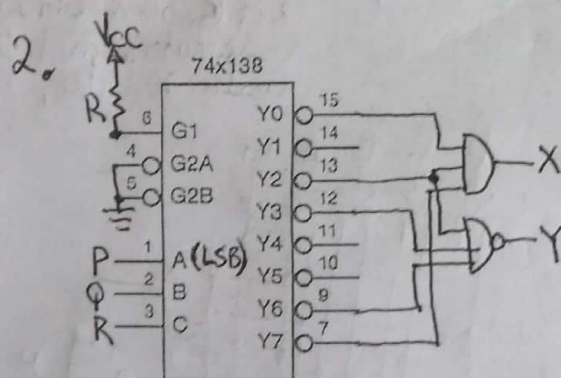
Usar el símbolo lógico del decodificador y las compuertas adicionales conectadas a las salidas correspondientes del decodificador para presentar el circuito, mostrando la correspondencia entre las variables de las funciones lógicas y las variables del decodificador y las conexiones en las entradas de habilitación para que el circuito funcione.

3. Diseñar las salidas d y f activas en bajo de un decodificador manejador de display con entrada de comprobación activa en alto. Para las combinaciones binarias del 10 al 14 el display debe mostrar: -, E, H, L y P y para la combinación binaria 15 el display debe estar apagado.

4. Usar el MUX 74151 para generar la función lógica

$Q = A'BCD' + A'B'D + AB'CD + ABCD' + ABC'D$  con A como MSB.

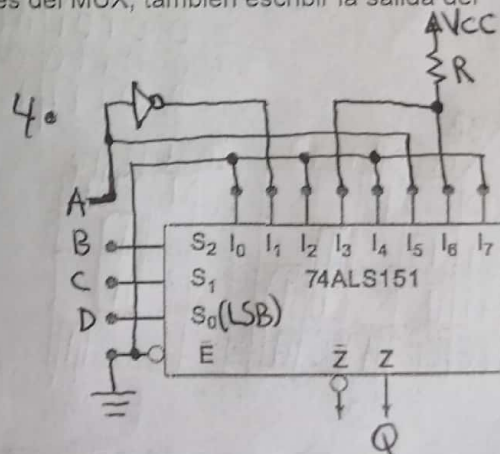
Hacer las conexiones en el símbolo lógico del MUX mostrando la correspondencia entre las variables de la función lógica y las variables del MUX, también escribir la salida del MUX que entrega la función lógica.



a)  $X = PR' + P'QR + Q'R$   
 $= R\bar{Q}P + R\bar{Q}\bar{P} + RQ\bar{P} + RQ\bar{P} + RQ\bar{P}$   
 $Y = (P+Q)(P'+Q+R)(P'+R')$   
 $= (R+Q+P)(R+Q+P)(R+Q+P)(R+Q+P)$   
 $(R+Q+P)$

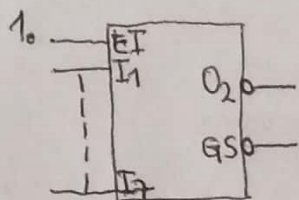
CBA (LSB)	RQP	X	Y
000	0	0	0
001	1	0	0
010	0	1	0
011	1	1	0
100	1	0	1
101	1	0	1
110	1	1	1
111	0	0	0

En X como solo hay 3 ceros, con ellos se requiere una compuerta AND de 3 entradas.  
 En Y como solo hay 3 unos, con ellos se requiere una compuerta NAND de 3 entradas.



$Q = \bar{A}BCD' + \bar{A}\bar{B}D + \bar{A}\bar{B}CD + \bar{A}BCD' + \bar{A}\bar{B}C$   
 $= \bar{A}BCD' + \bar{A}\bar{B}CD + \bar{A}\bar{B}CD + \bar{A}BCD' + \bar{A}\bar{B}C$   
 $= (\bar{A}BCD' + \bar{A}BCD') + (\bar{A}\bar{B}CD + \bar{A}\bar{B}CD) + \bar{A}\bar{B}C$   
 $= \bar{A}BCD' + \bar{A}\bar{B}C$   
 $I_6 = \bar{A}BCD'$   
 $I_3 = \bar{A}\bar{B}C$   
 $I_1 = \bar{A}\bar{B}C$   
 $I_5 = \bar{A}\bar{B}C$

$I_5 = A$   
 $I_1 = \bar{A}$   
 $I_3 = I_6 = 1$   
 $I_0 = I_2 = I_4 = I_7 = 0$



EI	I1	I2	I3	I4	I5	I6	I7	O2	GS
0	X	X	X	X	X	X	X	1	1
1	0	0	0	0	0	0	0	1	0
								1	0
								1	0
								0	0
								0	0
								0	0
								0	0
								0	0
								1	0

$$O_2 = (\overline{EI} + \overline{I_4})(\overline{EI} + \overline{I_5})(\overline{EI} + \overline{I_6})(\overline{EI} + \overline{I_7})$$

$$= \overline{EI} + \overline{I_4} \overline{I_5} \overline{I_6} \overline{I_7} = \overline{EI} (\overline{I_4} \overline{I_5} \overline{I_6} \overline{I_7})$$

$$= \overline{EI} (I_4 + I_5 + I_6 + I_7)$$

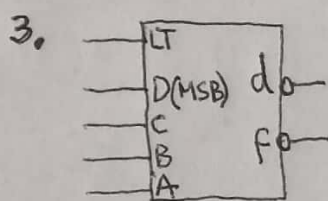
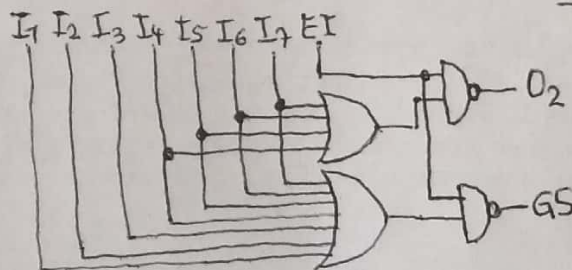
Esta ecuación presenta EI, I4, I5, I6 e I7 activos en alto y la salida O2 activa en bajo.

$$GS = (\overline{EI} + \overline{I_1})(\overline{EI} + \overline{I_2})(\overline{EI} + \overline{I_3})(\overline{EI} + \overline{I_4})$$

$$(\overline{EI} + \overline{I_5})(\overline{EI} + \overline{I_6})(\overline{EI} + \overline{I_7})$$

$$= \overline{EI} + \overline{I_1} \overline{I_2} \overline{I_3} \overline{I_4} \overline{I_5} \overline{I_6} \overline{I_7}$$

$$= \overline{EI} (I_1 + I_2 + I_3 + I_4 + I_5 + I_6 + I_7)$$



LT	DCBA	d	f
1	XXXX	0	0
0	0000	0	0
0	0001	1	1
0	0010	0	1
0	0011	0	1
0	0100	1	0
0	0101	0	0
0	0110	0	0
0	0111	1	1

Como la entrada de comprobación LT cuando se activa coloca todas las salidas en bajo, al diseñar con los qnos que produce el circuito más sencillo, no son necesarios 2 M.K. para obtener la ecuación simplificada de cada salida.

LTDC	BA	d	f
00	01 11 10		
000		1	
001		1	1
011		1	1
010		1	1

$$d = \overline{LT}DBA + \overline{LT}C\overline{B}A + \overline{LT}C\overline{B}A + \overline{LT}CBA$$

$$f = \overline{LT}DCA + \overline{LT}C\overline{B}A + \overline{LT}CBA$$

Como las salidas son activas en bajo, las compuertas que integran las salidas deben ser inversoras, entonces como las ecuaciones están en la forma de SOP, se implementan con compuertas NAND.

