

PRACTICA N° 12.

EL MODULO USART DE UN MICROCONTROLADOR ATMEGA16

OBJETIVOS.

HABILITAR Y USAR EL MODULO USART DEL MICROCONTROLADOR AVR.

INTRODUCCION

El Transmisor/Receptor Universal Síncrono y Asíncrono (USART) es un dispositivo altamente flexible para comunicación serial. Las principales características son:

- Operación Full Dúplex (Registros independientes de recepción y transmisión serial).
- Operación Asíncrona y Síncrona.
- Operación síncrona Maestro-Esclavo.
- Generador de alta resolución de Baud rate.
- Soporte de Tramas con 5, 6, 7, 8 o 9 bits de datos y 1 o 2 bits de paro.
- Generación de paridad Par o Impar y Revisión soportado por hardware.
- Detección de datos OverRun.
- Detección de error de Trama.
- Filtrado de ruido incluido, detección de bit de inicio falso y filtro pasa-bajo ideal.
- Tres interrupciones separadas: Finalización de Tx, Registro de datos vacío Tx,Recepción Completa Rx.
- Modo de comunicación Multiprocesador.
- Modo de comunicación de doble velocidad Asíncrona.

Dentro de la comunicación serie existes dos formas de implementar está el modo síncrona y el modo asíncrona. En la comunicación síncrona un bloque completo de datos se envía todo a la vez, este método no requiere de bits adicionales (inicio, paro o paridad) para la sincronización de la trama. Los dispositivos se sincronizan por una señal de reloj. Por lo tanto se necesitan cuatro buses una para alimentación otra para tierra una tercera para datos y una cuarta para la señal de reloj que es la que sincroniza.

En cambio en la comunicación asíncrona es se hace byte a byte es decir, un byte a la vez, se añaden bits adicionales para completar la trama. Para que el transmisor y el receptor puedan comunicarse asíncronamente sin errores es necesario que ambos dispositivos tengan el mismo formato de comunicación, que tengan:

1. La misma velocidad de comunicación, expresada en Baudios (bits/seg)
2. El formato de la trama: 5, 6, 7, 8 o 9.
3. El formato de los datos que se envían/reciben
4. Tipo de paridad
5. El número de bits de paro 1 o 2.

En la comunicación sincrónica trama solo consta de bits de datos, mientras que en la comunicación asíncrona el número total de bits en la trama pueden ser más los bits que se adicionan que los bits de datos.

El rendimiento de la comunicación serie síncrona suele ser casi del 100%, porque los datos no van precedidos ni seguidos de otras señales auxiliares como son el bit de START, de PARIDAD, de STOP, etc. En cambio, el rendimiento de una comunicación serie asíncrona en el modo 1 UART, 8 bits datos + 1 bit de start + 1 bit de stop, es del 80%.

Posee un **buffer** de recepción que permite la recepción de un byte antes de la lectura anterior, siempre y cuando la lectura del primer byte se efectúe antes de la recepción del último bit del segundo byte. Los registros de recepción y transmisión son ambos accesibles

Hay tres técnicas en las que la comunicación serie se puede realizar que son la Full Duplex, Half Duplex y la Simplex.

Simplex: La comunicación serie se realiza en una dirección (un transmisor y un receptor) y existe una línea de comunicación (Figura 12.1). Generalmente, no se utiliza, debido a la desventaja que el receptor no puede avisar si hay error en la comunicación.

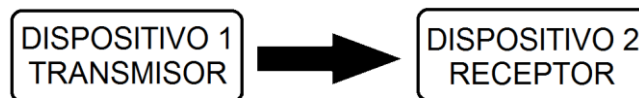


Figura 12.1 comunicación Simplex.

Half Duplex: La comunicación serie se establece en ambas direcciones pero a través de una sola línea, pero en ambos sentidos (ver Figura 12.2). En un momento el transmisor enviará información y en otro recibirá, por lo que no se puede transferir información en ambos sentidos de forma simultánea.

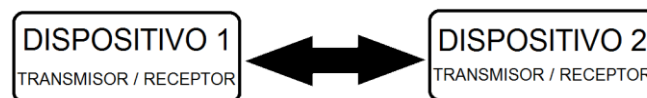


Figura 12.2 Comunicación Half Duplex

Este modo permite la transmisión desde el extremo receptor de la información, sobre el estado de dicho receptor y sobre la calidad de la información recibida por lo que permite así la realización de procedimientos de detección y corrección de errores.

Full duplex: Se utilizan dos líneas (una transmisora y otra receptora) y se envía la información en ambos sentidos (Figura 12.3). La ventaja de este método es que se puede transmitir y recibir información de manera simultánea.

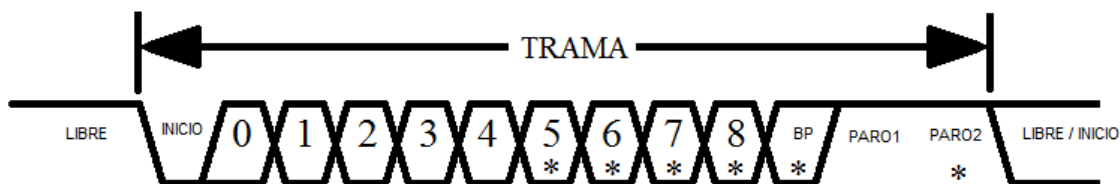


Figura 12.3 Comunicación Full Duplex

La mayoría de los dispositivos especializados para la comunicación pueden transferir información tanto en full duplex como en half duplex (el modo simplex es un caso especial dentro de half duplex).

En esta práctica se empleara el modo asíncrono, la sincronización se consigue el uso correcto de la velocidad de transmisión, el bit de inicio y de paro en la secuencia de transmisión.

Bit de inicio y de paro: Estos bits emplean para sincronizar la trama de datos en su inicio así como en su fin. El bit de inicio, es un único bit bajo lo que da el inicio a la trama de datos (empezando generalmente por el bit menos significativo LSB). El Bit de paro puede ser uno o dos bits en alto al final de la trama de datos, que indica la terminación de la trama (ver Figura 12.4).



* Puede Estar o No dependiendo de la configuracion

Figura 12.4 Trama de la USART en modo asíncrono.

El bit de paridad (par o impar), sirve para comprobar que los datos se transfieran sin error o también llamado bit de detección de error.

La taza de transmisión se mide en Baudios, esta es la velocidad a la que se transfieren datos en serie en un segundo.

Registro de Estado y de Control A de la USART (UCSRA)

BIT							
7	6	5	4	3	2	1	0
RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM

RXC: Recepción Completa de la USART. Si se pone en uno este bit es cuando existen datos sin leerse en el buffer de recepción y se limpia cuando el buffer de recepción está vacío (por ejemplo, que no contenga datos sin leerse). Si el receptor se deshabilita, el buffer del receptor será limpiado y consecuentemente el bit RXC llegara a ser cero.

TXC: Transmisión Completa de la USART. Si se pone en uno este bit es cuando la transmisión ha sido completada y no existe ningún dato en el buffer de transmisión (UDR). El bit de bandera TXC automáticamente se limpia cuando la interrupción de transmisión completa se ejecuta.

UDRE: Registro de Datos Vacío de la USART. Indica si el buffer de transmisión (UDR) está listo para recibir un nuevo dato. Si UDRE es uno, el buffer está vacío, y por consiguiente está listo para escribirse. UDRE se pone a uno aun después de un reset para indicar que el transmisor está listo.

FE: Error de Trama. Este bit se pone a uno si el carácter en el buffer de recepción tuvo un error en la trama cuando se recibió. Por ejemplo, cuando el primer bit de stop del carácter recibido es cero. Este bit es válido hasta que el buffer de recepción (UDR) sea leído. El bit FE es cero cuando el bit de stop de los datos recibidos es uno.

DOR: Sobrescritura de datos. Este bit se pone a uno si la condición sobrescritura de datos se detecta. Un dato sobrescrito ocurre cuando el buffer del receptor está lleno (dos caracteres), y está un nuevo carácter esperando en el registro de corrimiento del receptor, y un nuevo bit de inicio se detecta. Este bit es válido hasta que el buffer del receptor (UDR) sea leído.

PE: Error de Paridad. Este bit se pone a uno si el carácter que está en el buffer del receptor tuvo un error de paridad cuando se recibió y la revisión de paridad está habilitado en ese punto (UPM1= 1). Este bit es válido hasta que el buffer del receptor se leído (UDR).

U2X: Doble Velocidad de Transmisión de la USART. Este bit solamente tiene efecto para la operación asíncrona. Escriba este bit a cero cuando se usa la operación sincrona. Escribiendo este bit a uno reducirá el divisor del baud rate de 16 a 8 doblando efectivamente la razón de transferencia para comunicación asíncrona.

MPCM: Modo de Comunicación Multi-procesador. Este bit habilita el modo de comunicación multi-procesador. Cuando el bit MPCM se escribe a uno, todos los marcos de entrada recibidos por el receptor del USART que no contengan la dirección serán ignorados. El transmisor no es afectado por los ajustes en MPCM.

Registro de Estado y de Control B de la USART (UCSRB)

BIT							
7	6	5	4	3	2	1	0
RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8

RXCIE: Habilitación de la Interrupción de Recepción Completa. Escribiendo a este bit con un uno lógico habilita la interrupción de recepción Completa.

TXCIE: Habilitación de Interrupción de Transición Completa. Escribiendo a este bit con un uno habilita la interrupción la interrupción de Transmisión Completa..

UDRIE: Habilitación de Interrupción de Registro de Datos Vacío de la USART. Escribiendo con uno lógico este bit habilita la interrupción UDRE.

RXEN: Habilitación del Receptor. Escribiendo este bit con uno lógico habilita el receptor del USART. El receptor se activara en el pin PD0 como RXD una vez que se haya habilitado. Deshabilitando el receptor limpiara el buffer del receptor invalidando las banderas FE, DOR y PE.

TXEN Habilitación del Transmisor. Escribiendo este bit con uno lógico habilitara el transmisor del USART. El transmisor activara en el pin PD1 como TXD una vez que se haya habilitado. Deshabilitando el transmisor (escribiendo TXEN a cero) no tendrá efecto hasta que transmisiones actuales o pendientes se completen.

UCSZ2: Tamaño del Carácter. El bit UCSZ2 combinado con los bits UCSZ1:0 en UCSRC ajustan el número de bits de la trama (tamaño del carácter).

RXB8: 8vo Bit de Datos de Recepción. Es el noveno bit de datos del carácter recibido cuando se opera con 9 bits de datos, es decir en este bit se ubica el noveno dato de la trama. Debe ser leído antes de la lectura de los ocho bits bajos de UDR.

TXB8: 8vo Bit de Datos de Transmisión. Es el noveno bit de datos del carácter transmitido cuando se operan con 9 bits de datos, es decir en este bit se ubica el noveno dato de la trama. Debe ser escrito antes de la escritura de los ocho bits bajos de UDR.

Registro de Estado y de Control C de la USART (UCSRC)

BIT							
7	6	5	4	3	2	1	0
URSEL	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL

El registro UCSRRC comparte la misma localidad de E/S del Registro UBRRH.

URSEL: Registro de Selección. Este bit selecciona entre acceder al registro UCSRRC o el registro UBRRH. Se lee como uno cuando se lee UCSRRC. El URSEL debe ser uno cuando se escribe a UCSRRC.

UMSEL: Selección del Modo del USART. Este bit selecciona entre el modo de operación asíncrono o síncrono. Los Modos de operación se muestran en la Tabla 12.1

TABLA 12.1 Configuración de UMSEL

UMSEL	MODO
0	Operación Asíncrona
1	Operación Síncrona

UPM1:0. Modo de Paridad. Estos bits habilitan y ajustan el tipo de generación de paridad y chequeo. Si se habilita el transmisor automáticamente generara y enviara la paridad de los bits de datos transmitidos dentro de cada trama. Los modos de paridad se muestran en la Tabla 12.2

TABLA 12.2 Configuración de UPM

UCSZ2	UCSZ1	Modo de Paridad
0	0	Deshabilitada
0	1	Reservada
1	0	Habilitada en Paridad Par
1	1	Habilitada en Paridad Impar

USBS: Selección del Bit de Stop. Este bit selecciona el número de bits de stop para ser insertados en el transmisor. El receptor ignora estos ajustes. La configuración del bit de paro se muestra en la Tabla 12.3.

TABLA 12.3 Configuración de USBS

UMSEL	Numero de Bits de Paro
0	1 bit
1	2 bits

Bits 2:1. Tamaño del Carácter La combinación de bits UCSZ1:0 con el bit UCSZ2 en UCSRB ajustan el número de bits de datos de la trama (tamaño del carácter) del receptor o transmisor empleado. La tabla 12.4 muestra los diferentes tamaños de las datos de la trama.

TABLA 12.4 Tamaño de los datos de la trama

UCSZ2	UCSZ1	UCSZ0	TAMAÑO DE LOS DATOS DE LA TRAMA
0	0	0	5 BITS
0	0	1	6 BITS
0	1	0	7 BITS
0	1	1	8 BITS
1	0	0	RESERVADO
1	0	1	RESERVADO
1	1	0	RESERVADO
1	1	1	9 BITS

UCPOL: Polaridad de Reloj Este bit se usa para el modo síncrono solamente. Escriba a este bit en cero cuando el modo asíncrono se use. El bit UCPOL ajusta la relación entre el cambio de datos de salida y el muestreo de datos de entrada, y el reloj síncrono (XCK).

TABLA 12.5 Configuración de UCPOL

UCPOL	Cambio en Transmisión de Datos (TXD)	Muestreo en la Recepción de Datos (RXD)
0	Flanco de Subida en XCX	Flanco de Bajada en XCX
1	Flanco de Bajada en XCX	Flanco de Subida en XCX

Registro de Datos de E/S de la USART (UDR)

7	6	5	4	3	2	1	0
RXB[7:0]				UDR(LECTURA)			
TXB[7:0]				UDR(ESCRITURA)			

El UDR es el registro de datos de transmisión y de recepción de la USART y comparten la misma dirección. Es decir aquí se escriben los datos a transmitir o se leen los datos recibidos.

El buffer de transmisión solamente se puede escribir cuando la bandera UDRE en el registro UCSRA está en alto de lo contrario serán ignorados por el transmisor del USART.

Registro de la Taza de Transferencia de la USART (UBRRL & UBRRH)

15	14	13	12	11	10	9	8
URSEL	—	—	—	UBRR[11:8]			
UBRR[7:0]							
7	6	5	4	3	2	1	0

URSEL: Selección de Registro. Este bit selecciona entre acceder al registro UBRRH o el registro UCSRC. Se lee como cero cuando se lee UBRRH. El URSEL debe ser cero cuando se escribe a UBRRH.

UBRR11:0. Registro de Taza de Transferencia de la USART. Este es un registro de 12 bits el cual contiene la taza de transferencia de la USART. El UBRRH contiene los cuatro bits más significativos, y el UBRRL contiene los 8 bits menos significativos de la Taza de Transferencia de la USART.

El cálculo de la taza de transferencia se emplea las ecuaciones de la tabla 12.6 para sus diferentes modos.

TABLA 12.6 ecuaciones para el cálculo del UBRR

MODO DE OPERACION	ECUACION PARA EL CALCULO DE LA TAZA TRANSFERENCIA (BPS)	ECUACION PARA EL CALCULO DEL VALOR DE UBRR
MODO ASINCRONO NORMAL (U2X=0)	$BAUD = \frac{f_{osc}}{16(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{16BAUD} - 1$
MODO ASINCRONO DOBLE VELOCIDAD (U2X=1)	$BAUD = \frac{f_{osc}}{8(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{8BAUD} - 1$
MODO SINCRONO MAESTRO	$BAUD = \frac{f_{osc}}{2(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{2BAUD} - 1$

MATERIAL Y EQUIPO

1 Protoboard
1 C.I. AVR ATMEGA 16
8 LEDs
8 resistencias de 330Ω
Fuente de Alimentación Regulada de 5 volts
Cables para conexión rápida
1 Potenciómetro de 10K
1 Multímetro

DESARROLLO

Planteamiento del problema

Se necesita enviar y recibir caracteres ASCII de la computadora al micro y el mismo carácter se enví a la computadora con un incremento de uno, en forma full dúplex y modo de operación asíncrono, con un largo de la trama de datos de 8 bits.

Procedimiento

1. Realizar el diagrama de flujo.
2. Incluir las bibliotecas necesarias.
3. Inicializar el microcontrolador.
4. Desactivar la interrupción global.
5. Configurar la USART.
6. Habilitar la interrupción de la USART.
7. Habilitar la interrupción global.
8. Sacar a puerto B el carácter recibido.

Diagrama del circuito

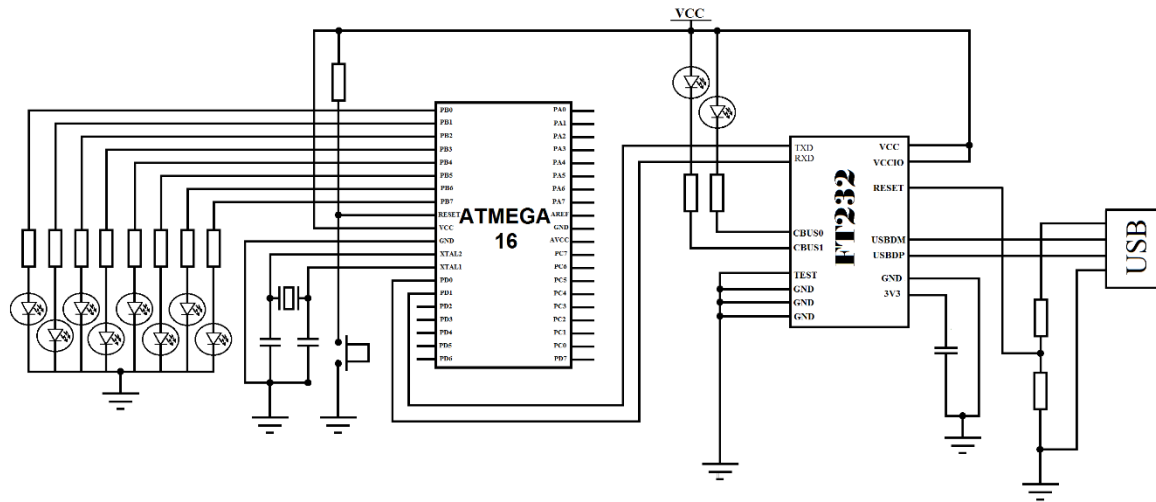


Figura 12.1 Diagrama del circuito para la practica 11.

CODIGO EN LENGUAJE C.

```
#define F_CPU 8000000UL
#include <avr/io.h>
unsigned char a;

void USART_send( unsigned char data){
    while(!(UCSRA & (1<<UDRE)));
    UDR = data;
}

unsigned char USART_receive(void){

    while(!(UCSRA & (1<<RXC)));
    return UDR;
}

int main(void)
{
    UCSRA = (0<<RXC)|(0<<TXC)|(0<<UDRE)|(0<<FE)|(0<<DOR)|(0<<U2X)|(0<<MPCM);
    UCSRB = (0<<RXCIE)|(0<<TXCIE)|(0<<UDRIE)|(1<<RXEN)|(1<<TXEN);
    UCSRB|= (0<<UCSZ2)|(0<<RXB8)|(0<<TXB8);
    UCSRC = (1<<URSEL)|(0<<UMSEL)|(0<<UPM1)|(0<<UPM0)|(0<<USBS);
    UCSRC|= (1<<UCSZ1) | (1<<UCSZ0) | (0<<UCPOL);
    UBRRH = 0x00;
    UBRRL = 0x33;
    DDRB = 0xFF;
    PORTB = 0;
    while(1)
    {
        a=USART_receive();
        PORTB=a;
        USART_send(a);
    }
}
```

ACTIVIDADES DE TRABAJO AUTÓNOMO.

- 1) Realice el Algoritmo, diagrama de flujo, dibuje el esquemático y desarrolle el código en C para usar la USART en modo asíncrono con un largo de trama de datos de 5 bits, dos bits de paro y detección de error par.
- 2) Realice el Algoritmo, diagrama de flujo, dibuje el esquemático y desarrolle el código en C para usar la USART en modo asíncrono con un largo de trama de datos de 6 bits un bit de paro y detección de error impar.
- 3) Realice el Algoritmo, diagrama de flujo, dibuje el esquemático y desarrolle el código en C para usar la USART en modo asíncrono con un largo de trama de datos de 7 bits dos bits de paro y detección de error par.
- 4) Realice el Algoritmo, diagrama de flujo, dibuje el esquemático y desarrolle el código en C para usar la USAR en modo asíncrono con un largo de trama de datos de 9 bits. un bit de paro, sin detección de error y por medio de interrupción.
- 5) Practica propuesta por el profesor en clase.