

THỰC HÀNH THIẾT KẾ LUẬN LÝ SỐ
LỚP: CE118.N23.MTCL.2
LAB2: THIẾT KẾ TRẠNG THÁI MÁY HỮU HẠN



FCE

Faculty of Computer Engineering
UIT-VNUHCM

HỌ VÀ TÊN SV: Trương Duy Đức
MSSV: 21521970
GIẢNG VIÊN HƯỚNG DẪN: Tạ Trí Đức

A. NỘI DUNG LÝ THUYẾT

1. Khái niệm máy trạng thái hữu hạn(Finite State Machine-FSM)

2. Phân loại máy trạng thái hữu hạn

2.1 Máy trạng thái hữu hạn Moore

2.2 Máy trạng thái hữu hạn Mealy

2.3 Phân tích

B. NỘI DUNG THỰC HÀNH

1. Thiết kế mạch phát hiện số cuối theo MSSV theo kiểu Moore FSM

1.1 Phân tích yêu cầu đề bài

1.2 Thiết kế mạch

1.3 Chạy mô phỏng

2. Thiết kế mạch phát hiện số cuối theo MSSV theo kiểu Mealy FSM

2.1 Phân tích yêu cầu đề bài

2.2 Thiết kế mạch

1.3 Chạy mô phỏng

3. Bài tập thêm

3.1 Phân tích yêu cầu đề bài

3.2 Thiết kế mạch

3.3 Chạy mô phỏng

C. ĐÁNH GIÁ VÀ VIDEO NẠP KIT

A. NỘI DUNG LÝ THUYẾT

1. Khái niệm máy trạng thái hữu hạn (Finite State Machine-FSM)

- Bởi vì việc thiết kế mạch tuần tự phụ thuộc rất nhiều vào kinh nghiệm của người thiết kế và sẽ không thể đảm bảo rằng kết quả sẽ cho cùng một mạch nếu hai người độc lập cùng thiết kế. Một phương pháp thiết kế được phát triển để giải quyết vấn đề này đó là mô hình hóa mạch tuần tự bằng một mô hình toán học, sau đó sẽ thực hiện mô hình toán học này xuống phần cứng. Phương pháp này được gọi là máy trạng thái hữu hạn hay còn được gọi là **Finite State Machine-FSM**.

- Một mạch tuần tự với một số lượng hữu hạn các trạng thái có thể được mô hình hóa bởi một FSM. FSM là mô hình hóa toán học được định nghĩa bởi một danh sách hữu hạn các trạng thái, các điều kiện chuyển đổi qua lại giữa các trạng thái và các hành động được thực hiện tương ứng với mỗi trạng thái hoặc trong chuyển trạng thái. Mục tiêu của việc sử dụng mô hình FSM là nhằm mô tả hành vi (mối quan hệ ngõ ra và ngõ vào) của mạch tuần tự mà không quan tâm tới việc thực hiện nó như thế nào.

2. Mô hình máy trạng thái hữu hạn

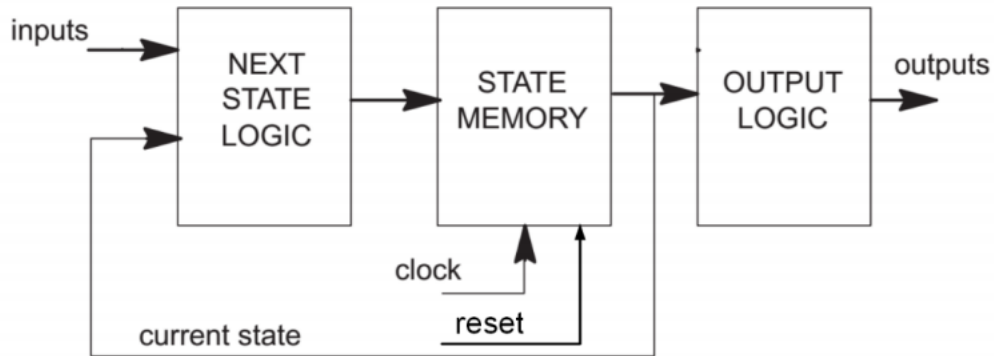
- Một FSM gồm có 3 thành phần cơ bản như sau:

- Mạch tạo trạng thái kế tiếp (Next state logic) là mạch tổ hợp phụ thuộc vào ngõ vào FSM và giá trị trạng thái hiện tại lấy từ bộ nhớ trạng thái (state memory)
- Bộ nhớ trạng thái (state memory) là phần tử lưu trạng thái hiện tại của FSM, nó có thể là Flip-Flop, Latch, ... và lấy ngõ vào từ mạch tạo trạng thái kế tiếp.
- Mạch tạo ngõ ra (output logic) là mạch tổ hợp tạo giá trị ngõ ra tương ứng với trạng thái hiện tại của FSM.

- Dựa vào các thành phần cơ bản trên mà ta phân làm 2 loại máy trạng thái hữu hạn là **Moore FSM** và **Mealy FSM**

2.1 Máy trạng thái hữu hạn Moore

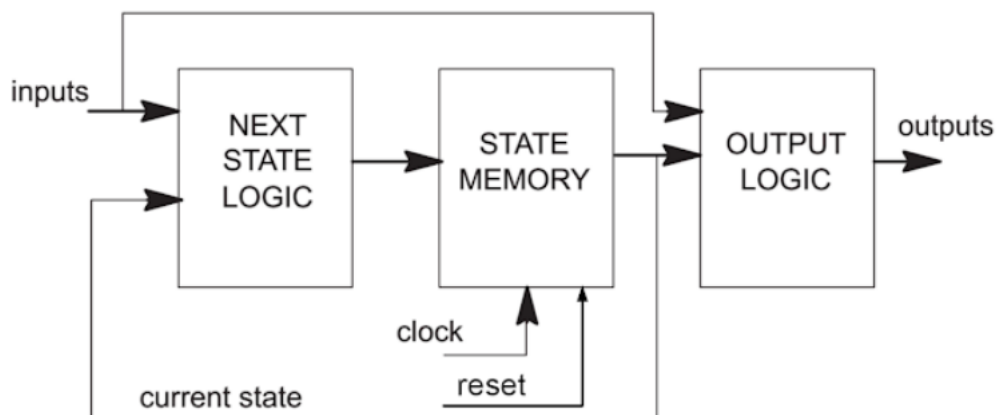
-**FSM Moore** là loại mạch có ngõ ra (output) không phụ thuộc trực tiếp vào ngõ vào (input)



Mô hình máy trạng thái Moore

2.2 Máy trạng thái hữu hạn Mealy

-**FSM Mealy** là loại mạch có ngõ ra (output) phụ thuộc trực tiếp vào ngõ vào (input).



Mô hình máy trạng thái Mealy

2.3 Phân tích

-Cả hai Moore FSM và Mealy FSM đều là các dạng hệ thống tự động có trạng thái hữu hạn được sử dụng để mô hình hóa các hệ thống có tín hiệu vào và ra.

-Tuy nhiên, điểm giống và khác nhau chính giữa hai loại FSM này như sau:

-Giống nhau:

- Cả hai loại FSM đều có các trạng thái hữu hạn.
- Cả hai đều có các tín hiệu vào và ra.
- Cả hai đều có thể được mô hình hóa bằng các đồ thị trạng thái hoặc bảng trạng thái.

-Khác nhau:

- Moore FSM sử dụng đầu ra của trạng thái hiện tại để xác định đầu ra, trong khi Mealy FSM sử dụng cả tín hiệu vào và trạng thái hiện tại để xác định đầu ra.
- Ở Moore FSM, các tín hiệu ra không thay đổi trực tiếp với tín hiệu vào, trong khi Mealy FSM có thể có tín hiệu ra được thay đổi bởi tín hiệu vào và trạng thái hiện tại.
- Do Moore FSM sử dụng trạng thái hiện tại để xác định đầu ra, nên chúng có thể có số lượng trạng thái ít hơn so với Mealy FSM, và do đó chúng thường ít phức tạp hơn.

-Tóm lại, Moore FSM và Mealy FSM đều có các ưu điểm và nhược điểm riêng, và được sử dụng tùy thuộc vào yêu cầu cụ thể của một ứng dụng.

B. NỘI DUNG THỰC HÀNH

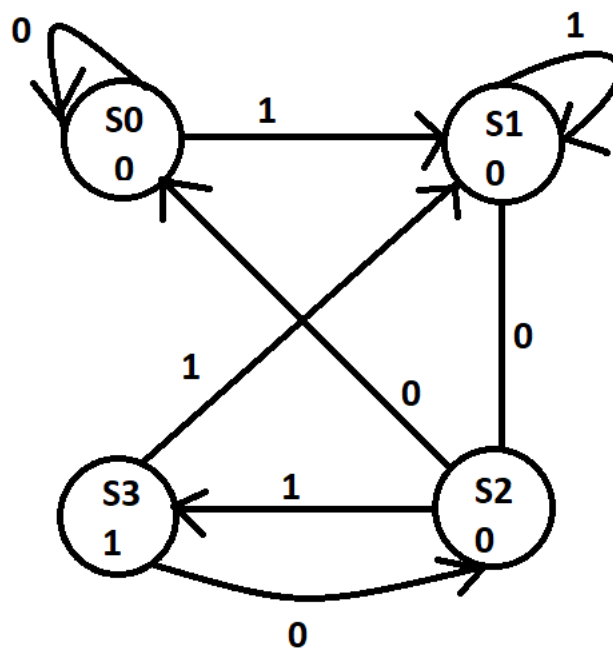
1. Thiết kế mạch phát hiện số cuối theo MSSV theo kiểu Moore FSM

1.1 Phân tích yêu cầu đề bài

-**ĐỀ BÀI:** Với máy trạng thái Moore thì lấy số cuối trừ đi 2 và chuyển thành 3bit riêng các bạn sinh viên có số cuối là 0,1,2 thì số sau khi trừ lần lượt là 5,6,7.

-MSSV: 21521970

-Do số cuối MSSV là 0 nên cần phát hiện dãy là 101



Sơ đồ chuyển trạng thái Moore

Trạng thái hiện tại	Trạng thái kế tiếp		Ngõ ra
	0	1	
S0	S0	S1	0
S1	S2	S1	0
S2	S0	S3	0
S3	S2	S1	1

Trạng thái hiện tại	Trạng thái kế tiếp		Ngõ ra
	0	1	
00	S0	S1	0
01	S2	S1	0
10	S0	S3	0
11	S2	S1	1

D(D1D0) sẽ là ngõ vào của các D-FF, ta sẽ dựa vào trọng số bit cao và bit thấp để tìm ra D1 và D0

Q(Q1Q0) là trạng thái

$$D1 = (I=0) \& S1 + (I=0) \& S3 + (I=1) \& S2$$

$$D1 = I'Q1'Q0 + I'Q1Q0 + IQ1Q0'$$

$$\begin{aligned} \text{Rút gọn theo De morgan } D1 &= I'Q0(Q1' + Q1) + IQ1Q0' \\ &= I'Q0 + IQ1Q0' \end{aligned}$$

$$D0 = (I=1) \& S2 + (I=1) \& (S0 + S1 + S3)$$

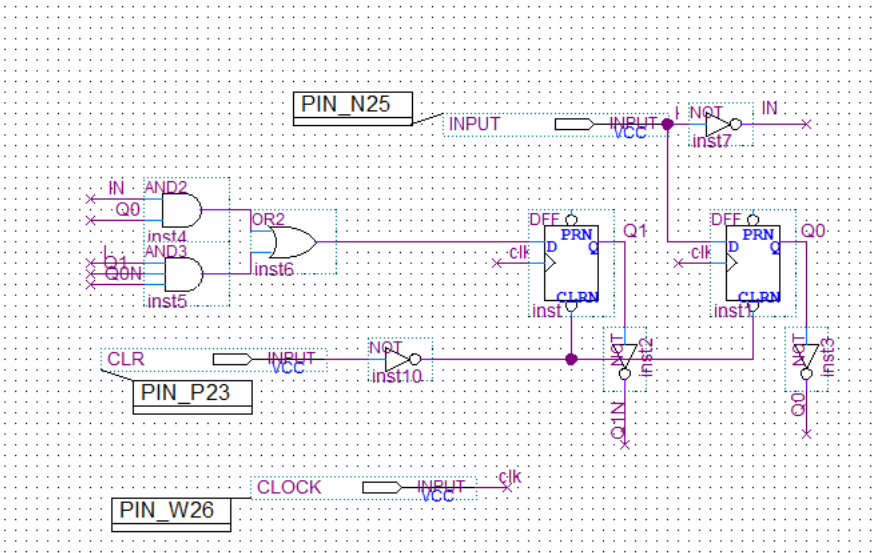
$$= (I=1) \& (S0 + S1 + S2 + S3)$$

$$= I(Q1'Q0' + Q1'Q0 + Q1Q0' + Q1Q0)$$

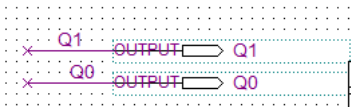
$$\begin{aligned} \text{Rút gọn theo De morgan } D0 &= I(Q1'(Q0' + Q0) + Q1(Q0' + Q0)) \\ &= I(Q1' + Q1) = I \end{aligned}$$

$$\text{Giá trị OUTPUT} = Q1Q0$$

1.2 Thiết kế mạch



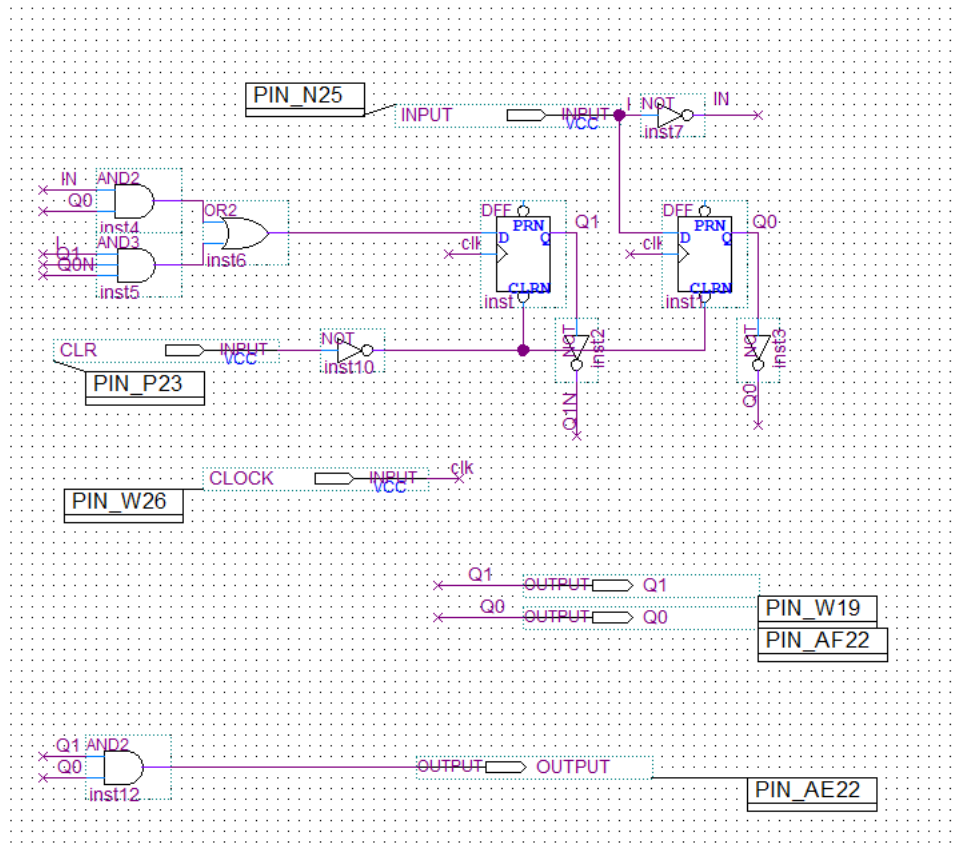
Mạch chuyển đổi trạng thái



Trạng thái hiện tại



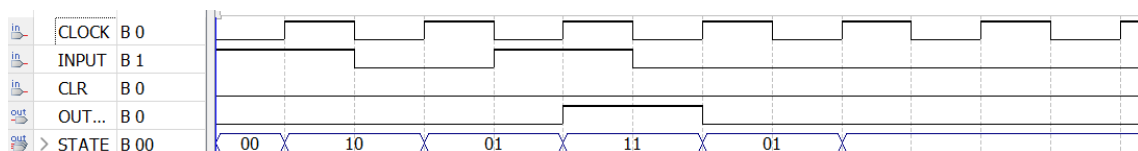
Giá trị đầu ra



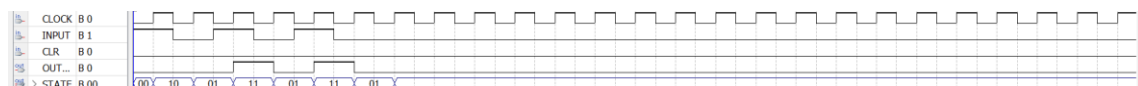
Mạch hoàn chỉnh

1.3 Chạy mô phỏng

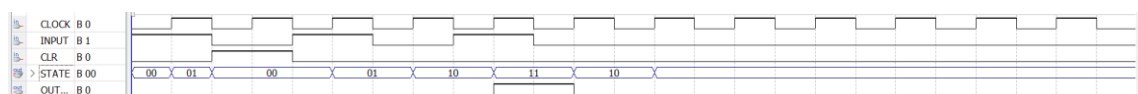
TH: Kiểm tra mạch có nhận ra được chuỗi 101



TH: Nhập chuỗi 10101 xem mạch có nhận ra được sự xuất hiện 2 lần của chuỗi 101 không



TH: Kiểm tra ngõ vào RESET có hoạt động không



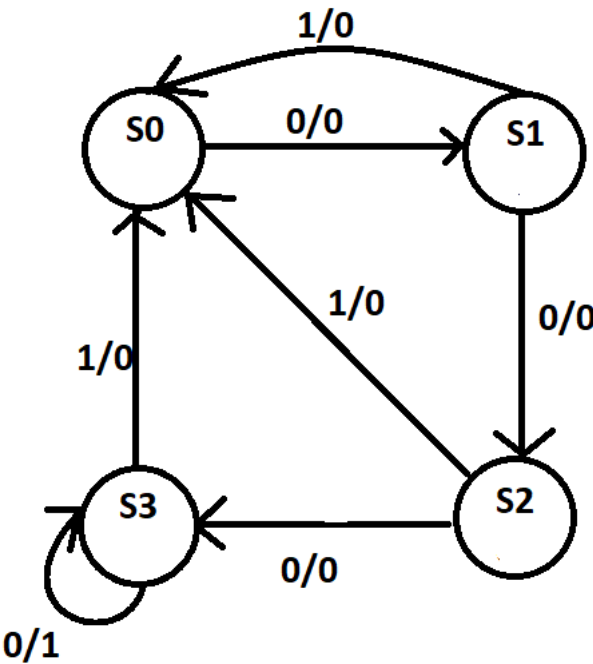
2. Thiết kế mạch phát hiện số cuối theo MSSV theo kiểu Mealy FSM

2.1 Phân tích yêu cầu đề bài

-**ĐỀ BÀI:** Với máy trạng thái Mealy thì chuyển số cuối thành 4-bit, nếu chưa đủ sinh viên thêm các bit 0 vào đầu.

-MSSV: 21521970

-Do số cuối mã số sinh viên là 0 nên dãy số cần phát hiện là 0000



Sơ đồ chuyển trạng thái Mealy

Trạng thái hiện tại	Trạng thái kế tiếp/Ngõ ra	
	0	1
S0	S1/0	S0/0
S1	S2/0	S0/0
S2	S3/0	S0/0
S3	S3/1	S0/0

	Trạng thái kế tiếp/Ngõ ra
--	---------------------------

Trạng thái hiện tại	0	1
00	S1/0	S0/0
01	S2/0	S0/0
10	S3/0	S0/0
11	S3/1	S0/0

Tương tự như Mealy ta sẽ có

$$D1 = (I=0) \& S1 + (I=0) \& S2 + (I=0) \& S3$$

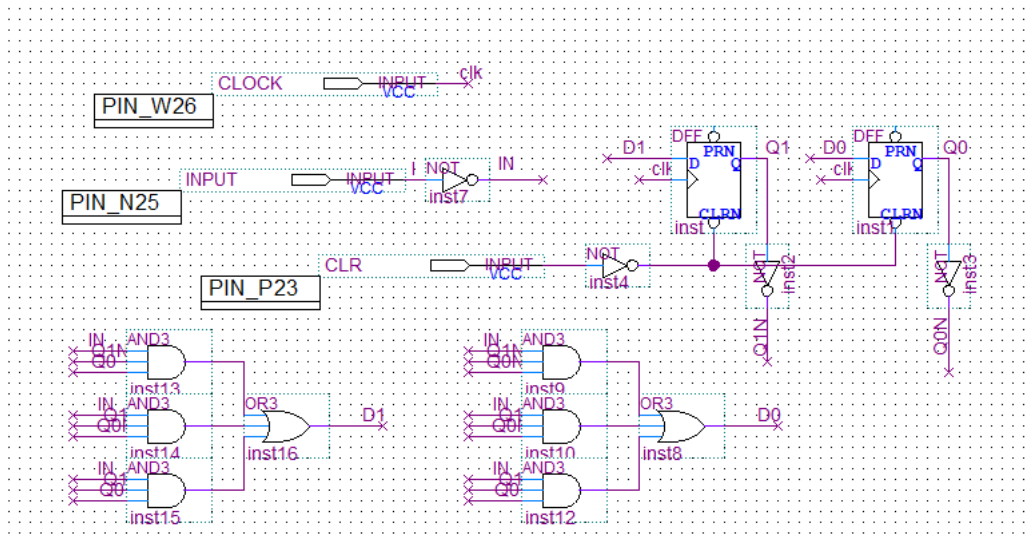
$$= I'Q1'Q0 + I'Q1Q0' + I'Q1Q0$$

$$D0 = (I=0) \& S0 + (I=0) \& S2 + (I=0) \& S3$$

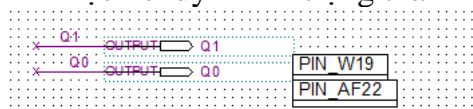
$$= I'Q1'Q0' + I'Q1Q0' + I'Q1Q0$$

$$\text{Giá trị OUTPUT} = I'Q1Q0$$

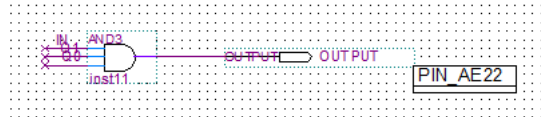
2.2 Thiết kế mạch



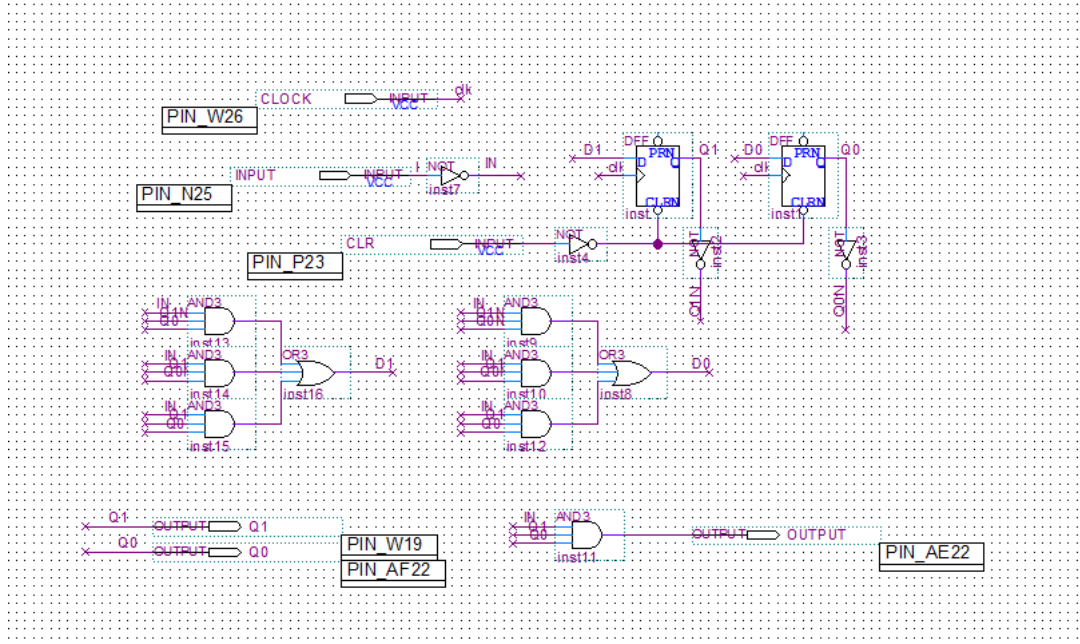
Mạch chuyển đổi trạng thái



Trạng thái hiện tại



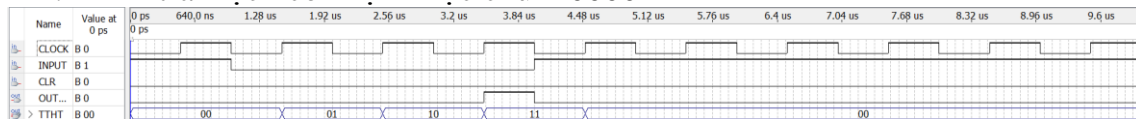
Ngõ ra



Mạch hoàn chỉnh

2.3 Chạy mô phỏng

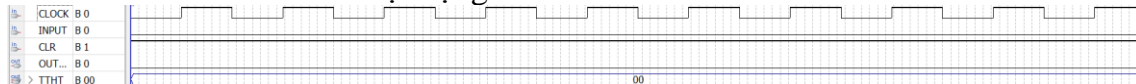
TH: Kiểm tra mạch có nhận được chuỗi 0000



TH: Kiểm tra mạch có nhận được chuỗi nhiều chuỗi 0000



TH: Kiểm tra RESET có hoạt động



3.BÀI TẬP LÀM THÊM

3.1 Phân tích yêu cầu đề bài

-Thiết kế bộ phát hiện MSSV (8 ký số) theo FSM Moore và Mealy.Giả sử-MSSV là 23456789. Khi input lần lượt là 2, 3, 4, 5, 6, 7, 8, 9, lúc input = 9 thì output = 1, có nghĩa là đã phát hiện 8 số của MSSV.Ngược lại output = 0 khi input không thỏa mãn điều trên, chẳng hạn: input lần lượt là 2, 6, 7, 3, 9... hay 3, 6, 8, 9 ...

MSSV:21521970

Phần này em sẽ dùng FSM moore do chuỗi có 8 số nên sẽ cần tổng cộng 9 trạng thái bao gồm

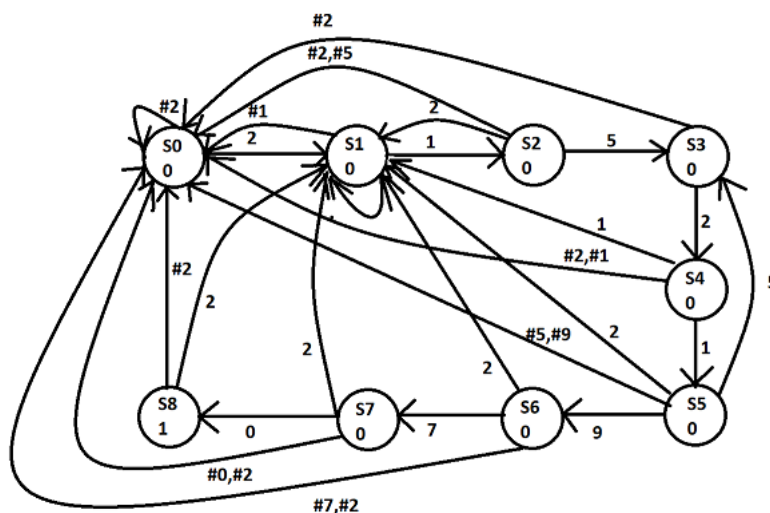
Trạng thái :

- Ban đầu ở trạng thái s0.
- Nếu đầu vào là 2, chuyển sang trạng thái s1.
- Nếu đầu vào là 1, chuyển sang trạng thái s2.
- Nếu đầu vào là 5, chuyển sang trạng thái s3.
- Nếu đầu vào là 2, chuyển sang trạng thái s4.
- Nếu đầu vào là 1, chuyển sang trạng thái s5
- Nếu đầu vào là 9, chuyển sang trạng thái s6
- Nếu đầu vào là 7, chuyển sang trạng thái s7
- Nếu đầu vào là 0, chuyển sang trạng thái s8

Khi đang ở trạng thái s8 và có xung clock thì output sẽ lên 1 nên output=Q3'Q2Q1Q0

Các cổng đầu vào,đầu ra và trạng thái kế tiếp vẫn xài quy luật như ở các câu trên

3.2 Thiết kế mạch



Sơ đồ chuyển trạng thái MSSV 21521970 bằng Moore FSM

	Trạng thái kế tiếp					
TTHT	0	1	2	5	7	9
S0	S0	S0	S1	S0	S0	S0
S1	S0	S2	S1	S0	S0	S0
S2	S0	S0	S1	S3	S0	S0
S3	S0	S0	S4	S0	S0	S0
S4	S0	S5	S1	S0	S0	S0
S5	S0	S0	S1	S3	S0	S6
S6	S0	S0	S1	S0	S7	S0
S7	S8	S0	S1	S0	S0	S0
S8	S0	S0	S1	S0	S0	S0

$$D3=(I=0)\&S7$$

$$D2=(I=7)\&S6+(I=9)\&S5+(I=1)\&S4+(I=2)\&S3$$

$$D1=(I=1)\&S1+(I=5)\&S2+(I=5)\&S5+(I=9)\&S5+(I=9)\&S6$$

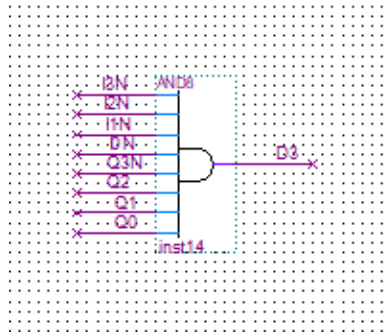
$$D0=(I=7)\&S6+(I=1)\&S4+(I=5)\&S2+(I=5)\&S5+(I=2)\&(S0+S1+S2+S4+S5+S6+S7+S8)$$

Các Input và Trạng thái sẽ có bảng mã hóa như sau, từ đó ta sẽ vẽ mạch tương ứng

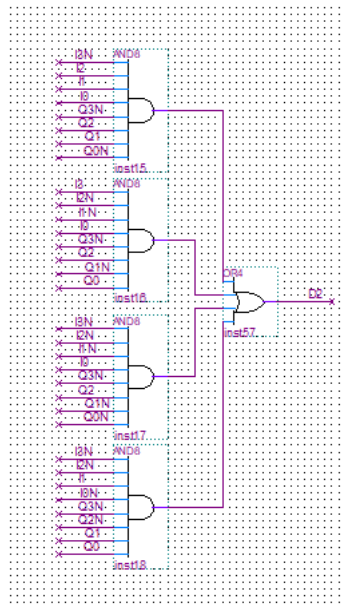
INPUT(MÃ THẬP PHÂN)	INPUT (MÃ NHỊ PHÂN)	MÃ HÓA
0	0000	I3'I2'I1'I0'
1	0001	I3'I2'I1'I0
2	0010	I3'I2'I1I0'
5	0101	I3'I2I1'I0
7	0111	I3'I2I1I0
9	1001	I3I2'I1'I1

TRẠNG THÁI (MÃ THẬP PHÂN)	TRẠNG THÁI (MÃ NHỊ PHÂN)	MÃ HÓA
0	0000	Q3'Q2'Q1'Q0'
1	0001	Q3'Q2'Q1'Q0
2	0010	Q3'Q2'Q1Q0'
3	0011	Q3'Q2'Q1Q0
4	0100	Q3'Q2Q1'Q0'
5	0101	Q3'Q2Q1'Q0
6	0110	Q3'Q2Q1Q0'
7	0111	Q3'Q2Q1Q0
8	1000	Q3Q2'Q1'Q0'

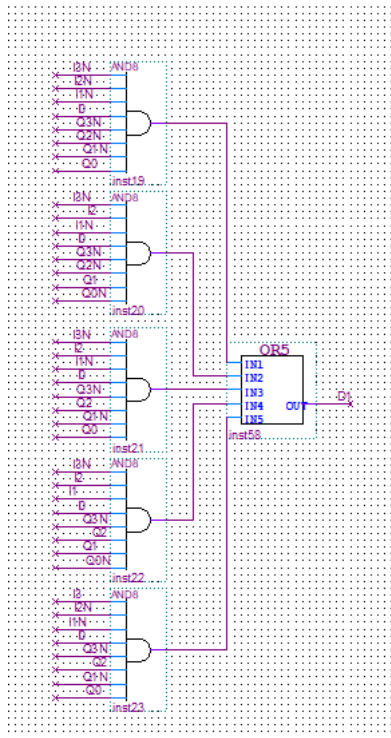
OUTPUT=1 khi ở trạng thái s8 và có xung clock nên ta sẽ có biểu thức OUTPUT= Q3Q2'Q1'Q0'



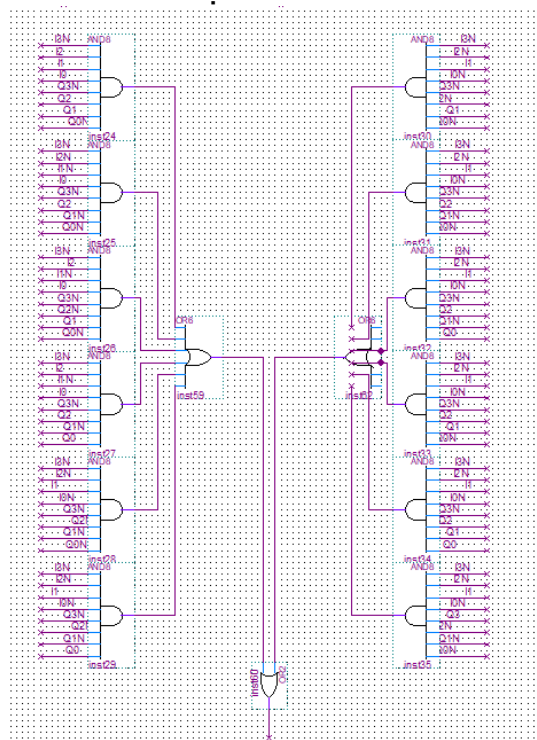
Mạch của D3



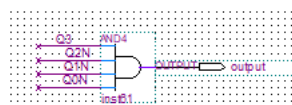
Mạch của D2



Mạch của D1



Mạch của D0



Mạch OUTPUT

C.ĐÁNH GIÁ VÀ VIDEO NẠP KIT

-Tự đánh giá: đã hoàn thành các bài tập,kiểm tra tính hoàn chỉnh mạch đầy đủ,kiểm tra các trường hợp có thể gây sai

-Còn chưa rút gọn mạch, trình bày còn gây khó nhìn

-Nên sử dụng các bộ đồng gói,bux để mạch dễ nhìn hơn

Link video nạp kit

FSM mealy:

https://drive.google.com/file/d/1WQp8gskwrjAXt7OxyKugHxk8u_4eC1jC/view

FSM moore:

<https://drive.google.com/file/d/1WRBbC85gg3YYx-32anPeBs1Bbl8wgPeZ/view>

Em chỉ nạp trường hợp cơ bản còn các trường hợp có thể gây sai vẫn chưa làm