

ADC - Analog to Digital Converter (Conversor Analógico Digital)

Electrónica Digital II

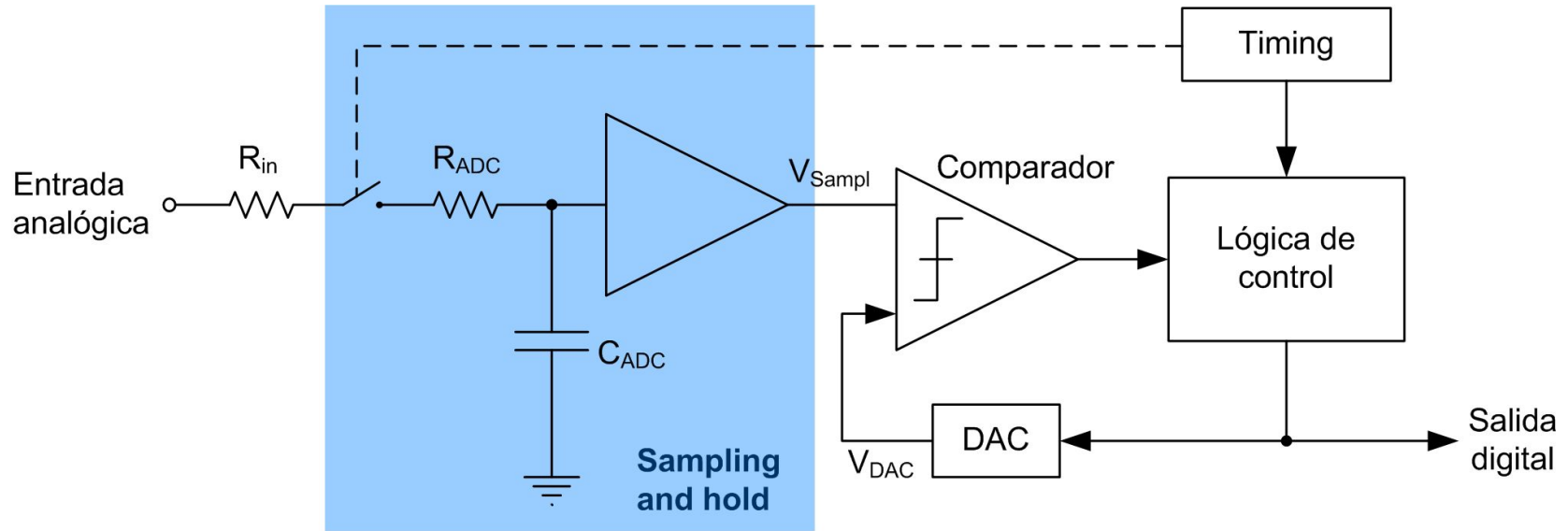


Escuela de
Ciencia y Tecnología
ECyT_UNSAM

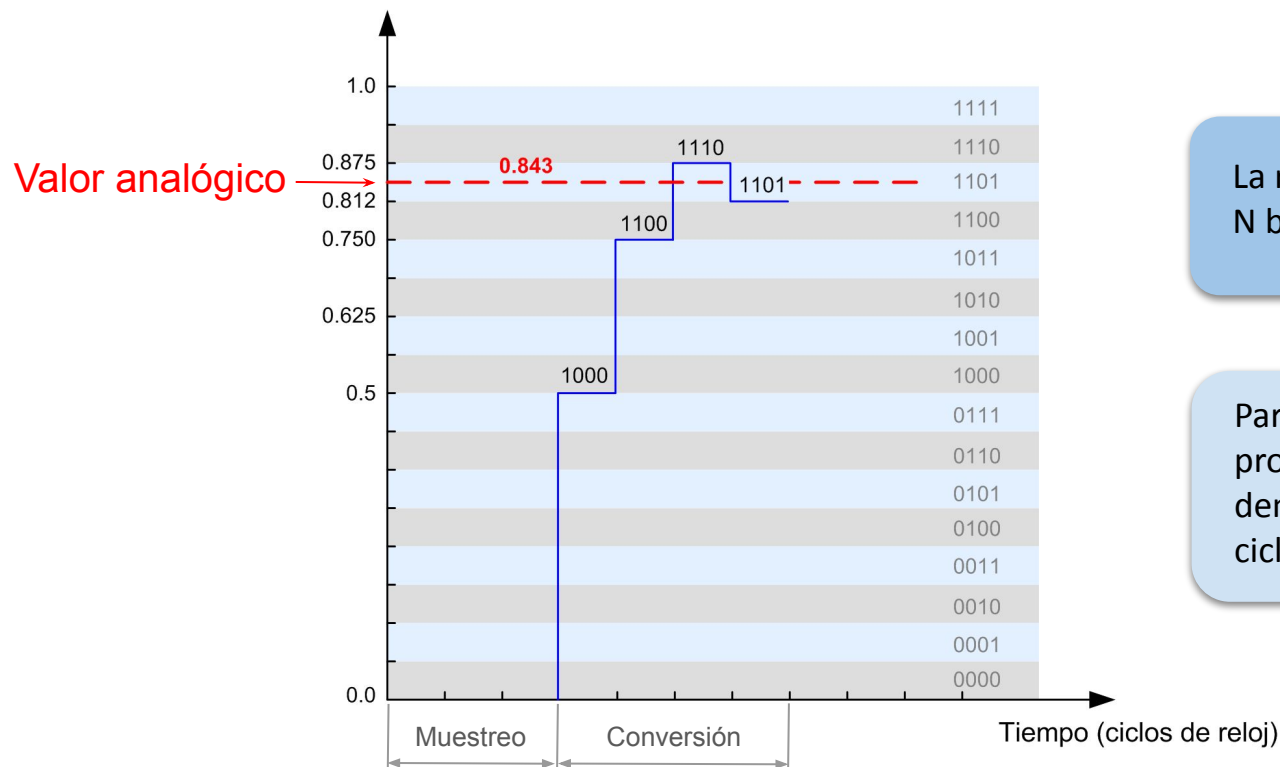
ADC - Analog to Digital Converter

- Conversor de aproximaciones sucesivas de 12 bits
- Canales: hasta 18, multiplexados (16 señales externas y 2 internas)
- Modo de conversión: simple, continuo, scan o discontinuo
- Almacena el resultado en un registro de 16 bits (alineado a izquierda o derecha)
- Generación de interrupción al finalizar una conversión
- El reloj ADCCLK es sincrónico con el APB2 clock. No puede superar los 14 MHz

Aproximaciones sucesivas (SAR)



Aproximaciones sucesivas (SAR)



La resolución de un ADC de N bits es igual a $V_{MAX}/2^N$

Para un ADC de N bits el proceso de conversión demandará al menos N ciclos de reloj

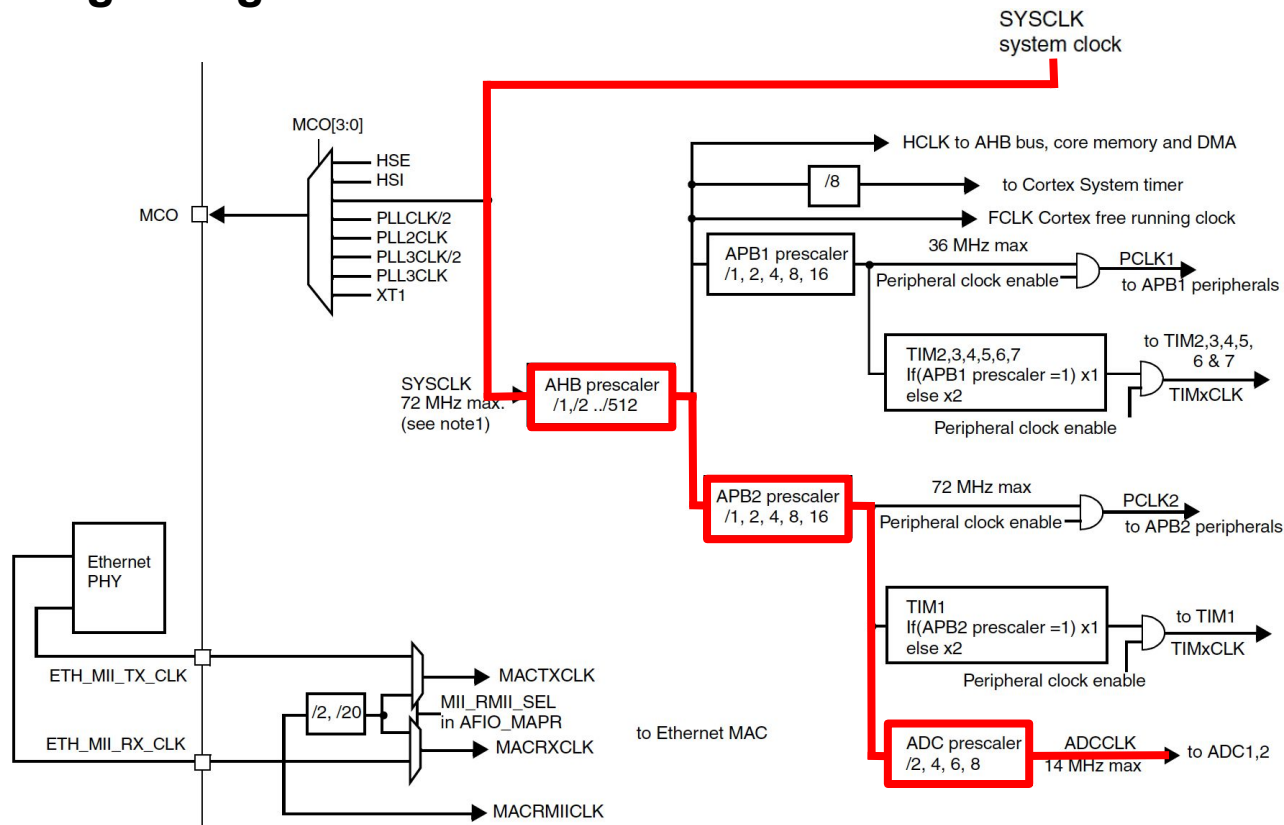
Tiempos de un ADC

$$T_{\text{ADC}} = T_{\text{muestreo}} + T_{\text{conversión}}$$

Suponiendo un ADC de 12 bits y tiempo de muestreo de 3 ciclos de reloj, con una frecuencia de operación de 10 MHz:

$$T_{\text{ADC}} = T_{\text{muestreo}} + T_{\text{conversión}} = 3 + 12 = 15 \text{ ciclos} = 1.5 \mu\text{s}$$

ADC - Analog to Digital Converter



$$\text{clk}_{\text{ADC}} \leq 14 \text{ MHz}$$

Selección de canal

- Las conversiones pueden organizarse en dos grupos:

Grupo Regular

- Compuesto por hasta 16 conversiones
- Los canales regulares y su orden en la secuencia de conversión se seleccionan en el registro ADC_SQRx
- La cantidad de conversiones debe ser escrita en los bits L[3:0] del registro ADC_SQR1

Grupo Inyectado

- Compuesto por hasta 4 conversiones
- Los canales inyectados y su orden en la secuencia de conversión se seleccionan en el registro ADC_JSQRx
- La cantidad de conversiones debe ser escrita en los bits L[1:0] del registro ADC_JSQR

Modo de conversión simple

- **El ADC sólo realiza una conversión**
- La adquisición inicia colocando en '1' el bit ADON en el registro ADC_CR2 (sólo para canal regular) o por un trigger externo (para canal regular o inyectado).
- Canal regular convertido:
 - El dato se guarda en el registro de 16 bits ADC_DR
 - El flag EOC (End Of Conversion) se coloca en '1' y la interrupción es generada si el bit EOCIE (EOC Interrupt Enable) está activo
- Canal inyectado:
 - El dato se guarda en el registro de 16 bits ADC_DRJ1
 - El flag JEOC (End Of Conversion Injected) se coloca en '1' y la interrupción es generada si el bit JEOCIE está activo

Finalmente el ADC se detiene

Modo de conversión continua

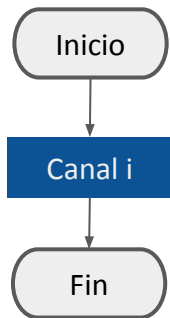
- **El ADC inicia otra conversión apenas termina la actual**
- La adquisición inicia colocando en '1' el bit ADON en el registro ADC_CR2 (sólo para canal regular) o por un trigger externo (para canal regular o inyectado).
- Canal regular convertido:
 - El dato se guarda en el registro de 16 bits ADC_DR
 - El flag EOC (End Of Conversion) se coloca en '1' y la interrupción es generada si el bit EOCIE (EOC Interrupt Enable) está activo
- Canal inyectado:
 - El dato se guarda en el registro de 16 bits ADC_DRJ1
 - El flag JEOC (End Of Conversion Injected) se coloca en '1' y la interrupción es generada si el bit JEOCIE está activo

Modo Scan

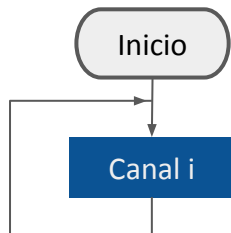
- **Se adquiere un grupo de canales analógicos**
- Se selecciona configurando el bit SCAN en el registro ADC_CR1.
- Cuando se lo selecciona el ADC escanea todos los canales seleccionados en el registro ADC_SQRx (para canales regulares) o en el ADC_JSQR (para inyectados)
- Cada vez que finaliza una conversión continúa automáticamente con el siguiente canal del grupo.
- Al usar este modo el DMA debe estar activo ya que es usado para transferir los datos convertidos de los canales de un grupo regular a la SRAM cada vez que se actualiza el registro ADC_DR.
- Los datos de los canales inyectados siempre se almacenan en los registro ADC_JDRx.

Modos de operación

Canal único

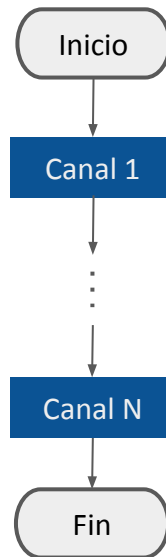


Conversión simple

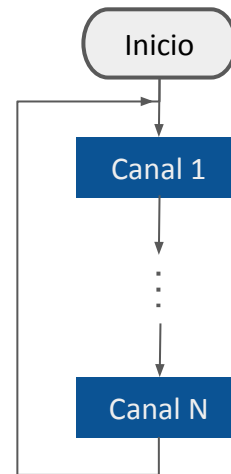


Conversión continua

Múltiples canales (Scan)



Conversión simple

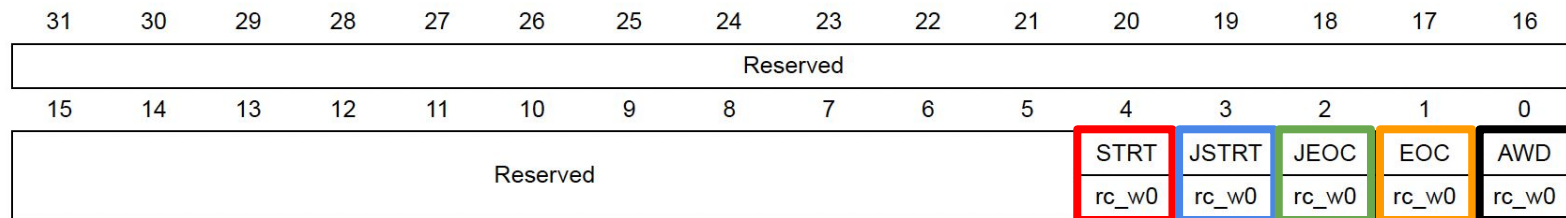


Conversión continua

Registros

- Status Register (**ADC_SR**)
- Control Register 1 / 2 (**ADC_CR1 / ADC_CR2**)
- Sample Time Register 1 / 2 (**ADC_SMPR1 / ADC_SMPR2**)
- Injected channel data offset register x (**ADC_JOFRx**) (x=1..4)
- Regular sequence register 1 / 2 / 3 (**ADC_SQR1 / ADC_SQR2 / ADC_SQR3**)
- Injected sequence register (**ADC_JSQR**)
- Injected data register x (**ADC_JDRx**) (x= 1..4)
- Regular data register (**ADC_DR**)
- Watchdog high threshold register (**ADC_HTR**)
- Watchdog low threshold register (**ADC_LTR**)

ADC_SR (Registro de Estado)



Indica el inicio de la conversión de un canal regular

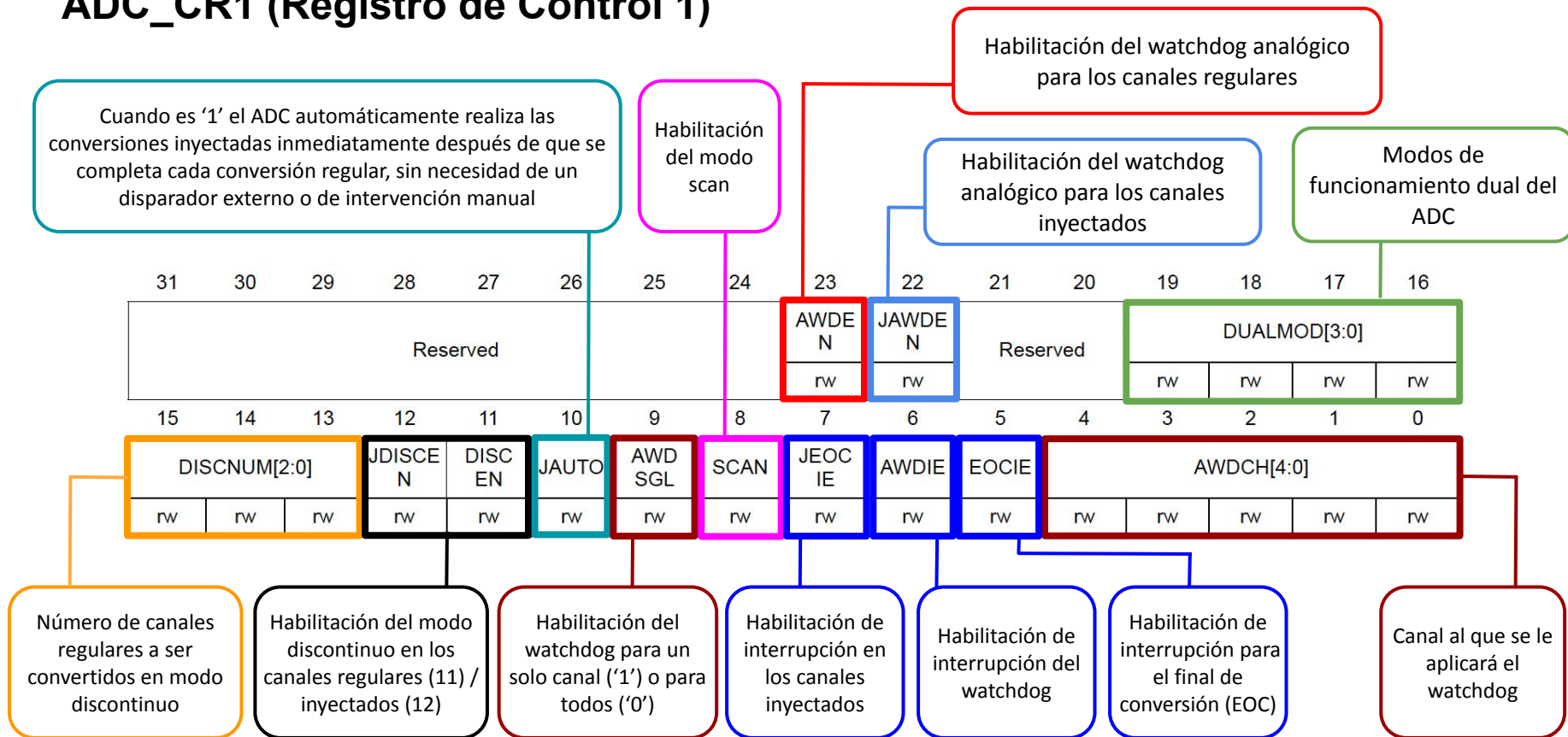
Indica el inicio de la conversión de un grupo de canal inyectado

Indica el final de la conversión de un canal inyectado

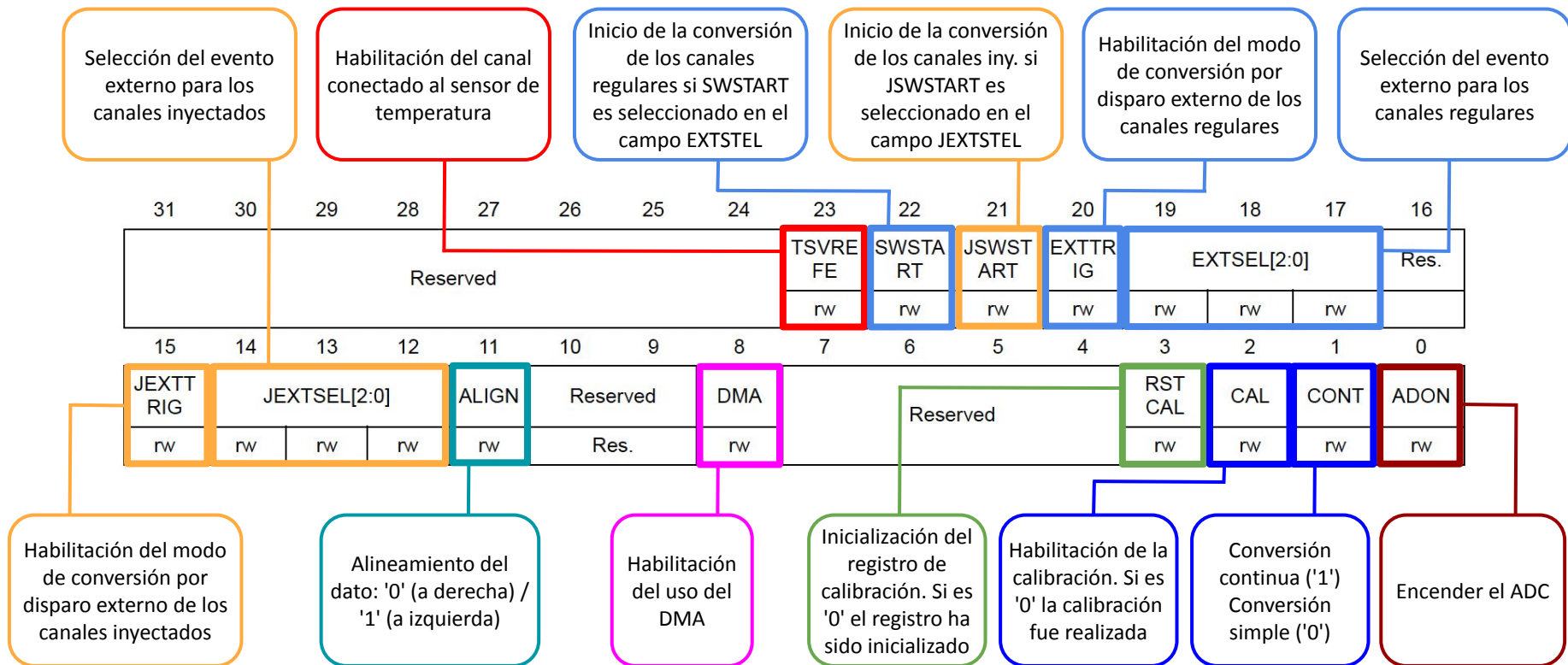
Indica el final de la conversión (canal inyectado o regular)

Indica si el valor convertido es mayor o menor a lo configurado

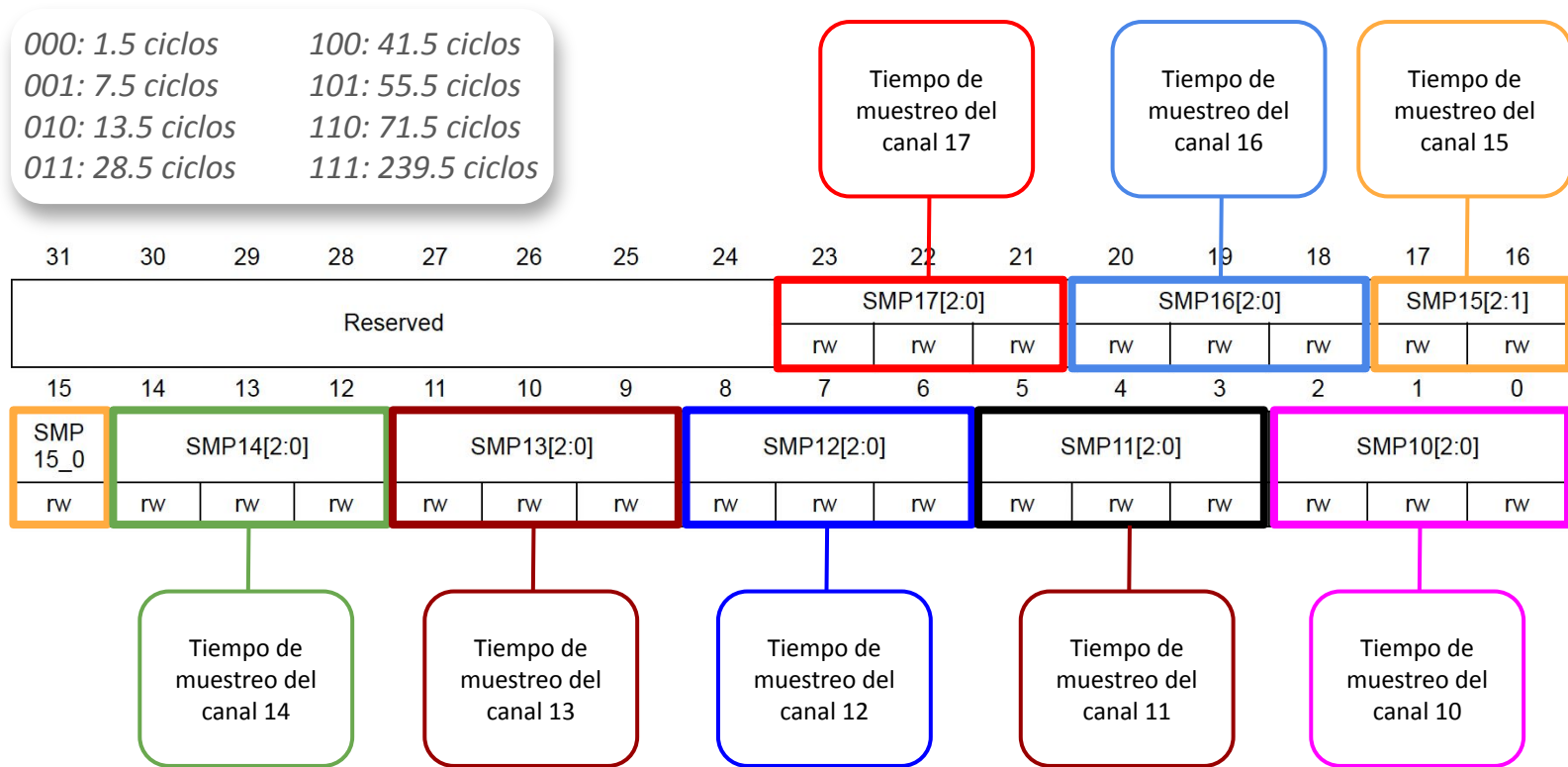
ADC_CR1 (Registro de Control 1)



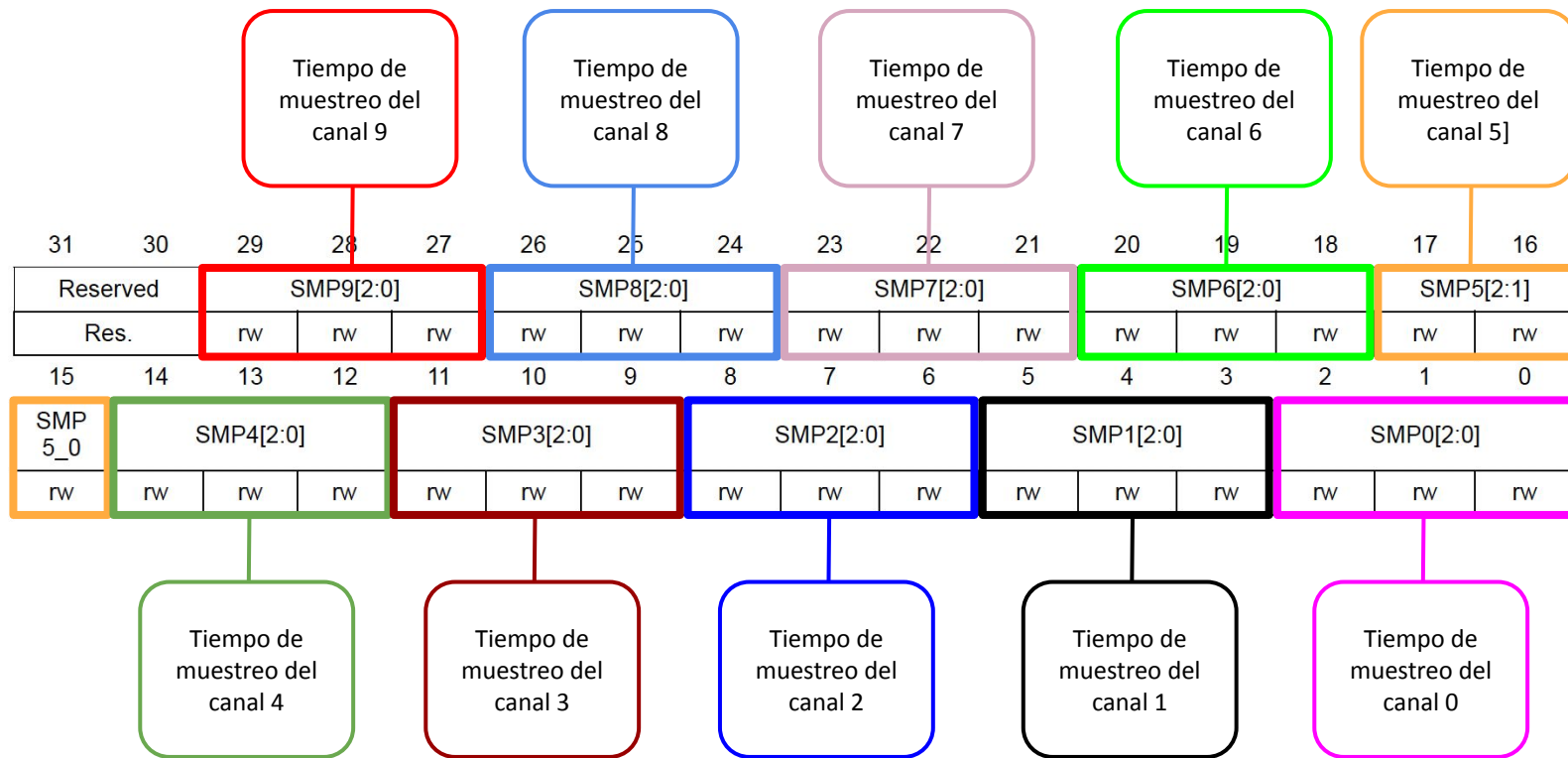
ADC_CR2 (Registro de Control 2)



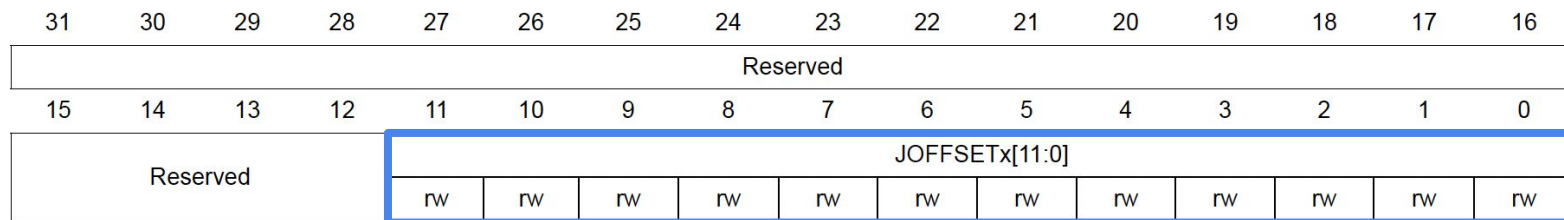
ADC_SMPR1 (Registro de Tiempo de Muestreo 1)



ADC_SMPR2 (Registro de Tiempo de Muestreo 2)

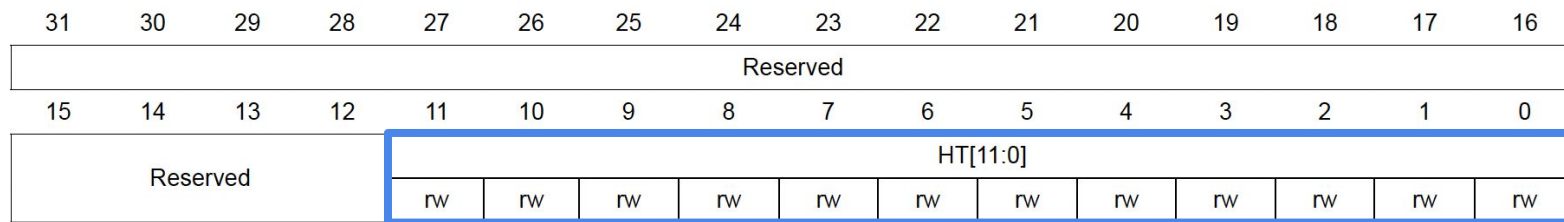


ADC_JOFRx (Registro de Offset de dato de canal inyectado)



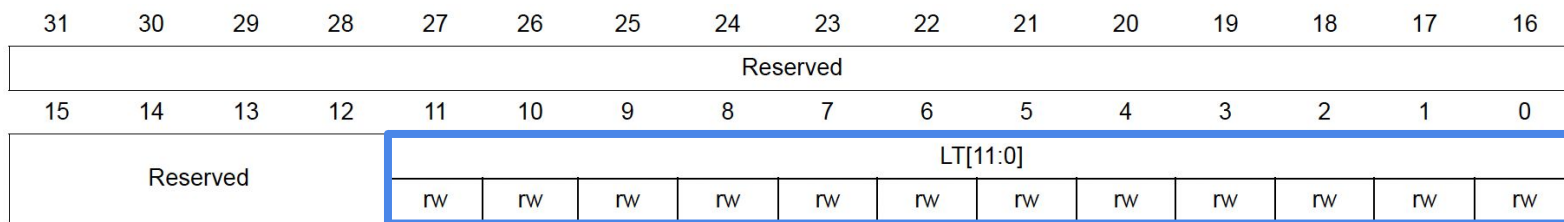
Define el offset a ser restado del dato crudo convertido cuando se convierte un canal inyectado. El resultado se puede leer en el registro ADC_JDRx

ADC_HTR (Registro para el umbral alto del watchdog)



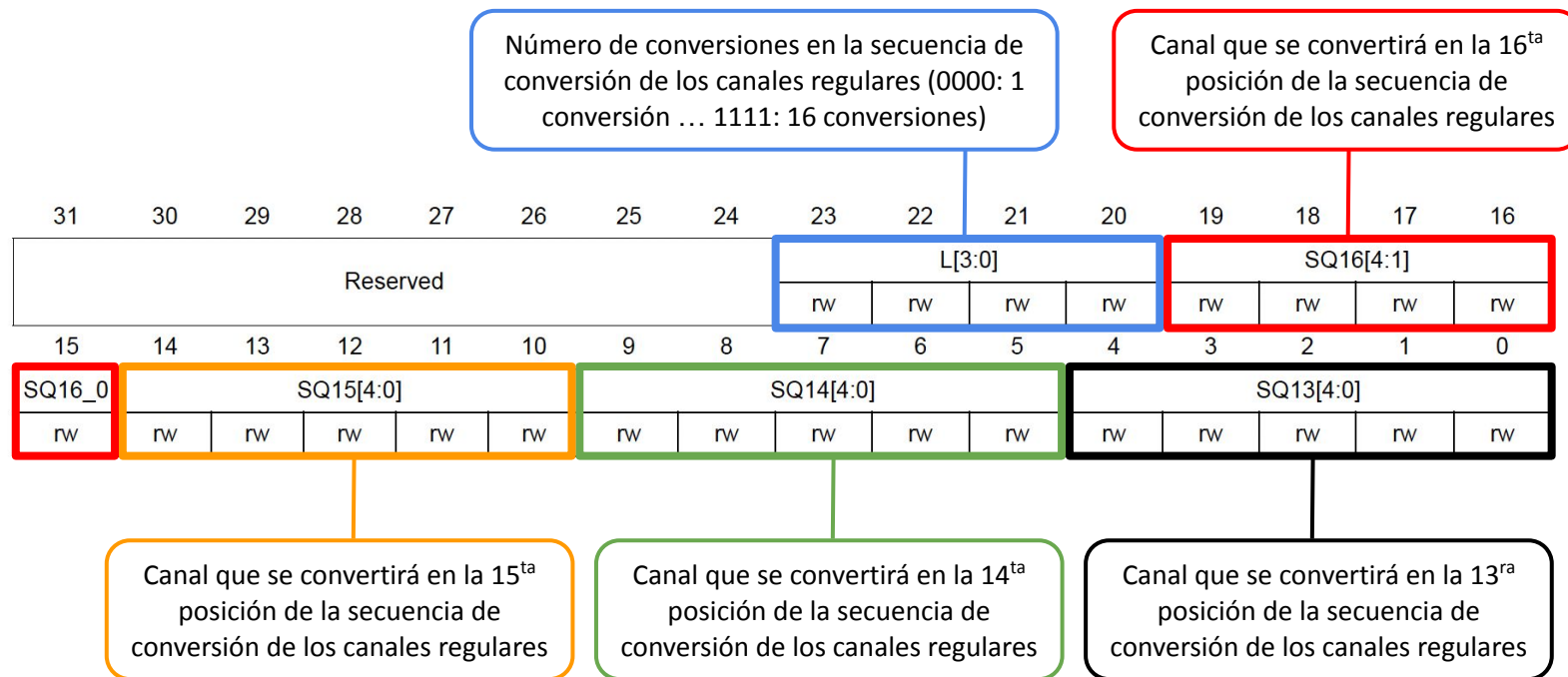
Define el umbral alto del watchdog analógico

ADC_LTR (Registro para el umbral bajo del watchdog)

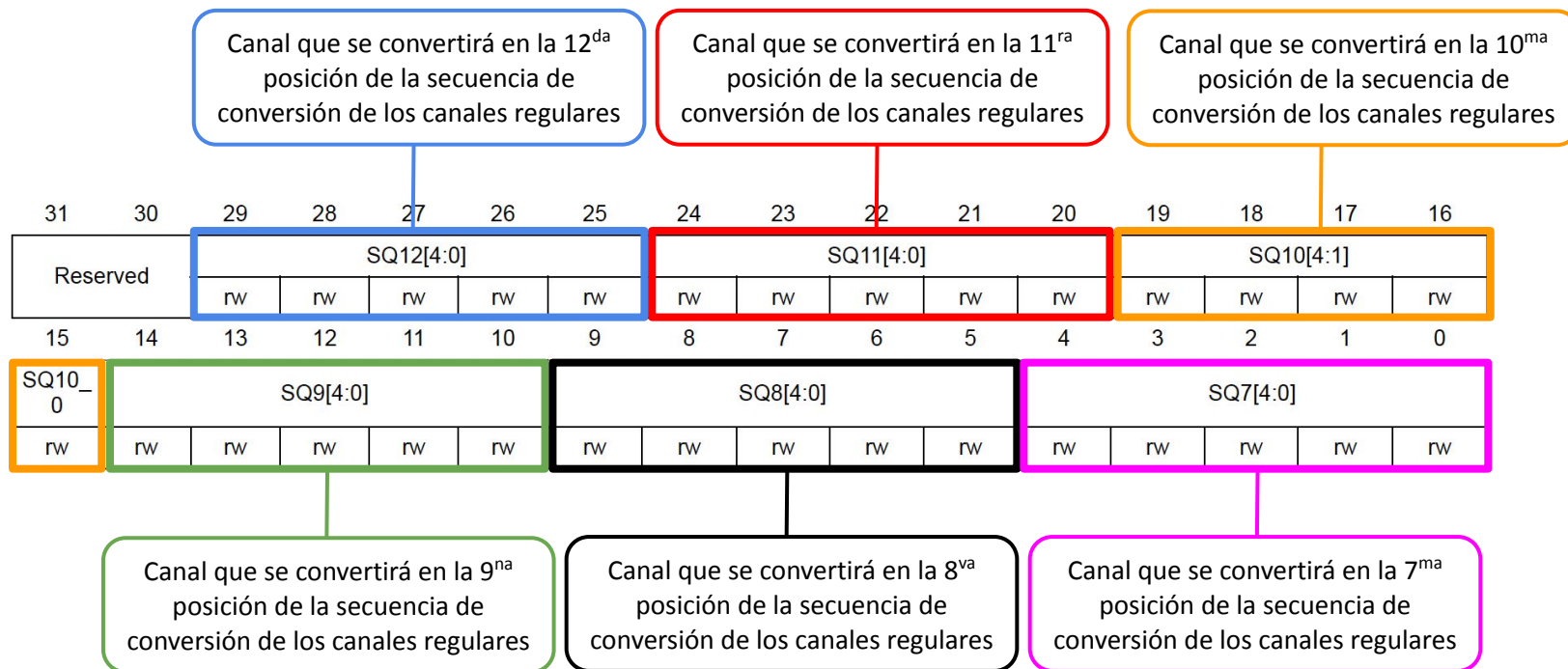


Define el umbral bajo del watchdog analógico

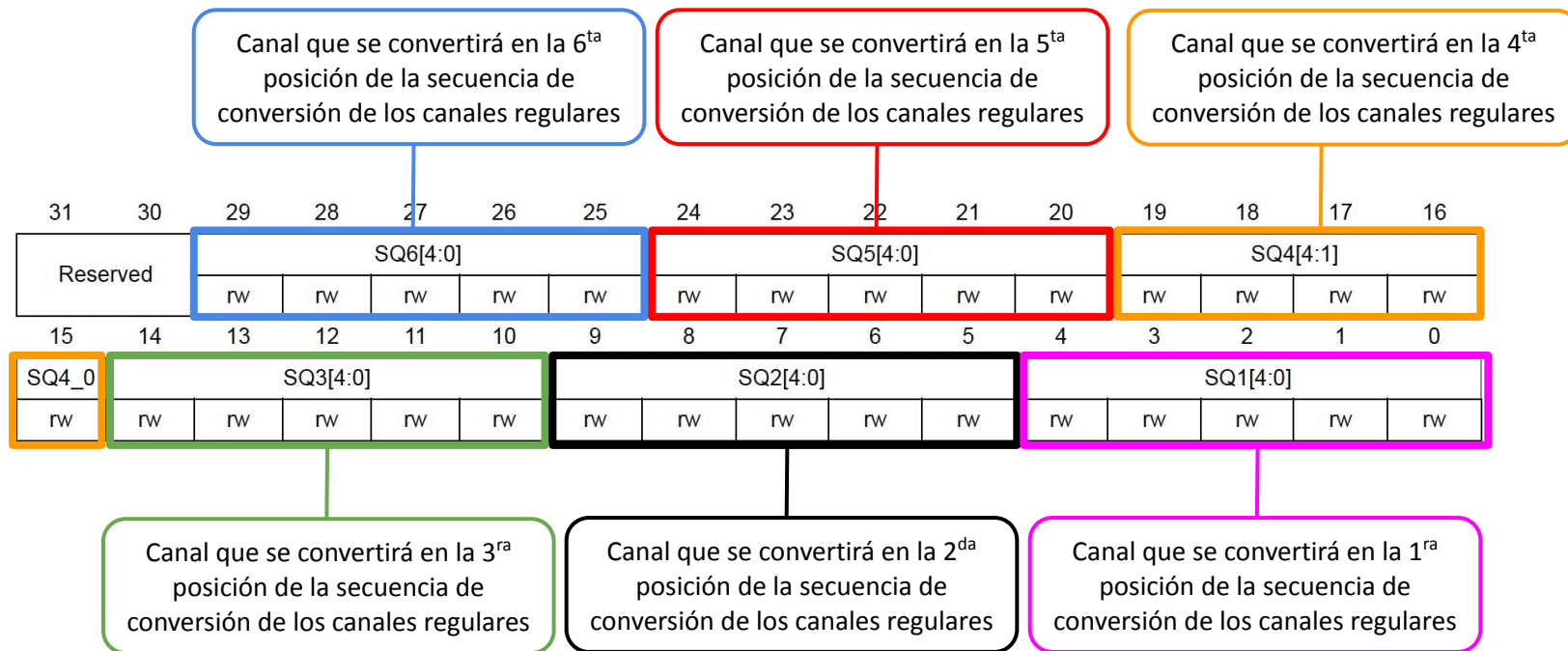
ADC_SQR1 (Registro de secuencia de los canales regulares 1)



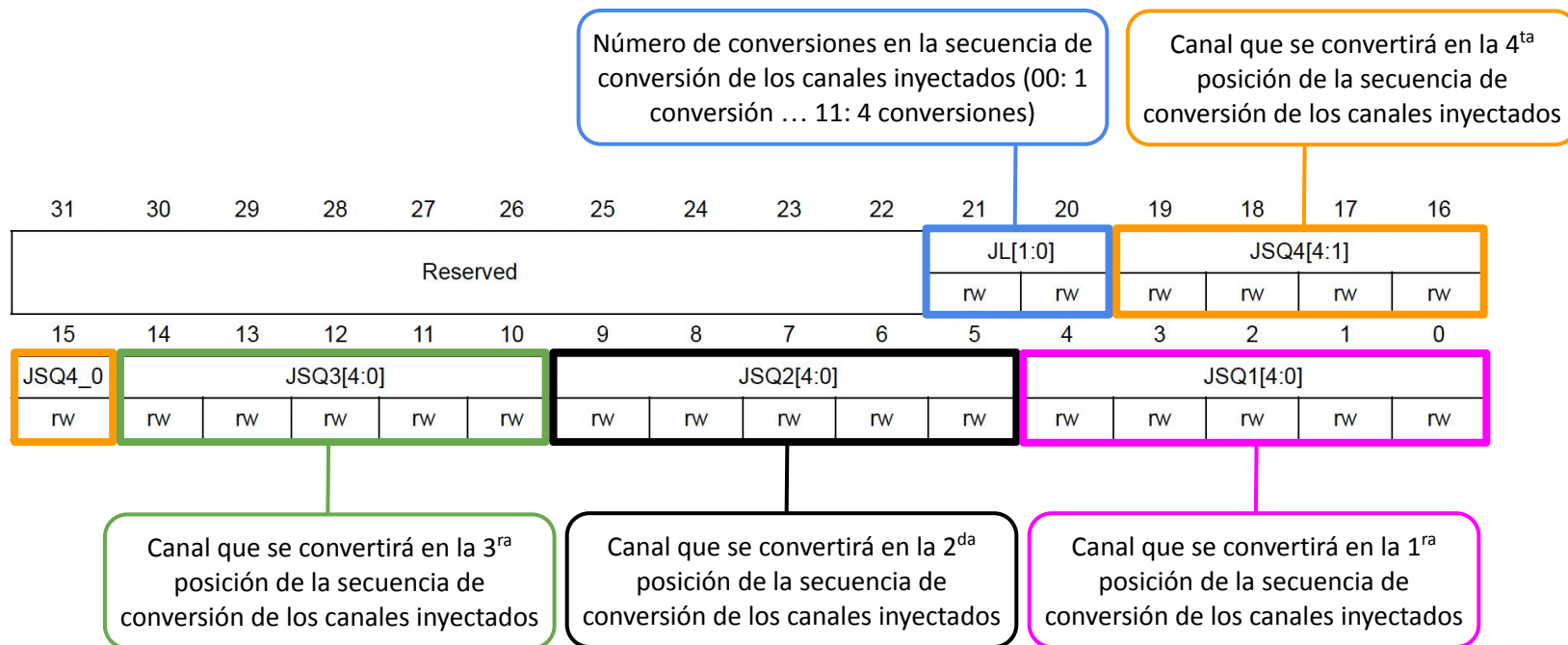
ADC_SQR2 (Registro de secuencia de los canales regulares 2)



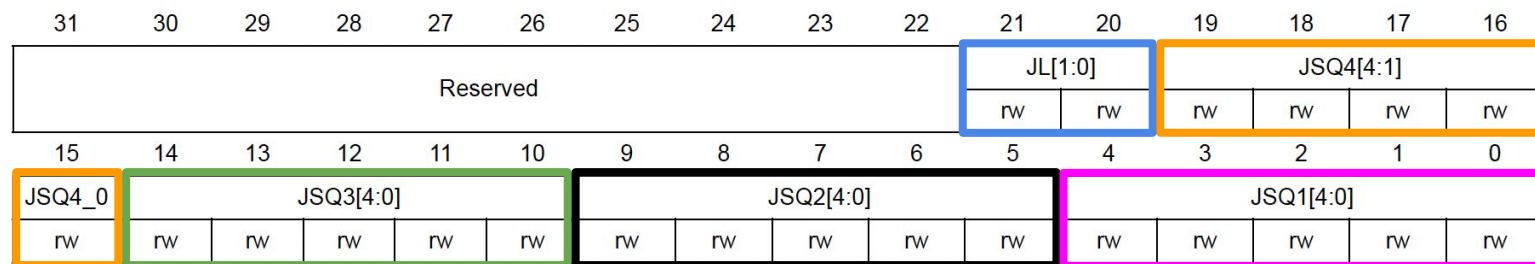
ADC_SQR3 (Registro de secuencia de los canales regulares 3)



ADC_JSQR (Registro de secuencia de los canales inyectados)



ADC_JSQR (Registro de secuencia de los canales inyectados)



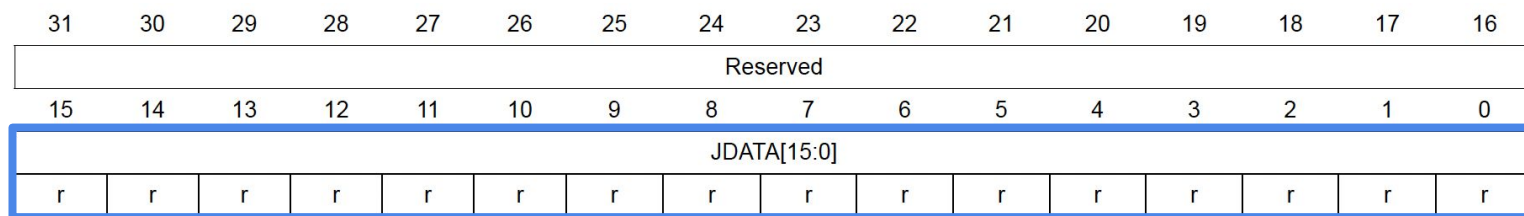
Cuando JL=3 (4 conversiones en la secuencia), el ADC convierte los canales en el orden: JSQ1[4:0] → JSQ2[4:0] → JSQ3[4:0] → JSQ4[4:0]

Cuando JL=2 (3 conversiones en la secuencia), el ADC convierte los canales en el orden: JSQ2[4:0] → JSQ3[4:0] → JSQ4[4:0]

Cuando JL=1 (2 conversiones en la secuencia), el ADC convierte los canales en el orden: JSQ3[4:0] → JSQ4[4:0]

Cuando JL=0 (1 conversión en la secuencia), el ADC convierte sólo el canal JSQ4[4:0]

ADC_JDRx (Registro de datos de los canales inyectados) (x = 1..4)



Contiene el resultado de la conversión del canal inyectado x

ADC_DR (Registro de datos de los canales regulares)

