



Escuela de
Ciencia y Tecnología
ECyT_UNSAM

Electrónica Digital I

TRABAJO PRÁCTICO FINAL

Voltímetro digital con salida VGA

1. Objetivo

El objetivo del presente Trabajo Práctico consiste en especificar, diseñar (describir una arquitectura), simular, sintetizar e implementar en FPGA un sistema digital para un voltímetro digital con salida VGA.

2. Especificaciones

- 2.1 Implementar en lenguaje descriptor de hardware VHDL un voltímetro conformado por un conversor A/D Sigma-Delta con salida VGA.

Importante: No podrá ser utilizada la sentencia *Process* salvo en el caso de la descripción de FFD's y registros. Tampoco podrán ser usadas las sentencias que permitan evitar el diseño de los diferentes bloques de hardware (por ejemplo *when-else*), como así tampoco los operandos aritméticos ni de relación (+, -, >, <, =)

- 2.2 Sintetizar con la herramienta Vivado la descripción de hardware para la FPGA:

- Fabricante: Xilinx/Digilent
- Familia: Arty A7-35
- Modelo: XC7A35TI
- Encapsulado: CSG324
- Speed: -1

- 2.3 Implementar la descripción de hardware en el kit de desarrollo Arty A7-35.

- 2.4 Generar un informe (no más de 10 hojas, sin contar el código) que incluya:

- Diagrama en bloques, entradas y salidas de cada bloque.
- Simulaciones (incluyendo algunas capturas de pantalla).
- Tabla de resumen de síntesis, detallando slices, Flip-Flops y LUTs utilizadas (con indicación de porcentajes de utilización del dispositivo).

- Código fuente VHDL.

3. Desarrollo

El diagrama en bloques de la arquitectura propuesta se puede observar en la Figura 1. El objetivo de este trabajo es implementar un conversor A/D Sigma-Delta utilizando uno de los flip-flops presentes en los bloques lógicos de la FPGA, seguido de un contador que dará cuenta de la cantidad de *unos* a la salida de dicho flip-flop, en un determinado tiempo (cantidad dada de ciclos de reloj). El valor obtenido se mostrará en un monitor a través de una interfaz VGA.

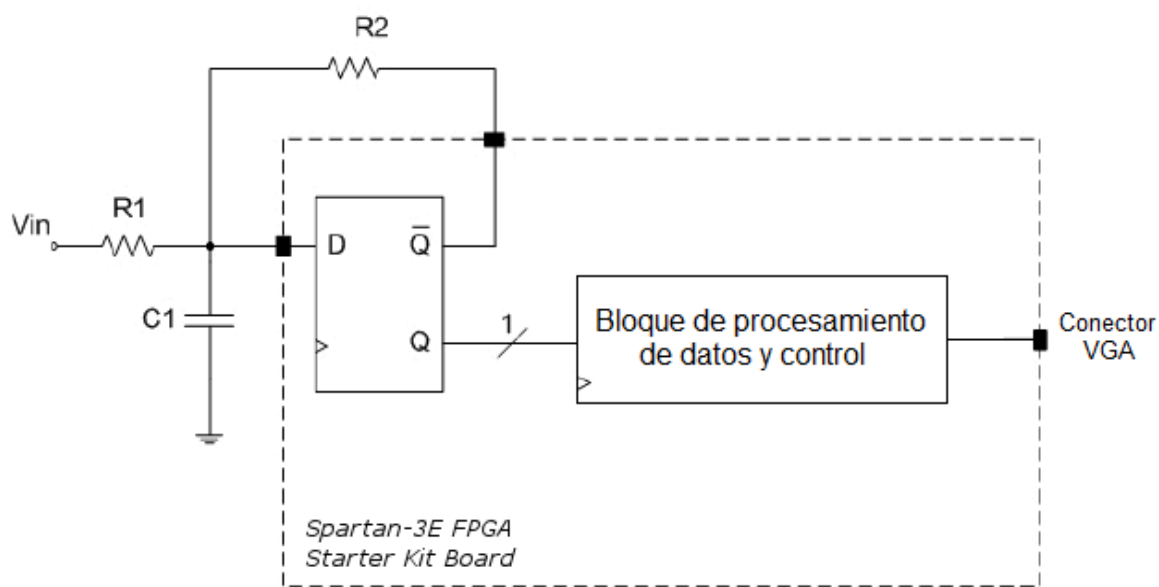


Figura 1: Diagrama en bloques simplificado de la arquitectura propuesta

Los componentes básicos de la arquitectura son:

Flip-Flop: Se utilizará un flip-flop de uno de los bloques lógicos de la FPGA (la implementación en VHDL se deberá realizar por comportamiento).

Bloque de procesamiento de datos y control: este bloque es el encargado de procesar los datos obtenidos de la salida Q del flip-flop D de entrada (**la implementación en VHDL se deberá realizar de manera estructural**). Estará conformado por un contador por

décadas, un contador binario, un registro, una ROM de caracteres (para almacenar los caracteres '0', ..., '9', '.', 'V' y ' '), un controlador de VGA y un bloque de lógica encargado del control general.

4. Entregables

- Código VHDL
- Informe conteniendo:
 - Breve explicación de lo desarrollado en el trabajo
 - Diagrama en bloques (detallando entradas y salidas)
 - Explicación de la funcionalidad de cada bloque
 - Resumen de utilización de recursos y tiempos (datos entregados por la herramienta Vivado)
- Video en el que se muestre el comportamiento del hardware implementado.

5. Condiciones para la aprobación del TP

- Entregables.
- Verificación de funcionalidad correcta por parte de la cátedra.
- Defensa del trabajo con el docente responsable titular de la materia.