

Tarea 3: Lenguajes de Descripción de Hardware

Fecha de entrega: 16 de noviembre, 23:55 hrs.

50 % Diseño + Testbench

50 % Informe

Enunciado

Con su ExaBot finalizado decide adentrarse un poco más al mundo del desarrollo de hardware diseñando una ALU (Arithmetic-Logic Unit) básica con una serie de operaciones binarias. Como no tiene a mano las herramientas para hacer un prototipo directamente en una placa enciende su computador y diseña los circuitos necesarios usando un lenguaje de descripción de hardware, SystemVerilog.

Op-code	Operación	Resultado	Descripción
000	Suma simple	Entero	Suma A y B en Complemento-2
001	Resta simple	Entero	Resta A y B en Complemento-2
010	Suma positiva	Natural	Suma A y B en Magnitud
011	Resta positiva	Natural	Resta A y B en Magnitud
100	Rotación izquierda	Entero	Rota A a la izquierda B veces
101	Rotación derecha	Entero	Rota A a la derecha B veces
110	Duplicación	Natural	Duplica A una cantidad B de veces
111	División binaria	Natural	Divide A por 2 una cantidad B de veces

Tabla 1: Operaciones de la ALU

Flag	Condición	Descripción
N	Negative	El valor de salida es negativo
Z	Zero	El valor de salida es cero
C	Carry	La operación produce un carry de salida
V	Overflow	La operación produce un overflow numérico
G	Greater	El valor de A es mayor que el valor de B
Q	Equal	El valor de A es igual al de B
O	Odd	El valor de salida es impar
P	Pairs	El valor de salida tiene la misma cantidad de 1s y 0s

Tabla 2: Flags de la ALU

La tabla 1 muestra todas las operaciones que debe hacer la ALU, y la tabla 2 muestra las flags que debe mostrar junto al valor de salida. Cabe notar que la diferencia entre las flags C y V es que la primera está activa siempre que se produzca un carry de salida, y la segunda solo cuando el valor de salida tenga un valor que "de la vuelta" numéricamente. Por ejemplo para 3 bits en Complemento-2, $110 + 111 = (1)101$ produce un carry de salida pero no un overflow, mientras que $111 + 100 = (1)011$ produce ambos.

Indicaciones

La tarea debe desarrollarse usando la plataforma online EDA Playground¹ configurada con Testbench + Design SystemVerilog/Verilog, Simulador Aldec Riviera Pro 2022.04 y Compile Options `-timescale 1ns/1ns`. Se debe crear un archivo `.sv` de diseño con todos los módulos de la ALU y uno de testbench con las pruebas al módulo principal.

El informe del desarrollo de la tarea debe redactarse usando la plantilla L^AT_EX disponible en Aula. No usarla implicará un descuento de 25 puntos sobre el informe. En caso de entregar un informe sin todas las secciones especificadas, se evaluará el informe con nota 0.

La tarea debe entregarse con ambos archivos `.sv`, el informe en PDF, y un archivo `README.txt` con los nombres y roles de los integrantes del grupo. Todo esto debe ir comprimido en formato `.zip` y subido en la entrega de la tarea en Aula con el nombre `T3_GrupoN.zip`, reemplazando N por el número de su grupo.

¹Disponible en <https://www.edaplayground.com/>

Entrada y salida de datos

La entrada debe hacerse manualmente alterando el testbench para incluir los parámetros necesarios. Estos deben ser el op-code de la operación y los valores A y B para operar. El op-code es un número binario de 3 bits, y los valores A y B son valores binarios de 8 bits cada uno.

La salida debe hacerse mediante impresiones a la consola/output usando el comando `$display` o `$monitor`, y se debe incluir el valor de salida de 8 bits, y un valor de 8 bits que corresponda al estado de las flags.

La tabla 3 muestra una serie de ejemplos, con A , B , $Salida$ y $Flags$ expresados en hexadecimal.

Op-code	A	B	Salida	Flags
000	23	56	79	02
000	56	79	CF	92
000	CF	23	F2	80
000	CF	6D	3C	01
000	FA	FD	F7	AA
000	FA	23	1D	32
001	69	42	27	0B
001	69	82	E7	8A
001	A3	A4	FF	82
010	F0	0F	FF	0A
010	F0	10	00	78
011	FF	0F	F0	29
011	0F	FF	10	30
100	0F	04	F0	89
101	0F	06	3C	09
110	01	05	20	00
110	01	FF	00	70
111	FF	02	3C	09
111	FF	FF	00	44

Tabla 3: Ejemplos de entrada y salida

Consideraciones

- La fecha límite para la entrega de la tarea es el 16 de noviembre, 23:55 hrs..
- **La tarea puede entregarse hasta la fecha límite sin descuento. En caso de entregarse hasta 24 horas atrasada se aplicará una nota máxima de 75, en caso de entregarse hasta 48 horas atrasada se aplicará una nota máxima de 50, y en cualquier otro caso se aplicará una nota máxima de 0.**
- Todas las dudas respecto a la tarea deben hacerse a través del foro de consultas disponible en Aula. Cualquier consulta por otro medio será respondida con una imagen de esta sección.
- No se responderán dudas por cualquier medio en las 48 horas previas a la entrega de la tarea. Haga sus dudas con antelación.
- Ante cualquier sospecha de plagio se evaluará con nota 0 y se reportará al profesor y a las autoridades universitarias correspondientes. No se exponga innecesariamente.
- El diseño y testbench de la tarea equivale al 50 % de la nota final, y el informe equivale al 50 % de la nota final.