

## Calcolo della funzione seno mediante interpolazione

Il circuito non è un DDS, ma è pensato come componente di una FPU per calcolare il seno dato il valore della fase di ingresso  $x=2\pi f$ .

Dato l'ingresso  $x[15:0]$ , il bit 15 indicherà il segno di  $x$  e dato che il seno è dispari anche il segno di  $\sin(x)$ , possiamo quindi memorizzare in ROM i soli valori di fase tra 0 e  $\pi$ .

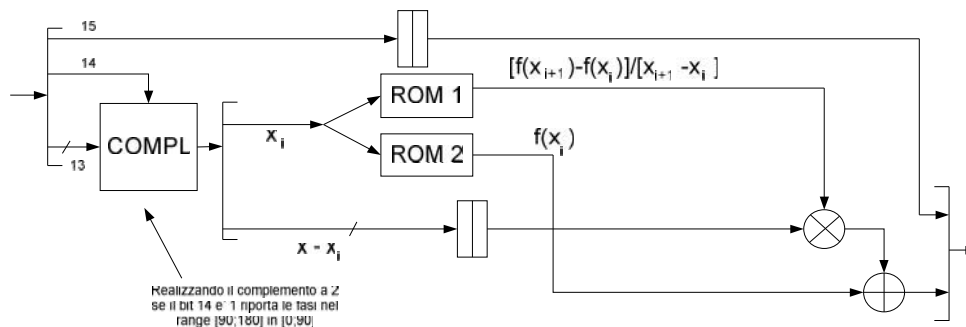
La rete COMPL serve unicamente a dimezzare ulteriormente i valori da tenere in memoria, ma può anche non essere utilizzata.

Se in ROM teniamo 1024 valori,  $x_i$  sarà rappresentato dai 10 bit più significativi di  $x$ , quelli meno significativi rappresentano  $x-x_i$ . Tale valore ( $x-x_i$ ) viene moltiplicato per l'uscita della ROM 1 e quindi si somma all'uscita della ROM 2.

Nella ROM 1 è memorizzato direttamente il valore  $\frac{\sin(x_{i+1}) - \sin(x_i)}{x_{i+1} - x_i}$  dove  $x_{i+1} - x_i$  è un

numero fisso che dipende da quanti valori vengono tenuti in memoria; in tal modo l'operazione di divisione (che comunque si realizzerebbe con uno shift) non deve essere realizzata.

La ROM 2 tiene i valori di  $\sin(x_i)$ .



La relazione finale del progetto deve contenere:

- Introduzione (descrizione generatore di funzione, possibili applicazioni, possibili architetture, etc.)
- Descrizione dell'architettura selezionata per la realizzazione (diagramma a blocchi, ingressi/uscite, etc.)
- Codice VHDL (con commenti dettagliati)
- Test-plan e relativi Testbench per la verifica
- Interpretazione dei risultati ottenuti nella sintesi automatica su piattaforma Xilinx FPGA Zync in termini di massima frequenza di clock (cammino critico) e elementi utilizzati (slice, LUT, etc.). Commentare eventuali messaggi di warnings.
- Conclusioni