

# Parcial - Escenario 4

Fecha de entrega 20 de sep en 23:55

Puntos 75

Preguntas 15

Disponible 17 de sep en 0:00 - 20 de sep en 23:55

Límite de tiempo 90 minutos

Intentos permitidos 2

## Instrucciones



Apreciado estudiante, presenta tus exámenes como **SERGIO EL ELEFANTE**, quien con honestidad, usa su sabiduría para mejorar cada día.

**Lee detenidamente las siguientes indicaciones y minimiza inconvenientes:**

1. Tienes dos intentos para desarrollar tu evaluación.
2. Si respondiste uno de los intentos sin ningún inconveniente y tuviste problemas con el otro, el examen no será habilitado nuevamente.
3. Cuando estés respondiendo la evaluación, evita abrir páginas diferentes a tu examen. Esto puede ocasionar el cierre del mismo y la pérdida de un intento.
4. Asegúrate de tener buena conexión a internet, cierra cualquier programa que pueda consumir el ancho de banda y no utilices internet móvil.
5. Debes empezar a responder el examen por lo menos dos horas antes del cierre, es decir, máximo a las 9:55 p. m. Si llegada las 11:55 p. m. no lo has enviado, el mismo se cerrará y no podrá ser calificado.
6. El tiempo máximo que tienes para resolver cada evaluación es de 90 minutos.
7. Solo puedes recurrir al segundo intento en caso de un problema tecnológico.
8. Si tu examen incluye preguntas con respuestas abiertas, estas no serán calificadas automáticamente, ya que requieren la revisión del tutor.
9. Si presentas inconvenientes con la presentación del examen, puedes crear un caso explicando la situación y adjuntando siempre imágenes de evidencia, con fecha y hora, para que Soporte Tecnológico pueda brindarte una respuesta lo antes posible.
10. Podrás verificar la solución de tu examen únicamente durante las 24 horas siguientes al cierre.
11. Te recomendamos evitar el uso de teléfonos inteligentes o tabletas para la presentación de tus actividades evaluativas.
12. Al terminar de responder el examen debes dar clic en el botón "Enviar todo y terminar" de otra forma el examen permanecerá abierto.

**¡Confiamos en que sigas, paso a paso, en el camino hacia la excelencia académica!**  
¿Das tu palabra de que realizarás esta actividad asumiendo de corazón nuestro

**PACTO DE HONOR?**



## Historial de intentos

	Intento	Hora	Puntaje
MANTENER	<a href="#">Intento 2</a>	24 minutos	70 de 75
MÁS RECIENTE	<a href="#">Intento 2</a>	24 minutos	70 de 75
	<a href="#">Intento 1</a>	72 minutos	60 de 75

! Las respuestas correctas estarán disponibles del 20 de sep en 23:55 al 21 de sep en 23:55.

Puntaje para este intento: **70** de 75

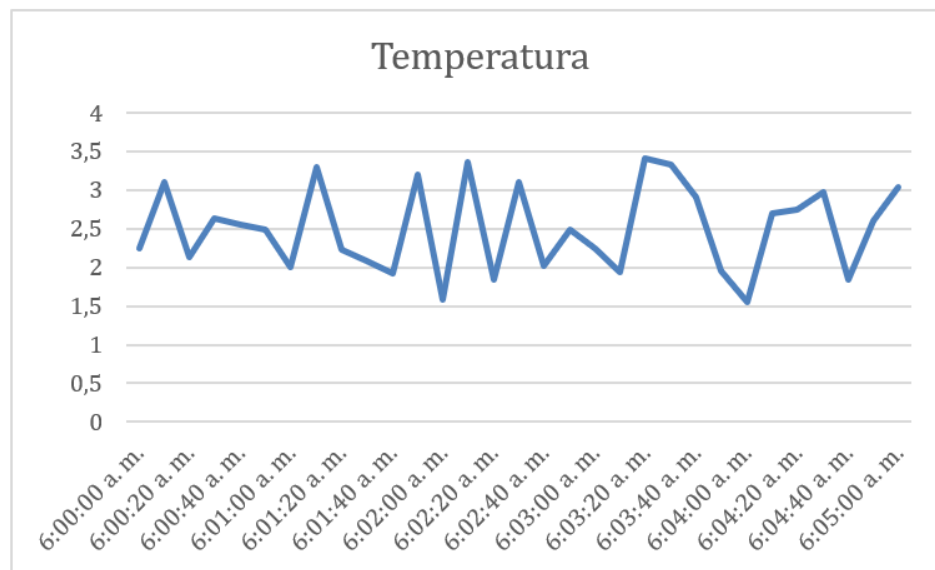
Entregado el 17 de sep en 16:45

Este intento tuvo una duración de 24 minutos.

### Pregunta 1

5 / 5 pts

Un sistema de control cuenta con un sensor de temperatura que se utilizará para medir dicha variable en el tiempo. La señal de los sensores es un valor de voltaje y tiene la siguiente forma:



De acuerdo con la información recibida por los sensores, es posible afirmar que:



La señal es analógica y requiere ser procesada para utilizarla en un circuito digital.

La señal es de tipo analógico, al ser continua en el tiempo. Para su uso en un circuito digital es necesario pasarla por un conversor análogo/digital y procesarla para convertirla en un dato binario.

- ☐ La señal es de tipo digital y puede ser usada en un circuito TTL.
- ☐ Como la señal tiene un voltaje mayor a 1,5 voltios y menor a 5 voltios, es compatible con la tecnología TTL.
- ☐ La señal es digital, pero requiere que se baje su nivel entre 0 y 1 voltio para usarla como binario.

**Pregunta 2****5 / 5 pts**

El uso de la lógica booleana tiene aplicaciones más allá de los circuitos digitales, por ejemplo cuando nos encontramos con situaciones que requieren la toma de decisiones y el uso de condicionales.

Una mamá le dice a su hijo: "Vamos a comer postre, puedes escoger entre helado o brownie, pero no puedes comer los dos al tiempo". Obviamente no comer postre no es una opción en este caso.

Si usted tuviera que trasladar esta situación a un circuito digital utilizando compuertas lógicas, usaría:

- ☐ Una compuerta NAND, pues la mamá le dice que no puede comer dos cosas a la vez.
- ☐ Una compuerta OR, porque si el niño come un postre o el otro estaría cumpliendo con la condición.



Una compuerta XNOR, que permite simular la situación en la que se debe cumplir una o la otra únicamente.



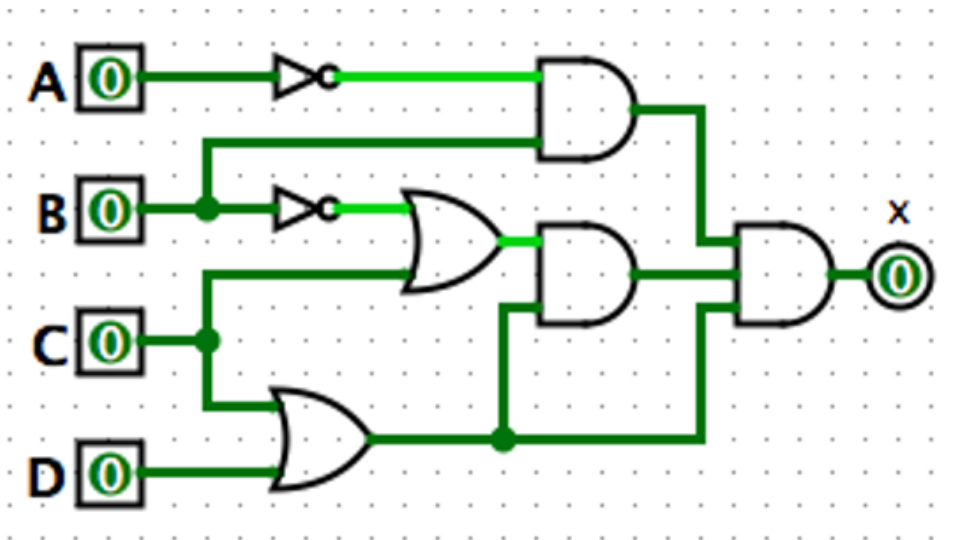
Una compuerta XOR, pues es la que se activa únicamente cuando las dos entradas son diferentes.

La compuerta XOR es la adecuada, pues tiene en cuenta que se puede solo una de las dos opciones.

### Pregunta 3

5 / 5 pts

¿Cuál de las siguientes expresiones booleanas es la que expresa correctamente el circuito que se presenta a continuación? :



$(A' + B)(B'C + CD)$



$A'BC$



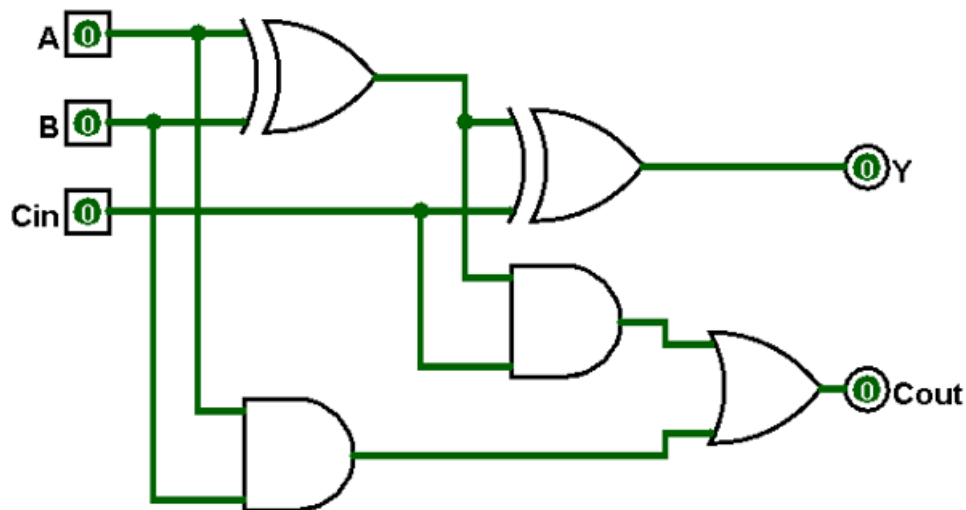
$ABC$

☐  $AB'C'$

#### Pregunta 4

5 / 5 pts

Un sumador completo es un tipo de circuito combinacional, que recibe, además de los operandos de entrada, un bit de acarreo de entrada (Cin), proveniente de otra suma previa. El siguiente circuito sumador se utiliza en un sumador de 8 bits,



En su operación, el sumador recibe los siguientes datos:  $A=1$ ,  $B=0$  y  $Cin=1$ , el resultado en la salida debería ser:

$Y = 0$

y

☐  $Cout = 0$ .

$Y = 0$

y

☒  $Cout = 1$ .

$$Y = 1$$

y

☐  $Cout = 0.$ 

$$Y = 1$$

y

☐  $Cout = 1.$ **Pregunta 5****5 / 5 pts**

La combinación de compuertas lógicas permite obtener nuevas compuertas compuestas, tal es el caso de las compuertas NAND, NOR, XOR y XNOR. Dependiendo del problema, es posible escoger una combinación de compuertas que faciliten la solución del mismo.

Las puertas de un vagón de tren cuentan con sensores que permiten verificar si una persona u objeto las obstruyen. Cada uno de estos sensores funcionan de la siguiente manera:

- Hay un emisor de luz infrarroja en un extremo y un receptor en el otro.
- Si el espacio está vacío, el receptor recibe la luz infrarroja que cruza de un extremo a otro y se genera una señal en ALTO.
- Cuando algo interrumpe el paso de la luz, el sensor no la detecta y genera una señal en BAJO.

Se desea que cuando el conductor del tren mande la señal para cerrar puertas, el sistema detecte si hay obstrucciones. De ser así, se activa una señal de alarma (Que requiere un nivel ALTO para encenderse).

De acuerdo al montaje descrito, usted propondría:



Utilizar una compuerta AND, que detecte cuando todas las señales estén en ALTO.



Usar la lógica de una XOR, para detectar que las diferentes puertas estén o no obstruidas.



Hacer el montaje con una compuerta NAND, para tener una salida en bajo si no hay obstrucciones.

La compuerta NAND es adecuada, pues no sólo verifica que todos los sensores indiquen la ausencia de obstrucciones, sino que su salida es un nivel BAJO cuando esto sucede, lo cual no activaría la alarma.



Utilizar lógica inversa, con una compuerta negativa-AND.

**Pregunta 6****5 / 5 pts**

Todos los circuitos combinacionales vistos hasta ahora pueden ser representados mediante sus tablas de verdad.

De acuerdo con la siguiente tabla de verdad (A y B son entradas, Y1-Y0 salidas):

A	B	Y1	Y0
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

☐ La salida Y0 se puede implementar con una XNOR.

☒ El circuito es un sumador con acarreo.

Es correcto, pues  $A+B$  da respectivamente 0, 1, 1 y 0 (éste último con acarreo en Y1).

☐ El circuito es un conversor de código, de binario a BCD.

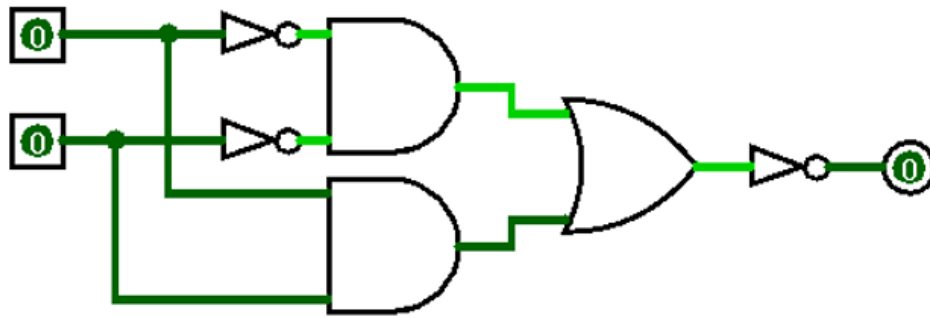
☐ El circuito funciona como un comparador, con sus dos salidas características.

### Pregunta 7

5 / 5 pts

Los circuitos combinacionales ven sus salidas afectadas directamente por los valores en las entradas. La relación entre las entradas y las salidas de un circuito combinacional se pueden analizar mediante sus tablas de verdad. Dado el siguiente circuito combinacional:





Es posible afirmar que su funcionamiento es equivalente al de:

☒ Una compuerta XOR

Se trata finalmente de una compuerta XOR. Antes de la compuerta NOT cercana a la salida, funciona como una XNOR, pero esa negación al final la vuelve una XOR. Es decir que, para este circuito, si las dos entradas son iguales, la salida es 0. Si las dos entradas son diferentes, la salida es 1.

☐ Una compuerta XNOR.

☐ Una compuerta OR

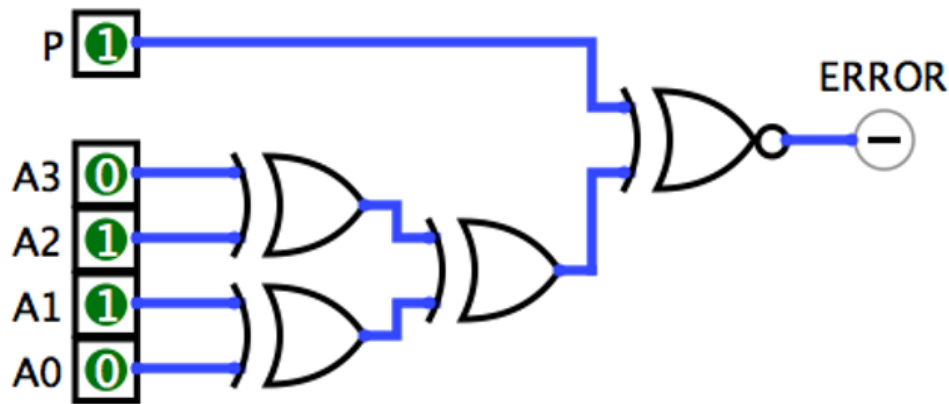
☐ Una compuerta Negativa-OR.

### Pregunta 8

5 / 5 pts

La paridad es un método de detección de errores muy utilizado, debido a la facilidad de su implementación. Tanto el emisor como el receptor deben estar de acuerdo en cuanto al método de detección para poder verificar que la información sea recibida correctamente.

Con el fin de recibir un mensaje utilizando el método de paridad impar, se debe verificar si un circuito digital está diseñado para funcionar con el protocolo del emisor. Usted tiene conocimiento que el circuito implementado en el receptor es el siguiente:



Sabiendo que la salida de ERROR se debe activar cuando haya un error en la paridad, usted deberá entonces:

☐ Modificar el circuito, pues este no es detector de paridad, sino generador de paridad.

☐ Cambiar la compuerta XNOR por una XOR, de tal manera que el bit de paridad no active la salida de error.

☒ El circuito está bien así como está montado, pues detecta la paridad impar.

Al invertir la salida con la compuerta XNOR, el circuito sirve para detectar paridad impar. Si se quita la negación, detecta paridad par.

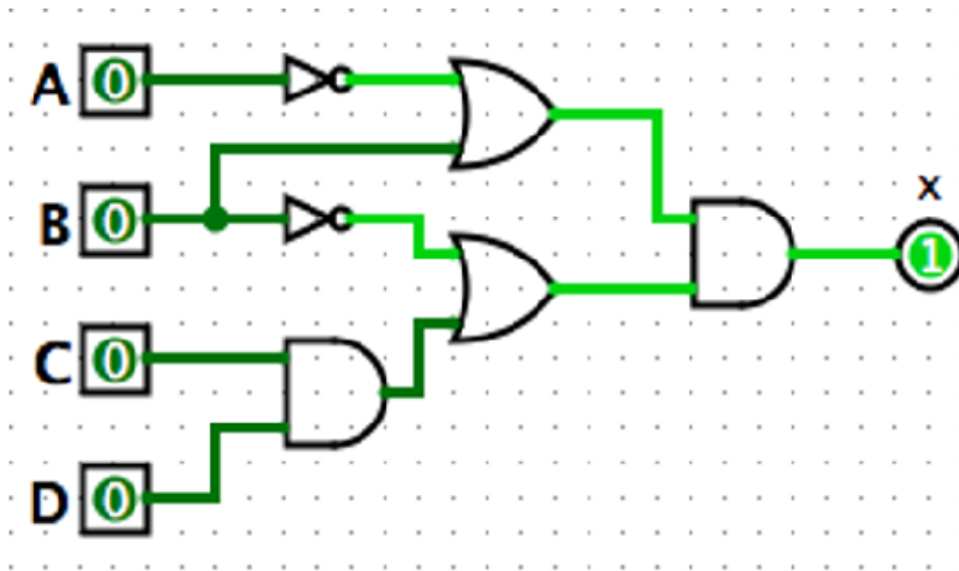
☐ Se deben cambiar todas las compuertas a XNOR.

**Incorrecto**

**Pregunta 9**

**0 / 5 pts**

El siguiente circuito se puede expresar como las siguientes expresiones booleanas (tenga en cuenta los mapas de Karnaugh), excepto una:

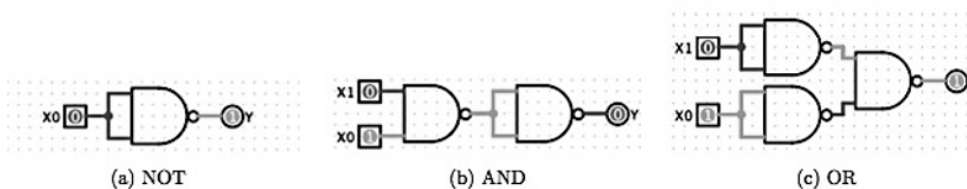


- ☐  $A'B' + BCD$
- ☐  $(A'B) + (A'(C+D))$
- ☒  $(A'+B)(B'+CD)$
- ☐  $(B'+C')(B'+D)(A'+B)$

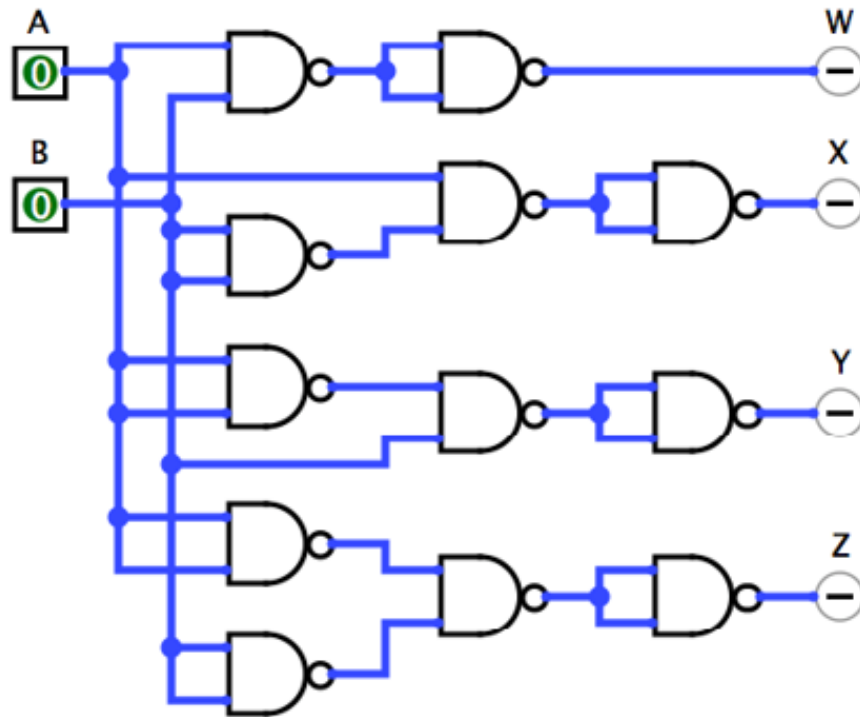
### Pregunta 10

5 / 5 pts

Las compuertas NAND son reconocidas como compuertas universales. Como se puede ver en la imagen, ellas permiten reemplazar cualquiera de las compuertas básicas, haciendo más económica la fabricación de circuitos integrados (al usar un único tipo



Teniendo en cuenta lo anterior, analice el circuito de la imagen:



Usted diría que este circuito:



Es un codificador, de 2 entradas y 4 salidas, que dada una de las entradas, genera su correspondiente número binario en la salida.



Un decodificador de 2 líneas a 4 líneas, que activa algunas de las salidas, según el código binario en la entrada.

Al hacer la conversión de compuertas se puede verificar que cada salida se activa para cada uno de los cuatro códigos binarios posibles en la entrada.

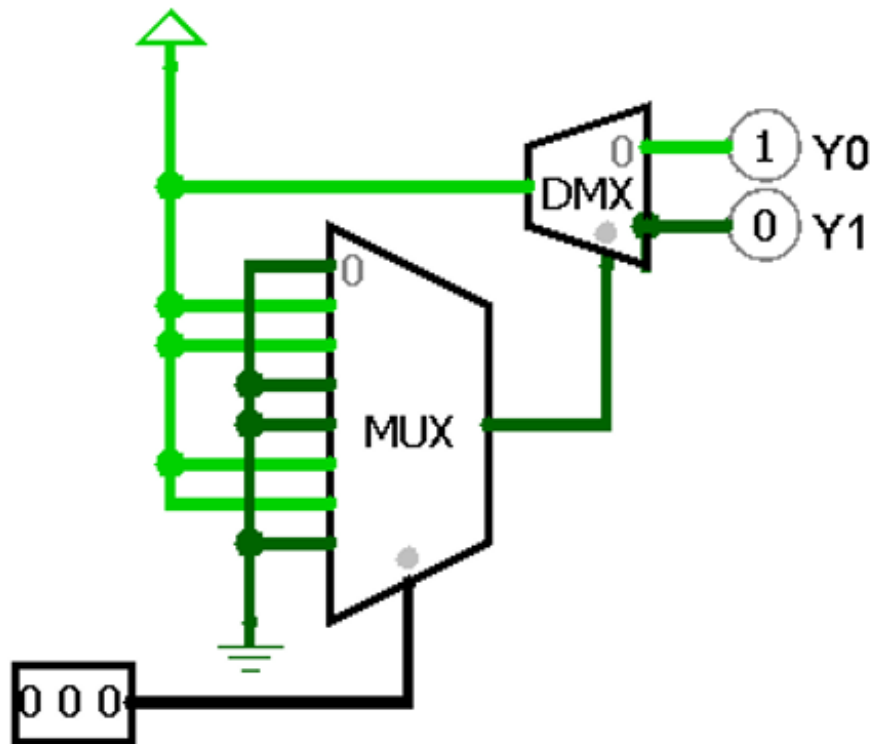


Es un circuito conversor de binario a hexadecimal.



Es un circuito sumador, que retorna la suma de los 2 números A y B.

Los multiplexores, además de ser usados para la selección de datos, pueden funcionar como generadores de funciones lógicas. Partiendo de una tabla de verdad, se seleccionan los minterminos y se ponen a un nivel de voltaje ALTO (Conectados a VCC) Las demás entradas se ponen en BAJO (Conectados a tierra). De esta manera, al poner en las entradas de selección la combinación adecuada, se puede ver el resultado en la salida. En el siguiente diagrama, se muestra un generador de funciones lógicas, con la entrada de selección en 000:



¿Qué valor habrá en las salidas, si la entrada de selección en el multiplexor se pone en 011?

- ☐ Y0 está en 0 y Y1 está en 0.
- ☐ Y0 está en 0 y Y1 está en 1.
- ☒ Y0 está en 1 y Y1 está en 0.

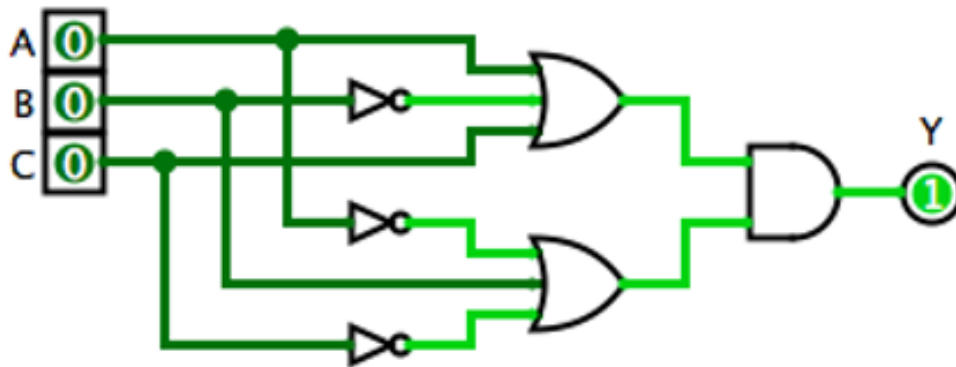
A la salida del multiplexor habrá un nivel BAJO con la selección en 011, por lo tanto el demultiplexor mostrará el dato de entrada en su salida Y0, mientras que en Y1 mostrará un nivel BAJO.

- ☐ Y0 está en 1 y Y1 está en 1.

### Pregunta 12

5 / 5 pts

Una expresión “producto de sumas” (POS, product of sums) está conformada por varios términos suma (suma booleana) de literales que se agrupan en un producto booleano. Dado el siguiente circuito:



Se podría decir que:

Es el resultado de los maxtérminos

$$M_2$$

y

$$M_5$$

, es decir

☒  $Y = (A + \bar{B} + C)(\bar{A} + B + \bar{C})$

Esta expresión se puede obtener directamente del circuito. Al existir una compuerta AND antes de la salida del circuito, se puede decir que la última operación a realizar es un producto. Más a la izquierda, se tienen dos compuertas OR que realizan la suma de los términos

$$A + \bar{B} + C$$

y

$$\bar{A} + B + \bar{C}$$

Es Igual a los mintérminos

$$M_2$$

y

$$M_5$$

, es decir

$$Y = A\bar{B}C + \bar{A}B\bar{C}$$

☐ .

☐

Se puede representar como una suma de productos usando los mintérminos

$$m_2, m_3, m_4$$

y

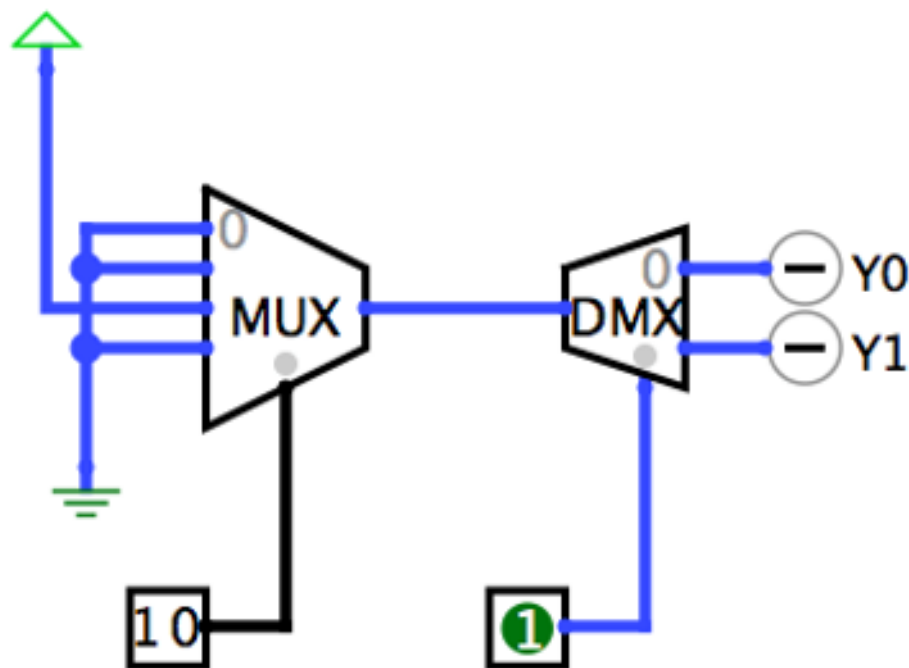
$$m_5$$

☐

No se puede representar por producto de sumas, es necesario simplificarlo más.

Los multiplexores, además de ser usados para la selección de datos, pueden funcionar como generadores de funciones lógicas. Partiendo de una tabla de verdad, se seleccionan los minterminos y se ponen a un nivel de voltaje ALTO. Las demás entradas se ponen en bajo. De esta manera, al poner en las entradas de selección la combinación adecuada, se puede ver el resultado en la salida.

Para el siguiente circuito (asumiendo que las entradas y salidas están numeradas de arriba abajo):



¿Qué valor hay en las salidas?

- ☐ Y0 está en 1 y Y1 está en 1.
- ☐ Y0 está en 1 y Y1 está en 0.
- ☒ Y0 está en 0 y Y1 está en 1.



El multiplexor tiene la entrada de selección en 10, por lo tanto se toma la tercera entrada de arriba hacia abajo, que está en ALTO. Aunque Y0 está en 0 al no estar seleccionada en el demultiplexor, el valor de Y1 es 1, precisamente porque es la que está seleccionada.

☐ Y0 está en 0 y Y1 está en 0.

**Pregunta 14****5 / 5 pts****Circuitos lógicos combinacionales**

Un  es un selector de datos, mediante la selección de una entre varias entradas de . Por otra parte, el  realiza la tarea inversa, es decir, permite la distribución de datos desde una única entrada a varias salidas. Estos, tienen una entrada de habilitación  la cual pone en funcionamiento el circuito.

**Respuesta 1:****Respuesta 2:****Respuesta 3:****Respuesta 4:**

**Pregunta 15****5 / 5 pts**

Los circuitos combinacionales están conformados por la unión de diferentes compuertas lógicas, que combinan sus características para obtener una salida compuesta.

De acuerdo con la siguiente tabla de verdad (A y B son entradas, Y3-Y2-Y1-Y0 salidas) para el circuito decodificador:

A	B	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

¿Cuál de las siguientes afirmaciones es falsa?:

- ☐ La salida Y0 se puede implementar con una NOR.
- ☒ La salida Y1 se puede implementar utilizando una XNOR.

Es correcto, la salida Y1 no se podría obtener directamente usando una XOR.

- ☐ La salida Y2 se puede implementar con una AND y un inversor.
- ☐ La salida Y3 se puede implementar con una NAND y un inversor.

Puntaje del examen: **70** de 75

