

Parcial - Escenario 4

Fecha de entrega 20 de sep en 23:55

Puntos 75

Preguntas 15

Disponible 17 de sep en 0:00 - 20 de sep en 23:55

Límite de tiempo 90 minutos

Intentos permitidos 2

Instrucciones



Apreciado estudiante, presenta tus exámenes como **SERGIO EL ELEFANTE**, quien con honestidad, usa su sabiduría para mejorar cada día.

Lee detenidamente las siguientes indicaciones y minimiza inconvenientes:

1. Tienes dos intentos para desarrollar tu evaluación.
2. Si respondiste uno de los intentos sin ningún inconveniente y tuviste problemas con el otro, el examen no será habilitado nuevamente.
3. Cuando estés respondiendo la evaluación, evita abrir páginas diferentes a tu examen. Esto puede ocasionar el cierre del mismo y la pérdida de un intento.
4. Asegúrate de tener buena conexión a internet, cierra cualquier programa que pueda consumir el ancho de banda y no utilices internet móvil.
5. Debes empezar a responder el examen por lo menos dos horas antes del cierre, es decir, máximo a las 9:55 p. m. Si llegada las 11:55 p. m. no lo has enviado, el mismo se cerrará y no podrá ser calificado.
6. El tiempo máximo que tienes para resolver cada evaluación es de 90 minutos.
7. Solo puedes recurrir al segundo intento en caso de un problema tecnológico.
8. Si tu examen incluye preguntas con respuestas abiertas, estas no serán calificadas automáticamente, ya que requieren la revisión del tutor.
9. Si presentas inconvenientes con la presentación del examen, puedes crear un caso explicando la situación y adjuntando siempre imágenes de evidencia, con fecha y hora, para que Soporte Tecnológico pueda brindarte una respuesta lo antes posible.
10. Podrás verificar la solución de tu examen únicamente durante las 24 horas siguientes al cierre.
11. Te recomendamos evitar el uso de teléfonos inteligentes o tabletas para la presentación de tus actividades evaluativas.
12. Al terminar de responder el examen debes dar clic en el botón "Enviar todo y terminar" de otra forma el examen permanecerá abierto.

¡Confiamos en que sigas, paso a paso, en el camino hacia la excelencia académica! ¿Das tu palabra de que realizarás esta actividad asumiendo de corazón nuestro

PACTO DE HONOR?



[Volver a realizar el examen](#)

Historial de intentos

MÁS RECIENTE	Intento	Hora	Puntaje
	Intento 1	37 minutos	75 de 75

! Las respuestas correctas estarán disponibles del 20 de sep en 23:55 al 21 de sep en 23:55.

Puntaje para este intento: 75 de 75

Entregado el 18 de sep en 12:25

Este intento tuvo una duración de 37 minutos.

Pregunta 1

5 / 5 pts

Todos los circuitos combinacionales vistos hasta ahora pueden ser representados mediante sus tablas de verdad. De acuerdo con la siguiente tabla de verdad (A y B son entradas, Y1-Y3 salidas):

Tabla de verdad				
A	B	Y2	Y1	Y0
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Es posible afirmar que:

- La salida Y2 se puede implementar con una XOR.
- El circuito es un sumador con acarreo.

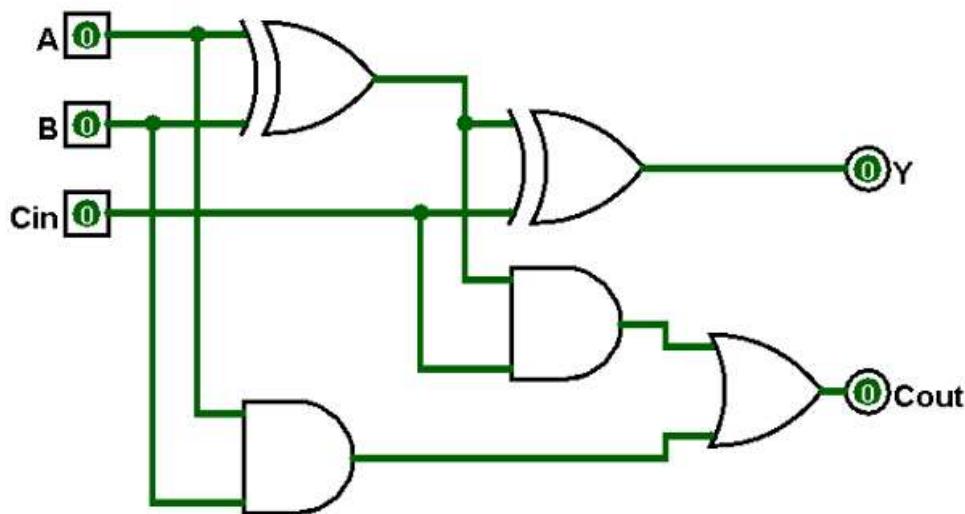
El circuito es un conversor de código, de binario a BCD.



El circuito funciona como un comparador, con sus tres salidas características.

Pregunta 2**5 / 5 pts**

Un sumador completo es un tipo de circuito combinacional, que recibe, además de los operandos de entrada, un bit de acarreo de entrada (*Cin*), proveniente de otra suma previa. El siguiente circuito sumador se utiliza en un sumador de 8 bits,



En su operación, el sumador recibe los siguientes datos: $A=1$, $B=0$ y $Cin=1$, el resultado en la salida debería ser:

$$Y = 0$$

y

$Cout = 0$.

$Y = 0$

y

- $Cout = 1.$**

$Y = 1$

y

- $Cout = 0.$**
-

$Y = 1$

y

- $Cout = 1.$**

Pregunta 3	5 / 5 pts
-------------------	------------------

La combinación de compuertas lógicas permite obtener nuevas compuertas compuestas, tal es el caso de las compuertas NAND, NOR, XOR y XNOR. Dependiendo del problema, es posible escoger una combinación de compuertas que faciliten la solución del mismo.

Las puertas de un vagón de tren cuentan con sensores que permiten verificar si una persona u objeto las obstruyen. Cada uno de estos sensores funcionan de la siguiente manera:

- Hay un emisor de luz infrarroja en un extremo y un receptor en el otro.
- Si el espacio está vacío, el receptor recibe la luz infrarroja que cruza de un extremo a otro y se genera una señal en ALTO.
- Cuando algo interrumpe el paso de la luz, el sensor no la detecta y genera una señal en BAJO.

Se desea que cuando el conductor del tren mande la señal para cerrar puertas, el sistema detecte si hay obstrucciones. De ser así, se activa una señal de alarma (Que requiere un nivel ALTO para encenderse).

De acuerdo al montaje descrito, usted propondría:



Utilizar una compuerta AND, que detecte cuando todas las señales estén en ALTO.



Usar la lógica de una XOR, para detectar que las diferentes puertas estén o no obstruidas.



Hacer el montaje con una compuerta NAND, para tener una salida en bajo si no hay obstrucciones.

La compuerta NAND es adecuada, pues no sólo verifica que todos los sensores indiquen la ausencia de obstrucciones, sino que su salida es un nivel BAJO cuando esto sucede, lo cual no activaría la alarma.



Utilizar lógica inversa, con una compuerta negativa-AND.

Pregunta 4

5 / 5 pts

El uso de la lógica booleana tiene aplicaciones más allá de los circuitos digitales, por ejemplo cuando nos encontramos con situaciones que requieren la toma de decisiones y el uso de condicionales.

Una mamá le dice a su hijo: “Vamos a comer postre, puedes escoger entre helado o brownie, pero no puedes comer los dos al tiempo”. Obviamente no comer postre no es una opción en este caso.

Si usted tuviera que trasladar esta situación a un circuito digital utilizando compuertas lógicas, usaría:



Una compuerta NAND, pues la mamá le dice que no puede comer dos cosas a la vez.



Una compuerta OR, porque si el niño come un postre o el otro estaría cumpliendo con la condición.



Una compuerta XNOR, que permite simluar la situación en la que se debe cumplir una o la otra únicamente.



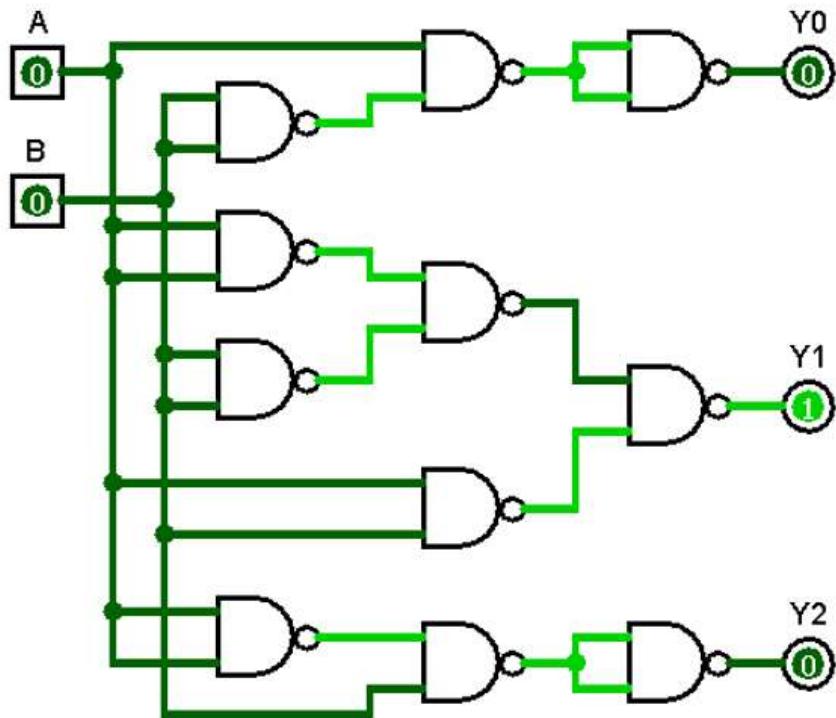
Una compuerta XOR, pues es la que se activa únicamente cuando las dos entradas son diferentes.

La compuerta XOR es la adecuada, pues tiene en cuenta que se puede solo una de las dos opciones.

Pregunta 5**5 / 5 pts**

Las compuertas NAND y NOR tienen la particularidad que pueden ser usadas como compuertas universales. Esto quiere decir que, usando un solo tipo de compuerta, es posible generar las funciones básicas AND, NOT y OR. A partir de estas compuertas básicas es posible construir circuitos más complejos.

El siguiente esquema se ha desarrollado usando únicamente compuertas NOR:



¿Cuál es la funcionalidad de este circuito?



Es un circuito multiplexor con una línea de datos y una de selección.



Es un circuito semi-sumador con acarreo.



Es un circuito comparador.

Se trata de un circuito comparador, la salida Y1 indica si

$$A = B$$

, la salida Y0 si

$$A > B$$

y la salida Y2 si $A < B$

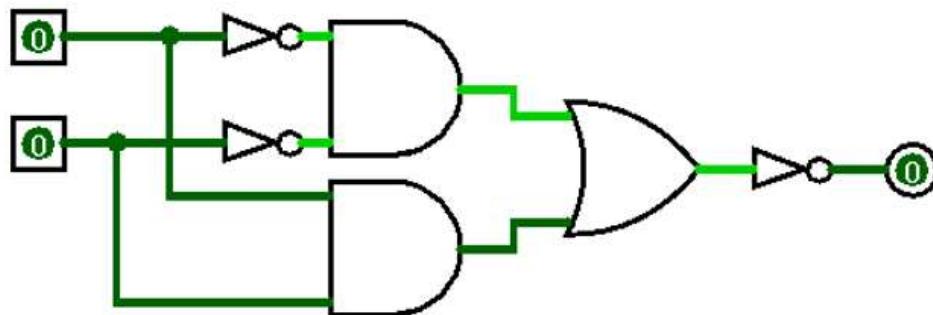


Es un circuito decodificador de binario a decimal.

Pregunta 6

5 / 5 pts

Los circuitos combinacionales ven sus salidas afectadas directamente por los valores en las entradas. La relación entre las entradas y las salidas de un circuito combinacional se pueden analizar mediante sus tablas de verdad. Dado el siguiente circuito combinacional:



Es posible afirmar que su funcionamiento es equivalente al de:

- Una compuerta XOR

Se trata finalmente de una compuerta XOR. Antes de la compuerta NOT cercana a la salida, funciona como una XNOR, pero esa negación al final la vuelve una XOR. Es decir que, para este circuito, si las dos entradas son iguales, la salida es 0. Si las dos entradas son diferentes, la salida es 1.

- Una compuerta XNOR.
- Una compuerta OR
- Una compuerta Negativa-OR.

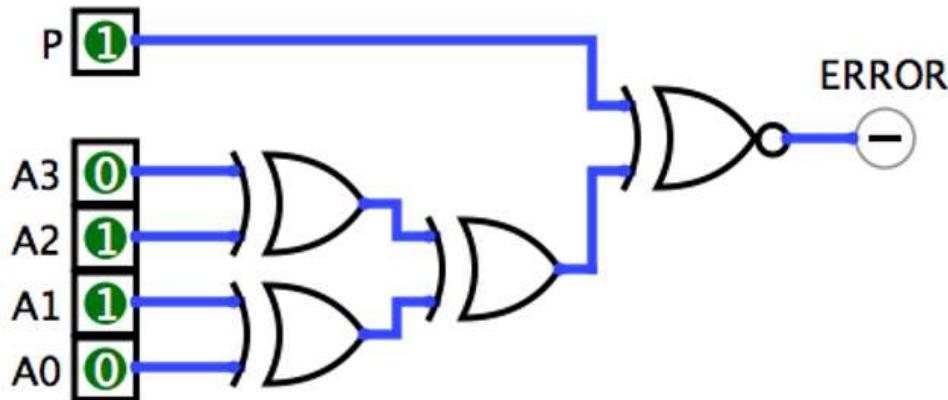
Pregunta 7

5 / 5 pts

La paridad es un método de detección de errores muy utilizado, debido a la facilidad de su implementación. Tanto el emisor como el receptor deben estar de acuerdo en cuanto al método de detección para poder verificar que la información sea recibida correctamente.

Con el fin de recibir un mensaje utilizando el método de paridad impar, se debe verificar si un circuito digital está diseñado para funcionar con

el protocolo del emisor. Usted tiene conocimiento que el circuito implementado en el receptor es el siguiente:



Sabiendo que la salida de ERROR se debe activar cuando haya un error en la paridad, usted deberá entonces:

- Modificar el circuito, pues este no es detector de paridad, sino generador de paridad.
- Cambiar la compuerta XNOR por una XOR, de tal manera que el bit de paridad no active la salida de error.
- El circuito está bien así como está montado, pues detecta la paridad impar.

Al invertir la salida con la compuerta XNOR, el circuito sirve para detectar paridad impar. Si se quita la negación, detecta paridad par.

- Se deben cambiar todas las compuertas a XNOR.

Pregunta 8

5 / 5 pts

Las compuertas lógicas permiten operaciones de tipo lógico utilizando datos digitales. Las compuertas básicas son: NOT, AND y OR. Cada

una de estas compuertas se puede representar mediante una tabla de verdad. Luego de hacer algunas mediciones en su circuito, usted se encuentra con la siguiente tabla de verdad:

TABLA DE VERDAD			
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	1	0
0	1	0	0
1	1	0	0
1	1	1	1
1	0	1	0
1	0	0	0

Al hacer el análisis de la tabla, usted podría concluir que:



No es posible representar esta tabla de verdad con compuertas básicas.



Se trata de una compuerta OR, ya que la salida se pone en ALTO cuando alguna de las 3 entradas está en ALTO.



Se trata de una compuerta AND, puesto que la salida sólo está en ALTO para todas las entradas en ALTO.

Esta tabla de verdad representa una compuerta AND de 3 bits, pues sólo cuando las 3 entradas están activas, la salida se pone en nivel ALTO.

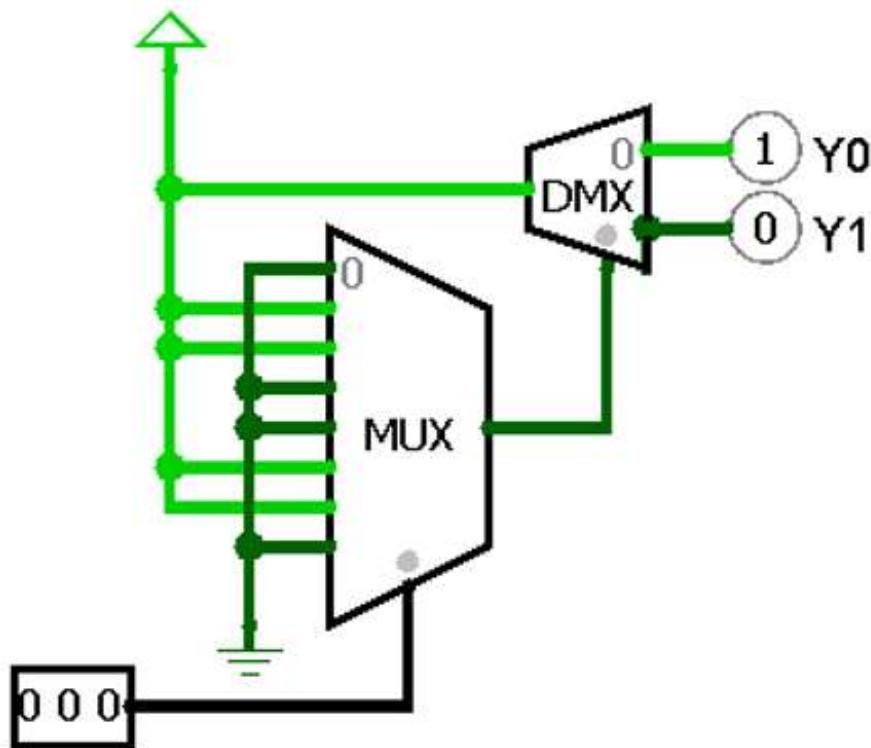


No es posible utilizar una compuerta AND, pues los datos tienen más de dos entradas.

Pregunta 9

5 / 5 pts

Los multiplexores, además de ser usados para la selección de datos, pueden funcionar como generadores de funciones lógicas. Partiendo de una tabla de verdad, se seleccionan los mintérminos y se ponen a un nivel de voltaje ALTO (Conectados a VCC) Las demás entradas se ponen en BAJO (Conectados a tierra). De esta manera, al poner en las entradas de selección la combinación adecuada, se puede ver el resultado en la salida. En el siguiente diagrama, se muestra un generador de funciones lógicas, con la entrada de selección en 000:



¿Qué valor habrá en las salidas, si la entrada de selección en el multiplexor se pone en 011?

Y0 está en 0 y Y1 está en 0.

Y0 está en 0 y Y1 está en 1.

Y0 está en 1 y Y1 está en 0.

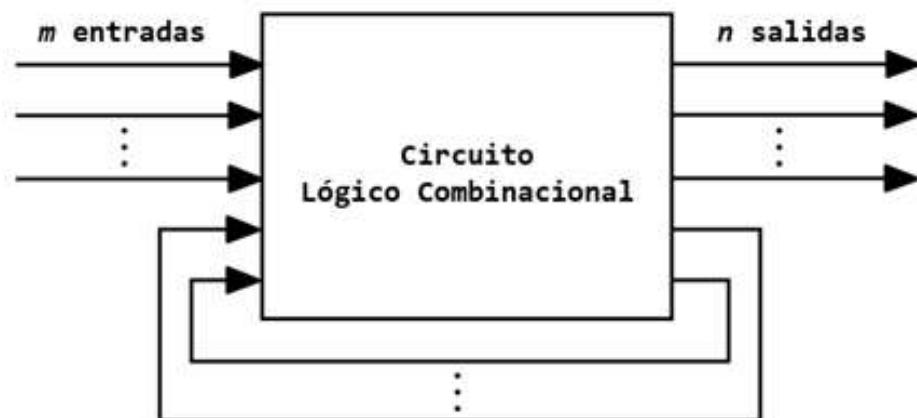
A la salida del multiplexor habrá un nivel BAJO con la selección en 011, por lo tanto el demultiplexor mostrará el dato de entrada en su salida Y0, mientras que en Y1 mostrará un nivel BAJO.

Y0 está en 1 y Y1 está en 1.

Pregunta 10

5 / 5 pts

Los circuitos combinacionales se pueden representar de acuerdo a la siguiente figura.



En esta se puede ver la relación entre entradas y salidas, así como la realimentación de las salidas en las entradas, que es posible en un circuito de este tipo.

Se está diseñando un sistema digital utilizando lógica combinacional, para lo cual le hacen entrega de un listado de requerimientos. De acuerdo con el siguiente listado, ¿cuál de los siguientes requerimientos no es realizable mediante lógica combinacional?



La información que hay en los diferentes puertos de entrada se deberá poder dirigir hacia un bus de datos, seleccionando la dirección respectiva del puerto y un ENABLE.



Si el usuario cambia la dirección de selección, se deberá guardar la información disponible en el bus de datos hasta que oprima nuevamente el ENABLE, mediante una realimentación de la salida a la entrada.

Esta situación no se puede realizar con lógica combinacional, pues requiere un almacenamiento o memoria. Una vez los datos cambien en la entrada, se verá reflejado el cambio en la salida.



La información dispuesta en el bus de datos se podrá direccionar hacia las diferentes tarjetas internas del sistema digital.



La información que llegue a la tarjeta de visualización, deberá convertirse a un código adecuado para ser mostrada en una matriz de LEDs.

Pregunta 11**5 / 5 pts**

Los circuitos combinacionales están conformados por la unión de diferentes compuertas lógicas, que combinan sus características para obtener una salida compuesta.

De acuerdo con la siguiente tabla de verdad (A y B son entradas, Y3-Y2-Y1-Y0 salidas) para el circuito decodificador:

A	B	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

¿Cuál de las siguientes afirmaciones es falsa?:

- La salida Y0 se puede implementar con una NOR.

- La salida Y1 se puede implementar utilizando una XNOR.

Es correcto, la salida Y1 no se podría obtener directamente usando una XOR.

- La salida Y2 se puede implementar con una AND y un inversor.

- La salida Y3 se puede implementar con una NAND y un inversor.

Pregunta 12**5 / 5 pts**

Muchos de los elementos que funcionan de manera “automática” en nuestro entorno están conformados por circuitos lógicos. Ejemplo de ellos son los semáforos, los ascensores, el control de acceso de parqueaderos y sistemas de transporte.

En un ascensor por ejemplo, cuando un usuario escoje uno de los pisos a los que desea ir, es necesario convertir el botón ingresado a un código binario que la tarjeta de control pueda reconocer. Esta es una tarea de:

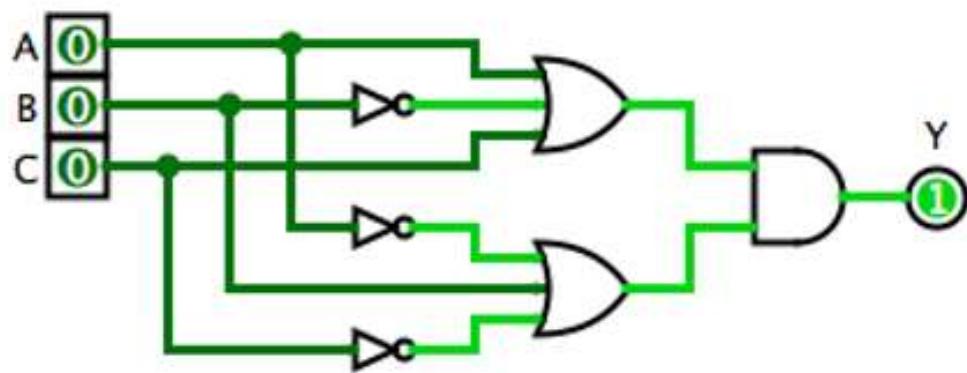
- Codificación, de varias entradas a un valor binario.

La codificación convierte la señal del pulsador a un código binario particular, para que el sistema reconozca qué botón se pulsó.

- Codificación, de una entrada a varias salidas.
- Decodificación, de varias entradas a un valor binario.
- Decodificación, de una entrada a varias salidas.

Pregunta 13**5 / 5 pts**

Una expresión “producto de sumas” (POS, product of sums) está conformada por varios términos suma (suma booleana) de literales que se agrupan en un producto booleano. Dado el siguiente circuito:



Se podría decir que:

Es el resultado de los maxtérminos

$$M_2$$

y

$$M_5$$

, es decir

$Y = (A + \bar{B} + C)(\bar{A} + B + \bar{C})$

Esta expresión se puede obtener directamente del circuito. Al existir una compuerta AND antes de la salida del circuito, se puede decir que la última operación a realizar es un producto. Más a la izquierda, se tienen dos compuertas OR que realizan la suma de los términos

$$A + \bar{B} + C$$

y

$$\bar{A} + B + \bar{C}$$

Es igual a los mintérminos

$$M_2$$

y

$$M_5$$

, es decir

$$Y = A\bar{B}C + \bar{A}BC$$



Se puede representar como una suma de productos usando los mintérminos

m_2, m_3, m_4

y

m_5

.

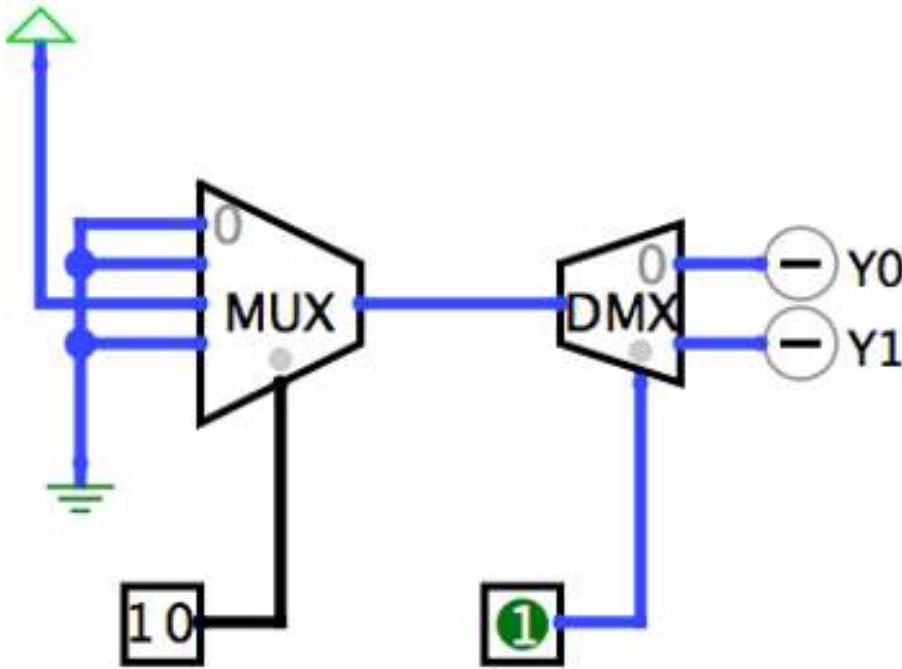


No se puede representar por producto de sumas, es necesario simplificarlo más.

Pregunta 14**5 / 5 pts**

Los multiplexores, además de ser usados para la selección de datos, pueden funcionar como generadores de funciones lógicas. Partiendo de una tabla de verdad, se seleccionan los mintérminos y se ponen a un nivel de voltaje ALTO. Las demás entradas se ponen en bajo. De esta manera, al poner en las entradas de selección la combinación adecuada, se puede ver el resultado en la salida.

Para el siguiente circuito (asumiendo que las entradas y salidas están numeradas de arriba abajo):



¿Qué valor hay en las salidas?

- Y0 está en 1 y Y1 está en 1.
- Y0 está en 1 y Y1 está en 0.
- Y0 está en 0 y Y1 está en 1.

El multiplexor tiene la entrada de selección en 10, por lo tanto se toma la tercera entrada de arriba hacia abajo, que está en ALTO. Aunque Y0 está en 0 al no estar seleccionada en el demultiplexor, el valor de Y1 es 1, precisamente porque es la que está seleccionada.

- Y0 está en 0 y Y1 está en 0.

Pregunta 15

5 / 5 pts

Los **multiplexores** son circuitos combinacionales con varias entradas y una única salida de datos. Están dotados de entradas de control capaces de seleccionar una, y solo una, de las entradas de datos para permitir su transmisión desde la entrada seleccionada hacia dicha salida.

Si las líneas o entradas de selección es $M=5$, cuantas entradas maximo son posibles de controlar con el multiplexor.

32

La selección es controlada mediante las líneas o entradas de selección. Siendo M la cantidad de líneas de selección es posible controlar N

2^M , por lo tanto es N

2^5

32

5

2^M , por lo tanto es N

2^5

32

10

2^M , por lo tanto es N

2^5

32

16

2^M , por lo tanto es N

2^5

32

Puntaje del examen: **75** de 75

X