


Parcial - Escenario 4

| | | | | | |
|--------------------------------------|------------|---------------|--|------------------------------|------------------------|
| Fecha de entrega: 20 de sep en 23:55 | Puntos: 75 | Preguntas: 15 | Disponibilidad: 17 de sep en 0:00 - 20 de sep en 23:55 | Límite de tiempo: 90 minutos | Intentos permitidos: 2 |
|--------------------------------------|------------|---------------|--|------------------------------|------------------------|

Instrucciones



Apreciado estudiante, presenta tus exámenes como SERGIO EL ELEFANTE, quien con honestidad, va a su sala para mejorar cada día.

Lee detenidamente las siguientes indicaciones y minimiza inconvenientes:

- Tienes dos intentos para desarrollar tu evaluación.
- Si respondes uno de los intentos sin ningún inconveniente y tuviste problemas con el otro, el examen no será habilitado nuevamente.
- Cuando estés respondiendo la evaluación, evita **ALT**, porque diferentes a tu examen. Esto puede ocasionar el cierre del mismo y la pérdida de un intento.
- Asignarte de tener buena conexión a internet, cerrar cualquier programa que pueda consumir el ancho de banda y no utilices internet móvil.
- Debes empezar a responder el examen por lo menos dos horas antes del cierre, es decir, mínimo a las 9:55 p.m. Si llegas a las 10:00 p.m. no lo has enviado, el mismo se cerrará y no podrá ser calificado.
- El tiempo máximo que tienes para recibir cada evaluación es de 90 minutos.
- Solo puedes recurrir al segundo intento en caso de un problema tecnológico.
- Si tu examen incluye preguntas con respuestas abiertas, estas no serán calificadas automáticamente, ya que requieren la revisión del tutor.
- Si presentas inconvenientes con la presentación del examen, puedes copiar un caso aplicando la solución y adjuntando siempre imágenes de evidencia, con fecha y hora, para que soporte técnico pueda emitir una respuesta lo antes posible.
- Podrás verificar la solución de tu examen únicamente durante las 24 horas siguientes al cierre.
- Te recomendamos evitar el uso de teléfonos inteligentes o tablets para la presentación de tus actividades evaluativas.
- Al terminar de responder el examen debes dar clic en el botón "Enviar todo y terminar" de otra forma el examen permanecerá abierto.

¡Confiamos en que sigas, paso a paso, en el camino hacia la excelencia académica!
¡Das tu palabra de que realizarás esta actividad aumentando de corazón nuestro

PACTO DE HONOR?

[Volver a realizar el examen](#)

Historial de intentos

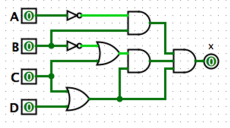
| | Intento | Hora | Puntaje |
|--------------|---------------------------|------------|----------|
| MÁS RECIENTE | Intento 1 | 30 minutos | 75 de 75 |

Las respuestas correctas estarán disponibles del 20 de sep en 23:55 al 21 de sep en 23:55.

Puntaje para este intento: 75 de 75
Entregado el 18 de sep en 20:56
Este intento tuvo una duración de 30 minutos.

Pregunta 1 5 / 5 pts

¿Cuál de las siguientes expresiones booleanas es la que expresa correctamente el circuito que se presenta a continuación? :



☐ (A+B) (C+D)

☒ ABC

☐ ABC

☐ ABC'

Pregunta 2 5 / 5 pts

Todos los circuitos combinatoriales vistos hasta ahora pueden ser representados mediante sus tablas de verdad.

De acuerdo con la siguiente tabla de verdad (A y B son entradas, Y1-Y0 salidas):

| A | B | Y1 | Y0 |
|---|---|----|----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

☐ La salida Y0 se puede implementar con una XNOR.

☒ El circuito es un sumador con acarreo.

Es correcto, pues A+B da respectivamente 0, 1, 1 y 0 (Este último con acarreo en Y1).

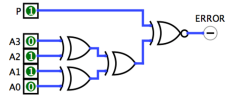
☐ El circuito es un convertidor de código, de binario a BCD.

☐ El circuito funciona como un comparador, con sus dos salidas características.

Pregunta 3 5 / 5 pts

La paridad es un método de detección de errores muy utilizado, debido a la facilidad de su implementación. Tanto el emisor como el receptor deben estar de acuerdo en cuanto al método de detección para poder verificar que la información sea recibida correctamente.

Con el fin de recibir un mensaje utilizando el método de paridad impar, se debe verificar si un circuito digital está diseñado para funcionar con el protocolo del emisor. Usted tiene conocimiento que el circuito implementado en el receptor es el siguiente:



Sabiendo que la salida de ERROR se debe activar cuando haya un error en la paridad, usted deberá entonces:

☐ Modificar el circuito, pues este no es detector de paridad, sino generador de paridad.

☐ Cambiar la compuerta XNOR por una XOR, de tal manera que el bit de paridad no active la salida de error.

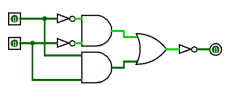
☒ El circuito está bien así como está montado, pues detecta la paridad impar.

Al invertir la salida con la compuerta XNOR, el circuito sirve para detectar paridad impar. Si se quita la negación, detecta paridad par.

☐ Se deben cambiar todas las compuertas a XNOR.

Pregunta 4 5 / 5 pts

Los circuitos combinatoriales ven sus salidas afectadas directamente por los valores en las entradas. La relación entre las entradas y las salidas de un circuito combinatorial se pueden analizar mediante sus tablas de verdad. Dado el siguiente circuito combinatorial:



Es posible afirmar que su funcionamiento es equivalente al de:

☒ Una compuerta XOR

Se trata finalmente de una compuerta XOR. Antes de la compuerta NOT cercana a la salida, funciona como una XNOR, pero esa negación al final la vuelve una XOR. Es decir que, para este circuito, si las dos entradas son iguales, la salida es 0. Si las dos entradas son diferentes, la salida es 1.

☐ Una compuerta XNOR.

☐ Una compuerta OR.

☐ Una compuerta Negativa-OR.

Pregunta 65 / 5 pts

Todos los circuitos combinatoriales vistos hasta ahora pueden ser representados mediante sus tablas de verdad. De acuerdo con la siguiente tabla de verdad (A y B son entradas, Y1-Y3 salidas):

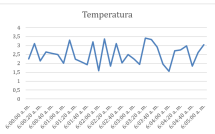
| Tabla de verdad | | | | |
|-----------------|---|----|----|----|
| A | B | Y2 | Y1 | Y0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |

Es posible afirmar que:

- ☐ La salida Y2 se puede implementar con una XOR.
- ☐ El circuito es un sumador con acarreo.
- ☐ El circuito es un conversor de código, de binario a BCD.
- ☒ El circuito funciona como un comparador, con sus tres salidas características.

Pregunta 65 / 5 pts

Un sistema de control cuenta con un sensor de temperatura que se utilizará para medir dicha variable en el tiempo. La señal de los sensores es un valor de voltaje y tiene la siguiente forma:



De acuerdo con la información recibida por los sensores, es posible afirmar que:

- ☒ La señal es analógica y requiere ser procesada para utilizarla en un circuito digital.
- La señal es de tipo analógico, al ser continua en el tiempo. Para su uso en un circuito digital es necesario pasarla por un conversor analógico/digital y procesarla para convertirla en un dato binario.
- ☐ La señal es de tipo digital y puede ser usada en un circuito TTL.
- ☐ Como la señal tiene un voltaje mayor a 1.5 voltios y menor a 5 voltios, es compatible con la tecnología TTL.
- ☐ La señal es digital, pero requiere que se baje su nivel entre 0 y 1 voltio para usarla como binario.

Pregunta 75 / 5 pts

¿Cuál de las siguientes afirmaciones es falsa?

- ☐ La compuerta AND funciona como una multiplicación lógica, donde si hay un 0 en la entrada la salida es 0.
- ☒ La compuerta NOT permite invertir el valor de una o más variables en sus entradas.
- ☐ La compuerta OR hace una suma lógica, donde si cualquiera de sus entradas es 1, la salida es 1.
- ☐ Las compuertas AND, OR y NOT permiten generar cualquier otro tipo de compuerta.

Pregunta 85 / 5 pts

El uso de la lógica booleana tiene aplicaciones más allá de los circuitos digitales, por ejemplo cuando nos encontramos con situaciones que requieren la toma de decisiones y el uso de condicionales.

Una mamá le dice a su hijo: "Vamos a comer postre, puedes escoger entre helado o brownie, pero no puedes comer los dos al tiempo". Obviamente no comer postre no es una opción en este caso.

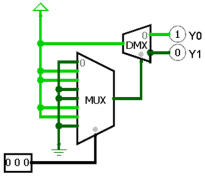
Si usted tuviera que trasladar esta situación a un circuito digital utilizando compuertas lógicas, usarla:

- ☐ Una compuerta NAND, pues la mamá le dice que no puede comer dos cosas a la vez.
- ☐ Una compuerta OR, porque si el niño come un postre o el otro estaría cumpliendo con la condición.
- ☐ Una compuerta XNOR, que permite simular la situación en la que se debe cumplir una o la otra únicamente.
- ☒ Una compuerta XOR, pues es la que se activa únicamente cuando las dos entradas son diferentes.

La compuerta XOR es la adecuada, pues tiene en cuenta que se puede solo una de las dos opciones.

Pregunta 95 / 5 pts

Los multiplexores, además de ser usados para la selección de datos, pueden funcionar como generadores de funciones lógicas. Partiendo de una tabla de verdad, se seleccionan los minterminos y se ponen a un nivel de voltaje ALTO (Conectados a VCC). Las demás entradas se ponen en BAJO (Conectados a tierra). De esta manera, al poner en las entradas de selección la combinación adecuada, se puede ver el resultado en la salida. En el siguiente diagrama, se muestra un generador de funciones lógicas, con la entrada de selección en 000.



¿Qué valor habrá en las salidas, si la entrada de selección en el multiplexor se pone en 011?

- ☐ Y0 está en 0 y Y1 está en 0.
- ☐ Y0 está en 0 y Y1 está en 1.
- ☒ Y0 está en 1 y Y1 está en 0.
- A la salida del multiplexor habrá un nivel BAJO con la selección en 011, por lo tanto el demultiplexor mostrará el dato de entrada en su salida Y0, mientras que en Y1 mostrará un nivel BAJO.
- ☐ Y0 está en 1 y Y1 está en 1.

Pregunta 105 / 5 pts

Los circuitos selectores (multiplexores) permiten escoger una de sus entradas y mostrarla en sus salidas, mientras que los circuitos distribuidores (demultiplexores) hacen la tarea opuesta, distribuyendo sus entradas a una de varias salidas.

Usted encuentra un circuito integrado, y en el datasheet puede ver que el elemento tiene ocho (8) entradas de datos, cuatro (4) salidas de datos y una (1) entrada de selección de un bit. Se podría decir que este circuito:

☐ Es un multiplexor con 8 entradas de un bit, el selector permite seleccionar una de las 4 salidas para mostrar el dato de entrada.

☐ Puede usarse como un demultiplexor, utilizando la entrada de 4 bits y su salida de 8 bits.

☒ Es un multiplexor con 2 entradas de 4 bits, el selector permite escoger cuál de las dos entradas se muestra en los 4 bits de salida.

De acuerdo a lo visto, existen multiplexores para datos de más de 1 bit. En este caso se trata de un multiplexor cuyos datos tiene 4 bits, el selector permite escoger una de las 2 entradas de 4 bits y representarla en la salida.

☐ Es un decodificador de 8 a 4 líneas, cuya entrada de selección permite escoger el tipo de decodificación a usar.

Pregunta 115 / 5 pts

Muchos de los elementos que funcionan de manera "automática" en nuestro entorno están conformados por circuitos lógicos. Ejemplo de ellos son los semáforos, los ascensores, el control de acceso de parqueaderos y sistemas de transporte.

En un ascensor por ejemplo, cuando un usuario escoge uno de los pisos a los que desea ir, es necesario convertir el botón ingresado a un código binario que la tarjeta de control pueda reconocer. Esta es una tarea de:

☒ Codificación, de varias entradas a un valor binario.

☐ Codificación, de una entrada a varias salidas.

☐ Decodificación, de varias entradas a un valor binario.

☐ Decodificación, de una entrada a varias salidas.

La codificación convierte la señal del pulsador a un código binario particular, para que el sistema reconozca qué botón se pulsó.

Pregunta 125 / 5 pts

Los circuitos combinatoriales se pueden representar de acuerdo a la siguiente figura.

En esta se puede ver la relación entre entradas y salidas, así como la realimentación de las salidas en las entradas, que es posible en un circuito de este tipo.

Se está diseñando un sistema digital utilizando lógica combinatorial, para lo cual le hacen entrega de un listado de requerimientos. De acuerdo con el siguiente listado, ¿cuál de los siguientes requerimientos no es realizable mediante lógica combinatorial?

☐ La información que hay en los diferentes puertos de entrada se deberá poder dirigir hacia un bus de datos, seleccionando la dirección respectiva del puerto y un ENABLE.

☒ Si el usuario cambia la dirección de selección, se deberá guardar la información disponible en el bus de datos hasta que optima nuevamente el ENABLE, mediante una realimentación de la salida a la entrada.

☐ Esta situación no se puede realizar con lógica combinatorial, pues requiere un almacenamiento o memoria. Una vez los datos cambien en la entrada, se verá reflejado el cambio en la salida.

La información disponible en el bus de datos se podrá direccionar hacia las diferentes tarjetas internas del sistema digital.

La información que fluye a la tarjeta de visualización, deberá convertirse a un código adecuado para ser mostrada en una matriz de LEDs.

Pregunta 135 / 5 pts

Las compuertas NAND son reconocidas como compuertas universales. Como se puede ver en la imagen, ellas permiten reemplazar cualquiera de las compuertas básicas, haciendo más económica la fabricación de circuitos integrados (al usar un único tipo

Teniendo en cuenta lo anterior, analice el circuito de la imagen:

Usted diría que este circuito:

☐ Es un codificador, de 2 entradas y 4 salidas, que dada una de las entradas, genera su correspondiente número binario en la salida.

☒ Un decodificador de 2 líneas a 4 líneas, que active algunas de las salidas, según el código binario en la entrada.

Al hacer la conversión de compuertas se puede verificar que cada salida se activa para cada uno de los cuatro códigos binarios posibles en la entrada.

☐ Es un circuito convertidor de binario a hexadecimal.

☐ Es un circuito sumador, que retorne la suma de los 2 números A y B.

Pregunta 145 / 5 pts

Los multiplexores, además de ser usados para la selección de datos, pueden funcionar como generadores de funciones lógicas. Partiendo de una tabla de verdad, se seleccionan los minterminos y se ponen a un nivel de voltaje ALTO. Las demás entradas se ponen en bajo. De esta manera, al poner en las entradas de selección la combinación adecuada, se puede ver el resultado en la salida.

Para el siguiente circuito (asumiendo que las entradas y salidas están numeradas de arriba abajo):

¿Qué valor hay en las salidas?

☐ Y0 está en 1 y Y1 está en 1.

☐ Y0 está en 1 y Y1 está en 0.

☒ Y0 está en 0 y Y1 está en 1.

El multiplexor tiene la entrada de selección en 10, por lo tanto se toma la tercera entrada de arriba hacia abajo, que está en ALTO. Aunque Y0 está en 0 al no estar seleccionada en el demultiplexor, el valor de Y1 es 1, precisamente porque es la que está seleccionada.

☐ Y0 está en 0 y Y1 está en 0.

Pregunta 155 / 5 pts

Los circuitos combinatoriales están conformados por la unión de diferentes compuertas lógicas, que combinan sus características para obtener una salida compuesta.

De acuerdo con la siguiente tabla de verdad (A y B son entradas, Y3-Y2-Y1-Y0 salidas) para el circuito decodificador:

| A | B | Y3 | Y2 | Y1 | Y0 |
|---|---|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |

¿Cuál de las siguientes afirmaciones es falsa?:

☐ La salida Y0 se puede implementar con una NOR.

☒ La salida Y1 se puede implementar utilizando una XNOR.

Es correcto, la salida Y1 no se podría obtener directamente usando una XOR.

☐ La salida Y2 se puede implementar con una AND y un inversor.

☐ La salida Y3 se puede implementar con una NAND y un inversor.

Puntaje del examen: 75 de 75

x