Estados de Control [Control Unit]

Estados de Control [Control Unit] 44 43 42-39 38-35 34-31	30.27	26-25	24	23	22	21	20 -	10 10	Q 17	16	15-14	12	12 11	10	9-8	7	6	5	Λ	2	2	1-0			
54 53 52 51-48 47-44 43-40			24 33	23 32	22 31		_		_	_	_	_	12 11 21 20	_	9-8 18-17	, 16	0 15	5 1⊿	4 13	3 12	2 11	1-0 10-9	8-3	2-0	
# Estado inv RFE RFC write readA readB														W MemE				IRen	MARen	MDRen	SF2en				Commentario
0 0 1 0 XXXX XXXX XXXX	•	00	1	1	0	1	0	1 0	0 0	0	00	1	0 0	1	10	0	0	1	1	1	1	00	000001		Estado Inicial
1 0 1 1 XXXX 1111 1111		00	1	1	0	1	0	1 0	0	1	00	1	0 0	1	10	0	0	1	0	1	1	00	000010		Fetch: Cargar PC a MAR
2 0 0 1 1111 1111 1111	0100	11	1	1	0	1	0	1 0	0 0	0	00	0	0 0	0	10	0	0	1	1	1	1	00	000010	011	Fetch: Sumar PC = PC + 4; Enviar Dirección al RAM
3 1 1 1 1111 1111 1111	1101	11	1	1	0	1	0	1 0	0	0	00	0	0 0	0	10	0	1	0	1	0	1	00	000011	101	Fetch: Cargar R15 (PC); Esperar por la memoria (MFC)
4 0 1 1 1111 1111 1111	1101	11	1	1	0	1	0	1 0	0	0	00	0	0 0	0	10	0	0	1	1	1	1	00	000001	000	Fetch: Cargar IR con Instrucción leida de Memoria
Data Processing Instrucction																									
5 0 0 1 XXXX XXXX XXXX	XXXX	00	1	Χ	1	1	0	1 0	0 0	1	01	1	1 0	1	10	0	0	1	1	1	1	00	000001	001	Data Processing: Ejecutar operación de ALU A_B = C;
6 0 0 1 XXXX XXXX XXXX		10	1	X	1	1	0	1 0	-	1	01	1	1 0	1	10	0	0	1	1	1	1	00	000001		Data Processing: Ejecutar operación de ALU A_[32bit Immediate] = C;
7 0 0 1 XXXX XXXX XXXX	XXXX	10	1	Х	1	1	0	0 0) 1	1	01	1	1 0	1	10	0	0	1	1	1	1	00	000001	001	Data Processing: Ejecutar operación de ALU A_[Shift by Immediate] = C;
LOAD Instructions	4404	04	4	4	•	4	_			4	04	4	0 0	0	\/\		4	4	4	0	4	04	004000	101	1040 (
8 1 1 1 XXXX XXXX XXXX 9 0 0 1 XXXX XXXX XXXX	1101	01	1	1	0	1	0	1 0		1	01	1	0 0	1	XX	χ	7 T	1	1	1	1	01	001000		LOAD: Cargar ND con classified de MADR
9 0 0 1 XXXX XXXX XXXX STORE Instructions	1101	01	1	1	U	1	0	0 0	0	1	01	1	0 0	1	10	0	U	1	1	1	1	01	000001	001	LOAD: Cargar RD con el contenido de MDR
10 0 1 1 XXXX XXXX XXXX	1101	00	1	1	Ω	1	0	0 0	0 0	1	10	1	0 0	1	10	0	0	1	1	0	1	01	001011	011	STORE: Cargar MDR con datos en RD
11		00	1	1	0	1	_		0	1		1	0 1	0	XX	Х	0	1	1	1	1	01	001011		STORE: Escribir en memoria (Esperar por MFC)
STORE: Immediate Offset			_	_		_				_		_	_			,,		_	_	_	_		00-0		(25pc) (2
12	0100	10	1	1	0	0	1	0 0	0 0	1	01	1	0 0	1	10	0	0	1	0	1	1	01	001010	010	
STORE: Register Offset																									
13 0 1 1 XXXX XXXX XXXX	0100	00	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	01	001010	010	
TORE: Immediate Pre-indexed																									
14 0 0 1 XXXX XXXX XXXX	0100	10	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	01	001010	010	
STORE: Register Pre-indexed																									
15 0 0 1 XXXX XXXX XXXX	0100	00	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	01	001010	010	
STORE: Immediate Post-indexed					_														_		_	2 .		2 .	
16	1101	00	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	01	010001	011	
17 0 0 1 XXXX XXXX XXXX	0100	10	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	1	1	1	01	001010	010	
STORE: Register Post-indexed	1101	00	1	1	^	1	0	0 0		1	01	1	0 0	1	10	0	0	1	0	1	1	01	010011	011	
18		00 00	1	1	0	1			0 0		01 01	1	0 0		10 10	0	0	1	0	1	1	01 01	010011 001010		
OAD: Immediate Offset	0100	00	1	1	U	1	U	0 0	, 0		01	1	0 0	1	10	U	U		1	1	1	01	001010	010	
20 0 1 1 XXXX XXXX XXXX	0100	10	1	1	0	0	1	0 0) ()	1	01	1	0 0	1	10	0	0	1	0	1	1	01	001000	010	
OAD: Register Offset	0100	10	*	_					, ,	_	01	_	0 0	•	10					•	*	01	001000	010	
21	0100	00	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	01	001000	010	
OAD: Immediate Pre-indexed			_	_		_				_		_		_				_	-	_	_				
22	0100	10	1	1	0	1	0	0 0	0 0	1	01	1	0 0	1	10	0	0	1	0	1	1	01	001000	010	
OAD: Register Pre-indexed																									
23	0100	00	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	01	001000	010	
OAD: Immediate Post-indexed																									
24 0 1 1 XXXX XXXX XXXX		00	1	1	0	1			0			1	0 0	_	10		0	1	0	1	1	01	011001		
25	0100	10	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	1	1	1	01	001000	010	
OAD: Register Post-indexed	4404	00	4	4	•	4	_	0 0		4	04	4	0 0	4	10	•	•	4	0	4	4	04	044044	011	
26		00 00	1	1	0	1	_		0		01	1	0 0	_	10 10	0	0	1	0	1	1	01	011011 001000	011 010	
27 0 0 1 XXXX XXXX XXXX MISC. LOAD Instructions	0100	00	1	1	U	1	U	0 (0	1	01	1	0 0	1	10	U	U	1	1	1	1	01	001000	010	
28 1 1 1 XXXX XXXX XXXX	1101	00	1	1	Ο	1	0	1 0	0	1	01	1	0 0	0	XX	Х	1	1	1	0	0	11	011100	101	LOAD: Cargar MDR con con data de memoria (Esperar por MCF)
29			1	1	0	1	0					1	0 0	-	10			1	1	1	1	11			LOAD: Cargar MDR con con data de memoria (Esperar por MCF)
WISC. STORE Instructions	1101	01	*	*		_	Ū			-	01	-	0 0	-	10			-	_	-	*		000001	001	20/10. Cargar No con el contenido de Mon
30	1101	00	1	1	0	1	0	0 0	0 0	1	10	1	0 0	1	10	0	0	1	1	0	0	11	011111	011	STORE: Cargar MDR con dirrección en RD
31	1101	00	1	1	0	1	0	0 0	0 0	1	10	1	0 1	0	XX	Χ	0	1	1	1	1	11			STORE: Escribir en memoria (Esperar por MFC)
BRANCH																									
32 0 0 1 1111 1111 1111	0100	10	1	1	0	1	1	0 0	0	0	00	0	0 0	1	10	0	0	1	1	1	1	10	000001	001	BRANCH: Execute branch
BRANCH with Link																									
33 0 0 1 1110 1111 1111	1101	00	1	1	0	1	0	0 0	0 0	0	00	0	0 0	1	10	0	0	1	1	1	1	10	100010		BRANCH: Move PC to R14
34 0 0 1 1111 1111 1111	0100	10	1	1	0	1	1	0 0	0	0	00	0	0 0	1	10	0	0	1	1	1	1	10	000001	001	BRANCH: Execute branch
MISC. STORE: Immediate Offset																									
35	0100	10	1	1	0	0	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	11	011110	010	
MISC. STORE: Immediate Pre-indexed	0405	4.0			_		^	0			04		0 -				_		•		4		04444	011	
36 0 0 1 XXXX XXXX XXXX	0100	10	1	1	0	1	U	U C) ()	1	01	1	0 0	1	10	0	0	1	0	1	1	11	011110	010	
AISC. STORE: Immediate Post-indexed	1101	00	1	1	0	1	0	0 0		1	01	1	0 0	1	10	0	0	1	0	1	1	11	100110	011	
37		10	1	1	n	1			0			1	0 0		10	0	0	1	0 1	1 1	1	11 11	011110		
IISC. LOAD: Immediate Offset	0100	10	1	1	J	1	J	J (, 0	Τ.	01	_	5 0	1	10	U	J	1	T	1	Τ.	11	011110	010	
39 0 1 1 XXXX XXXX XXXX	0100	10	1	1	0	0	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	11	011100	010	
MISC. LOAD: Immediate Pre-indexed	3200		*	<u> </u>	J		J			-		_	- 0	*	10	J	Ü	_		-	-		311100	310	
40 0 0 1 XXXX XXXX XXXX	0100	10	1	1	0	1	0	0 0	0 0	1	01	1	0 0	1	10	0	0	1	0	1	1	11	011100	010	
AISC. LOAD: Immediate Post-indexed														_											
41 0 1 1 XXXX XXXX XXXX	1101	00	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	0	1	1	11	101001	011	
42		10	1	1	0	1	0	0 0	0 0	1	01	1	0 0	1	10	0	0	1	1	1	1	11	011100		
PRE - BRANCH																									
43 0 1 1 XXXX XXXX XXXX		00	1	1	0	1	-	0 0	0 0		01	1	0 0	1	10	0	0	1	1	1	1	11	100000		BRANCH: Verify condition code
44 0 1 1 XXXX XXXX XXXX	1101	00	1	1	0	1	0	0 0	0	1	01	1	0 0	1	10	0	0	1	1	1	1	11	100001	111	BRANCH: Verify condition code