

LABORATÓRIO DE CIRCUITOS DIGITAIS

10º Experimento: **Abordagem Comportamental no Verilog (Parte 2)**

UFERSA – Campus Pau dos Ferros – DETEC

Prof.: **Pedro Thiago Valério de Souza**

2023.2



OBJETIVO

Descrever circuitos digitais utilizando a abordagem comportamental do Verilog.

COMPONENTES

- FPGA Cyclone DE2-115.

PROCEDIMENTO PRÁTICO

O sistema apresentado na Figura 1 consiste em uma calculadora elementar de 4 *bits*, em que se utiliza uma unidade lógico-aritmética (ALU) de 4 *bits* e com tabela de operação apresentada no Quadro 1.

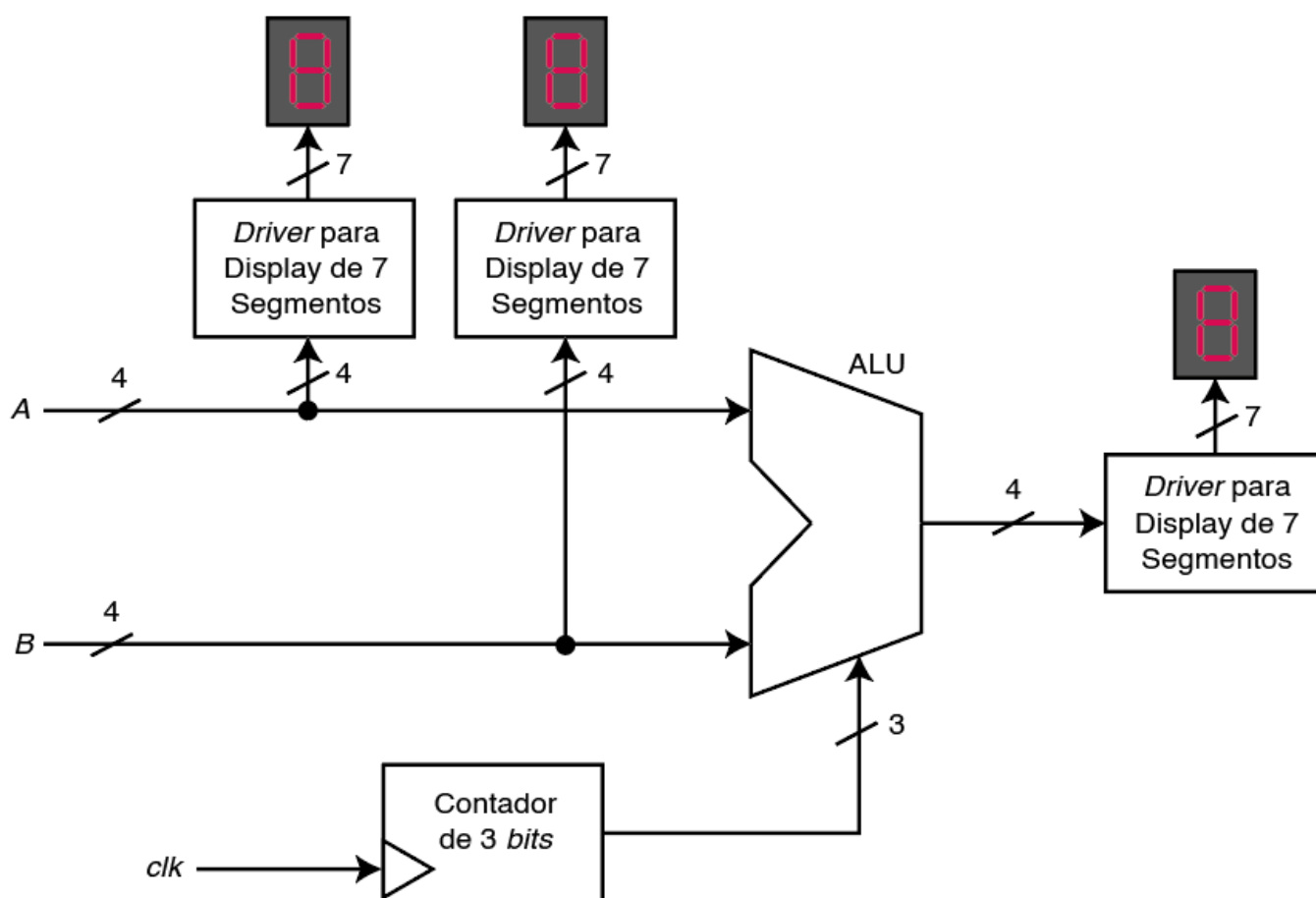


Figura 1 – Calculadora Elementar.

Quadro 1 – Funcionamento da Unidade Lógico-Aritmética

Opcode	Operação
000	$A + B$
001	$A - B$
010	$A \ll 1$
011	$A \gg 1$

100	A or B
101	A and B
110	A xor B
111	not A

As operações realizadas na ALU são do tipo *bitwise* (*bit-a-bit*), sempre resultando em um dado de 4 *bits*, sendo ignorado qualquer *overflow* aritmético.

De forma a visualizar os dados de entrada e de saída, utiliza-se *displays* de sete segmentos do tipo ânodo comum (segmentos acendem em nível lógico BAIXO). Existem três *displays*, um associado a cada uma das entradas *A* e *B* e um associado a saída da ALU. Os dados de entrada são binários de 4 *bits*, podendo variar de 0 até 15. O dado de saída da ALU também é de 4 *bits*, podendo variar na mesma faixa. No *display* (tanto da entrada como da saída), deve-se apresentar o dígito hexadecimal equivalente à entrada ou saída, e, portanto, devem ser capazes de apresentar os dígitos de 0 até F.

De forma a selecionar a operação a ser realizada na ALU, adicionou-se um contador de 3 *bits*, que permite contagens de 000 (0₁₀) até 111 (7₁₀). A saída do contador é ligada na entrada de *opcode* da ALU. O sinal de *clk* do contador deve ser mapeado em um botão externo, de forma que quando o botão é pressionado, avança-se um estágio de contagem, e, portanto, avança-se para a próxima operação da tabela de funcionamento da ALU. Na nossa placa FPGA, o botão pressionado corresponde ao nível lógico BAIXO.

Implemente em Verilog o sistema desejado. Para isso, realize os seguintes passos:

1. Implemente, utilizando uma das abordagens já estudadas no curso, todos os blocos presentes na Figura 1.
2. Utilizando os blocos projetados no item (1), implemente o sistema apresentado na Figura 1.
3. Simule o funcionamento do circuito do ModelSim. Na simulação, fixe a entrada *A* = 9 e *B* = 3. Force um sinal de relógio na entrada de *clk* (escolha o período que desejar). É importante que a simulação contemple todas as operações da ALU. Na simulação, considere uma versão simplificada do circuito, sem incluir os *displays* de sete segmentos, conforme apresentado na Figura 2.

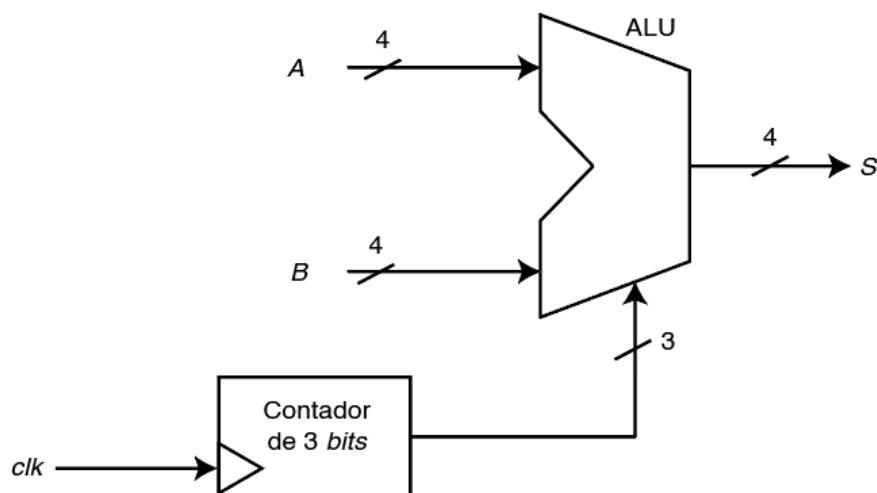


Figura 2 – Versão simplificada do circuito a ser utilizado para simulação.

4. Implemente o circuito na FPGA. Desta vez, todavia, utilize a documentação da placa FPGA para fazer seu *PinPlaner*. A documentação da FPGA encontra-se no SIGAA. O importante aqui é que:
 - i. As entradas *A* e *B* devem se mapeadas nas chaves SW7 – SW0 (reserve as chaves SW7 – SW4 para a entrada *A* e as chaves SW3 – SW0 para a entrada *B*);
 - ii. A entrada de *clk* deve ser mapeada no botão KEY0;

- iii. O *display* de visualização da entrada *A* deve ser mapeado no *display* de sete segmentos 2 (*Seven Segment Digit 2*);
- iv. O *display* de visualização da entrada *B* deve ser mapeado no *display* de sete segmentos 1 (*Seven Segment Digit 1*) e
- v. O *display* de visualização da saída da ALU deve ser mapeado no *display* de sete segmentos 0 (*Seven Segment Digit 0*).