

LABORATÓRIO DE CIRCUITOS DIGITAIS

9º Experimento: Abordagem Comportamental no Verilog (Parte 1)

UFERSA – Campus Pau dos Ferros – DETEC

Prof.: Pedro Thiago Valério de Souza

2023.2



OBJETIVO

Descrever circuitos digitais utilizando a abordagem comportamental do Verilog.

COMPONENTES

- FPGA Cyclone DE2-115.

PROCEDIMENTO PRÁTICO

O sistema apresentado na Figura 1 consiste em um letreiro rotativo com a palavra UFERSA.

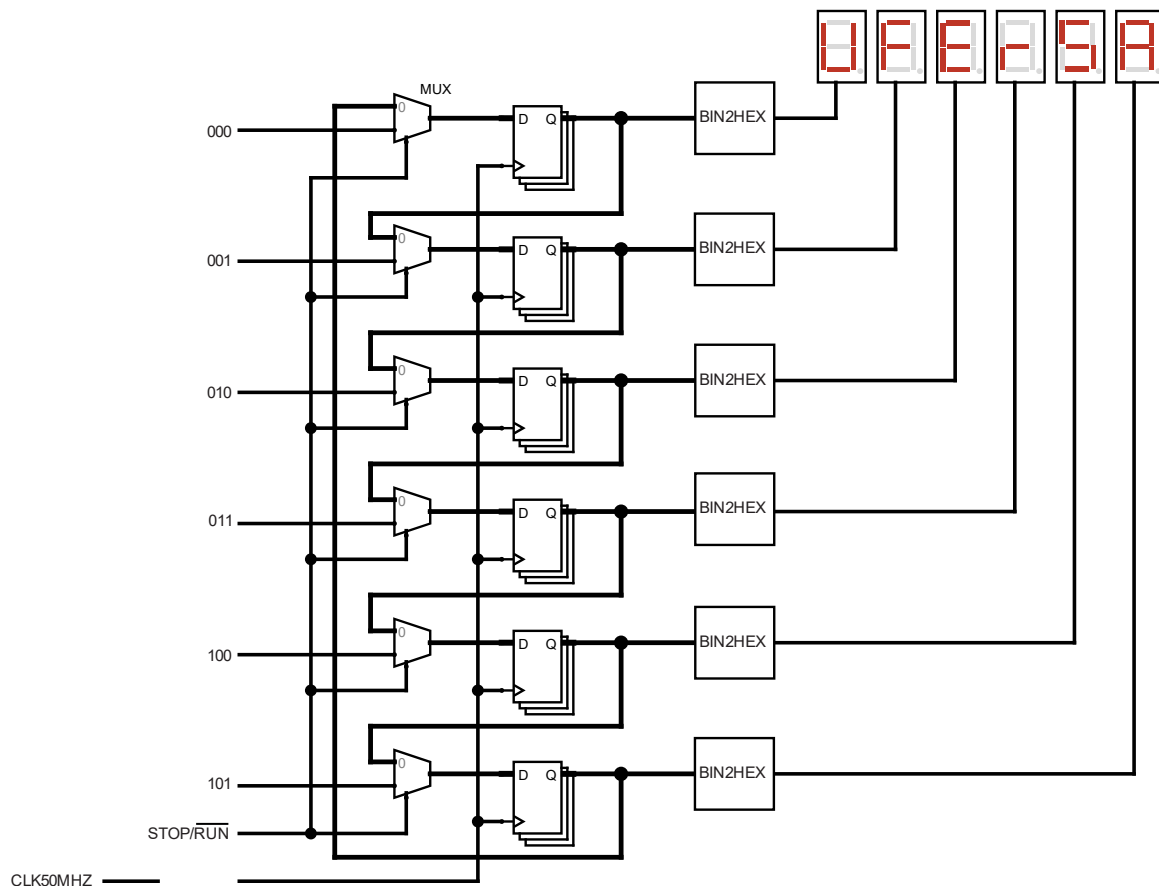


Figura 1 – Letreiro rotativo com a palavra UFERSA.

Implemente em Verilog o sistema desejado. Para isso, realize os seguintes passos:

1. Implemente um registrador de 3-bits. Utilize a abordagem comportamental.
2. Implemente um multiplexador 2×1 de 3-bits. Utilize a abordagem que desejar.
3. Implemente o decodificador para *display* de sete segmentos. O display deve possuir a seguinte tabela de funcionamento:

Entradas			Valor apresentado no <i>Display</i>
S_2	S_1	S_0	
0	0	0	U
0	0	1	F
0	1	0	E
1	1	1	R
1	0	0	S
1	0	1	A

- Utilizando os blocos projetados, implemente o sistema apresentado na Figura 1.
- Implemente o circuito na FPGA. Não utilize o *clock* diretamente da placa FPGA. Em vez disso, utilize um circuito divisor de *clock*, que gera um sinal de *clock* com frequência menor, de forma que a rotatividade possa ser visualizada nos *displays*. Abaixo é apresentado um código de um divisor de clock:

```

module clkdiv(
    input clk,
    input rst,
    output reg clk5Hz
);

reg [22:0] counter;

always @(negedge clk, negedge rst) begin
    if(~rst) begin
        clk5Hz <= 1'b0;
        counter <= 23'd0;
    end
    else begin
        counter <= counter + 4'b1;
        if(counter == 23'd2499999) begin
            counter <= 23'd0;
            clk5Hz <= ~clk5Hz;
        end
    end
end
endmodule

```

Neste caso, o sinal *clk* deve ser ligado ao *clock* da placa FPGA e o sinal *clk5Hz* deve ser o *clock* para acionar os registradores. O sinal *rst* pode ser ligado em qualquer botão da FPGA.

RELATÓRIO DE ATIVIDADES

Para essa prática, deve-se enviar somente os arquivos de projeto no Quartus.