

LABORATÓRIO DE CIRCUITOS DIGITAIS

7º Experimento: Abordagem por Fluxo de Dados no Verilog (Parte 1)

UFERSA – Campus Pau dos Ferros – DETEC

Prof.: Pedro Thiago Valério de Souza

2023.2



OBJETIVO

Descrever circuitos digitais utilizando a abordagem por fluxo de dados do Verilog.

COMPONENTES

- FPGA Cyclone DE2-115.

PROCEDIMENTO PRÁTICO

Nessa prática iremos projetar uma unidade lógica aritmética (ALU) de 4 *bits* e vamos visualizar os resultados dessa ALU em um *display* de sete segmentos. A ALU possui a seguinte tabela de operações:

<i>Opcode</i>		Operação
<i>s1</i>	<i>s0</i>	
0	0	$X = A + B$
0	1	$X = A - B$
1	0	$X = A \text{ and } B$
1	1	$X = A \text{ or } B$

Vamos projetar esse circuito seguindo os passos.

- Inicialmente projete um circuito somador de 4 *bits*. Para isso, realize os seguintes passos:
 - Utilizando a abordagem por fluxo de dados, implemente um somador completo.
 - Utilizando a abordagem hierárquica, utilize o somador completo projetado no item (a) para descrever um somador de 4 *bits*.
 - Realize a simulação do seu somador de 4 *bits* projetado no item (b). Para isso, atribua alguns valores para as entradas e verifique se a saída está de acordo com o esperado.
- É conhecido que a operação de subtração pode ser feita através do sistema de complemento à dois. Neste caso:

$$A - B = A + (\overline{B} + 1)$$

\overline{B} indica a operação NOT *bit-wise*.

- Utilizando o somador de 4 *bits* projetado no item anterior, juntamente com a abordagem hierárquica, projete um subtrator de 4 *bits*.
 - Realize a simulação do seu subtrator de 4 *bits* projetado no item (a). Para isso, atribua alguns valores para as entradas e verifique se a saída está de acordo com o esperado.
- Projete um circuito que realize as operações *bit-wise* AND com dois números de 4 *bits*.
 - Implemente esse circuito utilizando a abordagem por fluxo de dados.
 - Realize a simulação do circuito projetado no item (a). Para isso, atribua alguns valores para as entradas e verifique se a saída está de acordo com o esperado.
 - Projete um circuito que realize as operações *bit-wise* OR com dois números de 4 *bits*.
 - Implemente esse circuito utilizando a abordagem por fluxo de dados.

- b. Realize a simulação do circuito projetado no item (a). Para isso, atribua alguns valores para as entradas e verifique se a saída está de acordo com o esperado.
5. Implemente um multiplexador 4×1 em que cada uma das entradas de multiplexação possui 4 *bits* de largura. Para isso, siga os passos:
 - a. Utilizando a abordagem por fluxo de dados, implemente um multiplexador 4×1 de 1 *bit* (ou seja, cada entrada de multiplexação possui apenas 1 *bit* de largura).
 - b. Utilizando o multiplexador implementado no item (a) e utilizando a abordagem hierárquica, implemente seu multiplexador 4×1 de 4 *bits*.
 - c. Realize a simulação do seu multiplexador 4×1 de 4 *bits*. Fixe as entradas de multiplexação em números estabelecidos e modifique os valores das entradas de seleção, observando a saída do multiplexador.
6. Projete um decodificador para *display* de sete segmentos do tipo ânodo comum, de forma a converter um número de quatro *bits* para representação no *display* conforme tabela abaixo.

D_3	D_2	D_1	D_0	Dígito no Display
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	A
1	0	1	1	B
1	1	0	0	C
1	1	0	1	D
1	1	1	0	E
1	1	1	1	F

- a. Determine a tabela da verdade para esse circuito.
 - b. Obtenha as expressões lógicas de saída. *Dica:* Utilize o Logisim para facilitar o seu trabalho.
 - c. Descreva o circuito utilizando a abordagem por fluxo de dados no Verilog.
 - d. Utilizando a placa Cyclone DE2-115, implemente o seu circuito na FPGA de forma a verificar o funcionamento de forma visual. Utilize chaves como entrada e apresente a saída em algum dos *displays* de sete segmentos da placa.
7. Finalizado os projetos dos circuitos individuais, agora podemos projetar a nossa Unidade Lógico-Aritmética, conforme apresentado na Figura 1.
 - a. Utilizando os blocos projetados nos itens anteriores, descreva a sua unidade lógica aritmética.
 - b. Realize a simulação de sua ALU. Fixe as entradas de dados em números estabelecidos e modifique os valores das entradas de *opcode*, observando a saída da ALU.
 - c. Utilizando a placa Cyclone DE2-115, implemente a sua ALU na FPGA de forma a verificar o funcionamento de forma visual. Como entrada, utilize chaves e apresente a saída em algum dos *displays* de sete segmentos da placa.

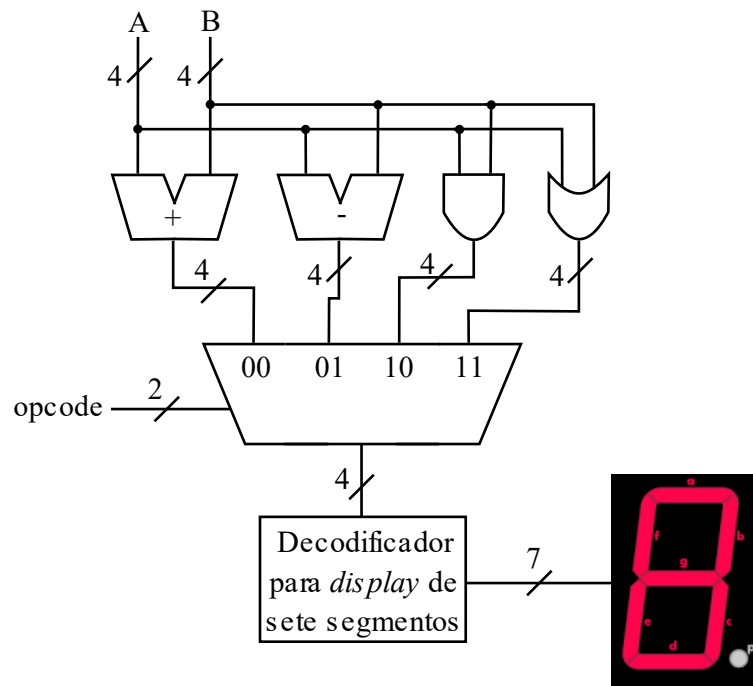


Figura 1 – Diagrama da Unidade Lógica-Aritmética a ser projetada.

RELATÓRIO DE ATIVIDADES

Para essa prática, deve-se enviar somente os arquivos de projeto no Quartus.