

LABORATÓRIO DE CIRCUITOS DIGITAIS

6º Experimento: Descrição Hierárquica no Verilog

UFERSA – Campus Pau dos Ferros – DETEC

Prof.: Pedro Thiago Valério de Souza

2023.2



OBJETIVO

Descrever circuitos digitais utilizando a abordagem hierárquica do Verilog.

COMPONENTES

- FPGA Cyclone DE2-115.

PROCEDIMENTO PRÁTICO

A soma de dois dígitos em BCD pode ser efetuada através dos seguintes passos:

- Some os dois números normalmente, utilizando um somador de 4 *bits*;
- Caso o resultado da soma obtido no passo (1) for maior do que nove (1001) e/ou houver um último *carry-out* (vai-um) no processo de soma, deve-se efetuar a correção do número gerado, efetuando-se os seguintes passos:
 - Somar +6 (0110) ao resultado da soma obtido no passo (1);
 - Gerar um *carry-out* para a soma dos dois próximos números BCD.

Exemplos: Seguem abaixo três exemplos de soma BCD. O primeiro exemplo apresenta uma situação em que não é necessária nenhuma correção. No segundo exemplo é necessária uma correção, pois a soma resultou em um número maior do que 9. No terceiro exemplo é necessária uma correção, pois foi gerado um último *carry* no processo de soma. No segundo e terceiro exemplo, a correção é feita somando-se 6 ao resultado da soma.

0 0 1 1 ← BCD para 3	0 1 1 0 ← BCD para 6	0 1 1 1 ← BCD para 7
0 1 0 0 ← BCD para 4	0 1 1 1 ← BCD para 7	1 0 0 1 ← BCD para 9
0 1 1 1 ← Soma válida	1 1 0 1 ← Soma inválida	1 0 0 0 ← Soma inválida
	0 1 1 0 ← Soma 6 para corrigir	0 1 1 0 ← Soma 6 para corrigir
	0 0 0 1 0 0 1 1 ← BCD para 13	0 0 0 1 0 1 1 0 ← BCD para 16
	1 3	1 6

Implemente um circuito somador de dois dígitos BCD. O circuito possui duas entradas: *A* e *B*, ambas de 4 *bits*, que correspondem aos dois dígitos BCD a serem somados. Com saída, é gerado o sinal *S*, que corresponde à soma dos dois dígitos BCD, e a saída *C_{out}*, corresponde o *carry-out* resultante da soma dos dois números BCD.

- Projete um circuito lógico combinacional que identifique quando uma correção é necessária no processo de soma.
- Esquematize o diagrama de blocos do somador BCD. Utilize um conjunto de portas lógicas, elaborando um circuito que identifique quando a correção é necessária, e dois somadores de 4 *bits* (o primeiro para realizar a primeira soma dos dois dígitos BCD e o segundo para efetuar a correção, se necessário).
- Implemente um somador completo no Verilog.
- Utilizando o somador completo projetado no item (3), implemente um somador de 4 *bits* no Verilog.
- Implemente no Verilog o circuito que seja capaz de identificar quando é necessário efetuar a correção de um dígito BCD (projetado no item (1)).

6. Utilizando o somador de 4 *bits* projetado no item (4), em conjunto com o circuito de correção, projetado no item (4), implemente no Verilog um somador de dígitos BCD.
7. Simule o funcionamento do circuito do Questa, considerando os seguintes casos: (i) $A = 3$ e $B = 4$. (ii) $A = 6$ e $B = 7$. (iii) $A = 7$ e $B = 9$.
8. Implemente o circuito na FPGA DE2-115. Mapeie as entradas de *bits* para chaves e as saídas em *Leds*. Teste para todas as condições de entrada apresentados no item 7.

RELATÓRIO DE ATIVIDADES

- Enviar a resposta dos itens 1, 2 e 7 (*print screen* da tela) descritos, passo a passo, em um documento PDF.
- Enviar o projeto do Quartus, compactado em formato .zip, .rar ou .7z, referente aos itens 4 - 6. No projeto já deve estar feito o *Pin Planner* referente ao item 8 e o arquivo de *testbench* do item 7.
- Todos os arquivos devem ser compactados em um único arquivo no formato .zip, .rar ou .7z e enviados no SIGAA.

Em todas as etapas, explique qual foi o seu raciocínio e comente os resultados.