

# LABORATÓRIO DE CIRCUITOS DIGITAIS

11° Experimento: Máquinas de Estado no Verilog

UFERSA – Campus Pau dos Ferros – DETEC

Prof.: Pedro Thiago Valério de Souza

2023.2



## OBJETIVO

Descrever máquinas de estados utilizando o Verilog.

## COMPONENTES

- FPGA Cyclone DE2-115.

## PROCEDIMENTO PRÁTICO

Projete o circuito digital correspondente a uma máquina de vendas de refrigerantes. A máquina de vendas aceita moedas de 25 centavos, 50 centavos e R\$ 1,00 e libera o produto a ser vendido quando o saldo é igual ou superior a R\$1,50. A máquina de estados possui duas entradas, denominadas de  $A$  e  $B$  que determinam qual moeda foi inserida. Quando  $AB = 01$  foi inserida uma moeda de 25 centavos. Quando  $AB = 10$  foi inserida uma moeda de 50 centavos. Quando  $AB = 11$  foi inserida uma moeda de R\$1,00. Quando  $AB = 00$  nenhuma moeda foi inserida. A saída da máquina de estado deve ser um *bit*  $P$  deve ser 1 quando o saldo for suficiente ou 0 caso contrário. A máquina não fornece troco, mas o valor em excesso deve ficar armazenado para a compra do próximo do refrigerante. A máquina também tem uma saída denominada de *state*, que deve apresentar qual o estado atual da máquina (indique a representação binária de cada estado. A quantidade de *bits* dessa saída, obviamente, depende da quantidade de estados na sua máquina de vendas).

Escreva um *testbench* para o seu projeto. Procure verificar a máquina quantidade possíveis de situações.

Implemente o circuito na FPGA. Desta vez, todavia, utilize a documentação da placa FPGA para fazer seu *PinPlaner*. A documentação da FPGA encontra-se no SIGAA.