

COMPUERTAS LÓGICAS.

Laboratorio 01.

Henry Carmona Collazos
Universidad Autónoma de Occidente
Ingeniería Mecatrónica
Cali, Valle del cauca, Colombia
henry.carmona@uao.edu.co

Brahyan Camilo Marulanda Muñoz
Universidad Autónoma de Occidente
Ingeniería Mecatrónica
Yumbo, Valle del cauca, Colombia
brahyan.marulanda@uao.edu.co

Daniel Alejandro Tobar Álvarez
Universidad Autónoma de Occidente
Ingeniería Mecatrónica
Cali, Valle del cauca, Colombia
daniel_ale.tobar@uao.edu.co

Diego Iván Perea Montealegre
Universidad Autónoma de Occidente
Ingeniería Mecatrónica
Cali, Valle del cauca, Colombia
diego.perea@uao.edu.co

I. INTRODUCCIÓN

En el campo de la electrónica existen procesos importantes para el desarrollo y funcionamiento óptimo de los dispositivos electrónicos. Uno de los conceptos importantes que se deben tener en cuenta, es que la *electrónica digital* es la rama moderna de la electrónica que está en constante evolución simultaneo a la tecnología y que se encarga de sistemas electrónicos en los que la información está codificada en estados discretos, a diferencia de los sistemas analógicos donde la información toma un rango continuo de valores¹. El término digital se deriva de la forma en que las computadoras realizan las operaciones contando dígitos. Durante muchos años, las aplicaciones de la electrónica digital se limitaron a los sistemas informáticos. Hoy día, la tecnología digital tiene aplicación en un amplio rango de áreas además de la informática. Aplicaciones como la televisión, los sistemas de comunicaciones, de radar, sistemas de navegación y guiado, sistemas militares, instrumentación médica, control de procesos industriales y electrónica de consumo, usan todos ellos técnicas digitales. A lo largo de los años, la tecnología digital ha progresado desde los circuitos de válvulas de vacío hasta los transistores discretos y los circuitos integrados, conteniendo algunos de ellos millones de transistores. El desarrollo del presente documento tendrá como objetivo coaligar conocimientos teóricos acerca de componentes eléctricos pasivos, Convertidores A/D y algunos conocimientos digitales en aras de ser aplicados para el diseño de un sistema digital que muestre en un Display de 14 segmentos, un mensaje específico (una serie de caracteres) cuando se gira la perilla de un potenciómetro. Además de ello, se utilizarán algunas herramientas computacionales para el análisis, montaje, simulación y diseño de los componentes electrónicos basados en operaciones digitales. Por último, verificar la sutil importancia de la electrónica digital en el desarrollo humano en cuanto a avances tecnológicos de óptimo funcionamiento.

II. MARCO TEÓRICO

Para llevar a cabo el desarrollo del presente documento se tendrán en cuenta conceptos de corriente continua, además de fundamentación teórica acerca de resistores, Conversor A/D, Funcionamiento de un Display. Para ello se tomarán algunas técnicas de análisis de circuitos con el objetivo de realizar los respectivos cálculos, diseño de los esquemáticos electrónicos en aras de llevar a cabo los ítems propuestos en la guía del laboratorio. Para la definición de conceptos, se tomará como referencia bibliográfica o fuente de consulta: "Fundamentos de Sistemas Digitales" de Tomas L. Floyd y algunas fuentes cibergráficas como artículos académicos y/o páginas web.

A. Resistor Variable

Los resistores variables están diseñados de modo que sus valores de resistencia sean fáciles de cambiar mediante un ajuste manual o automático. Dos usos básicos de los resistores variables son dividir el voltaje y controlar la corriente. El resistor variable utilizado para dividir voltaje se llama **Potenciómetro**. El resistor variable empleado para controlar corriente se denomina **Reóstato**.

El **Potenciómetro** es un dispositivo de tres terminales, como se indica en la siguiente ilustración. Los terminales 1 y 2 tienen resistencia fija entre ellas, que es la resistencia total. El terminal 3 está conectada a un contacto móvil (rozador). En él es posible variar la resistencia entre 3 y 1 o entre 3 y 2 subiendo o bajando el rozador.

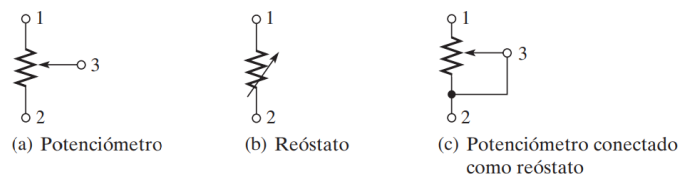


Ilustración 1. Simbología [1]

¹ Concepto de Electrónica Digital [Pagina Web]. Disponible en: <https://n9.cl/afojq>.

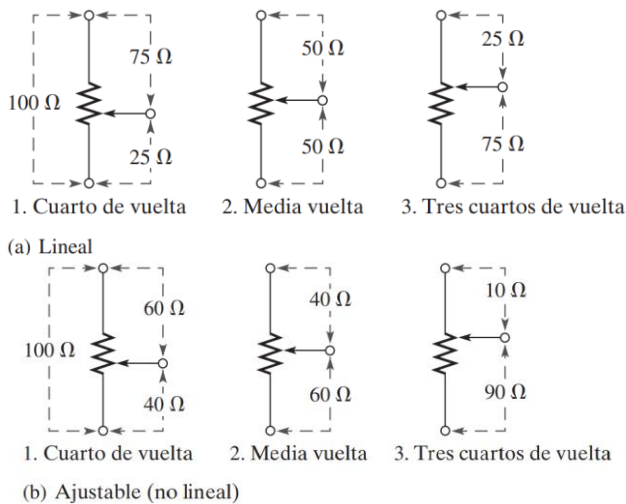


Ilustración 2. Ajuste lineal y no lineal del Potenciómetro. [1]

B. Conversor A/D

La **conversión analógico-digital** es el proceso por el que una magnitud analógica se convierte a formato digital. Este proceso es necesario cuando las magnitudes medidas deben estar en formato digital para poder procesarlas, mostrarlas o almacenarlas. Dos parámetros de gran importancia de los ADC son la resolución, que es el número de bits y la tasa de transferencia, que es la frecuencia de muestreo que un ADC puede aceptar, en número de muestras por segundo. Posterior a describir la importancia de los Amp Op en estos integrados, se definirán los métodos de conversión más utilizados.

El Amplificador Operacional (Amp Op) es un componente muy común en los métodos de conversión analógico-digitales (ADC) y en los digital-analógicos (DAC). Un Amp Op es un amplificador lineal que tiene dos entradas (Inversora y No Inversora) y una Salida. Tiene una alta ganancia en tensión y una muy alta impedancia de entrada, así como una muy baja impedancia de salida. En su configuración como *Inversor*, la entrada inversora del AO está, aproximadamente, al potencial de tierra (0 V), porque la realimentación y la extremadamente alta ganancia en bucle abierto hacen que la diferencia de tensión entre las dos entradas sea muy pequeña. Por tanto, como la entrada no inversora está a tierra, la entrada inversora está aproximadamente a 0 V, lo que se denomina tierra virtual. Cuando el AO se utiliza como comparador, se aplican dos tensiones a las entradas. Cuando estas tensiones de entrada difieren en una pequeña cantidad, el AO pasa a uno de sus dos estados de salida saturados, nivel ALTO o BAJO, dependiendo de qué tensión sea mayor.

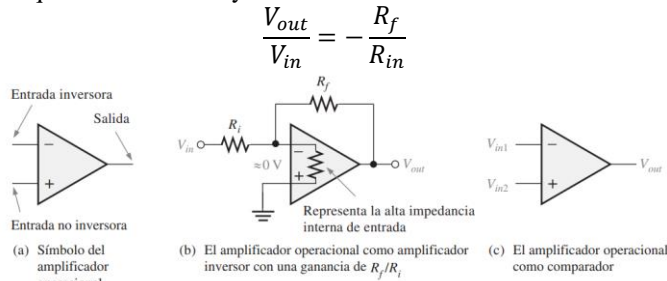


Ilustración 3. Simbología del Amp Op [2]

Convertidor analógico-digital flash (paralelo).

Este método utiliza comparadores para comparar tensiones de referencia con tensiones de entrada analógicas. Cuando estas sobrepasan la referencia, se genera un nivel ALTO. En general, se requieren $2^n - 1$ comparadores para la conversión a un código binario de n bits. El número de bits empleado en un ADC es su resolución. Una de las desventajas del ADC flash es el gran número de comparadores necesarios para un número binario de tamaño razonable. Su principal ventaja es que tiene un tiempo de conversión rápido, gracias a su alta tasa de transferencia (muestras por segundo). La tensión de referencia de cada comparador se establece mediante un circuito divisor de tensión resistivo. La salida del comparador se conecta a una entrada del codificador de prioridad. Este se habilita mediante un impulso aplicado a la entrada de habilitación IN, y el código de tres bits que representa el valor de la entrada analógica se presenta en las salidas del codificador. El código binario queda determinado por la entrada de mayor orden que se encuentre a nivel ALTO.

La frecuencia de los impulsos de habilitación y el número de bits del código binario determinan la precisión con la que la secuencia de códigos digitales representa la entrada del ADC. Debe haber un pulso de habilitación por cada nivel de muestreo de la señal de entrada.

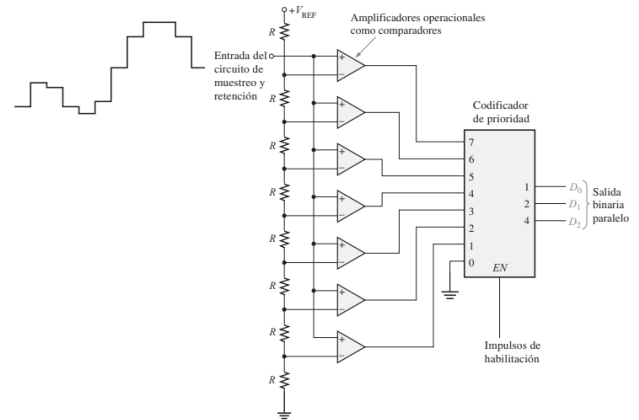


Ilustración 4. ADC flash de 3 bits [2]

Convertidor analógico-digital de pendiente doble.

El ADC de pendiente doble se utiliza comúnmente en volímetros digitales y otros tipos de instrumentos de medida. Utilizan un generador de rampa (integrador) para generar la característica de pendiente doble.

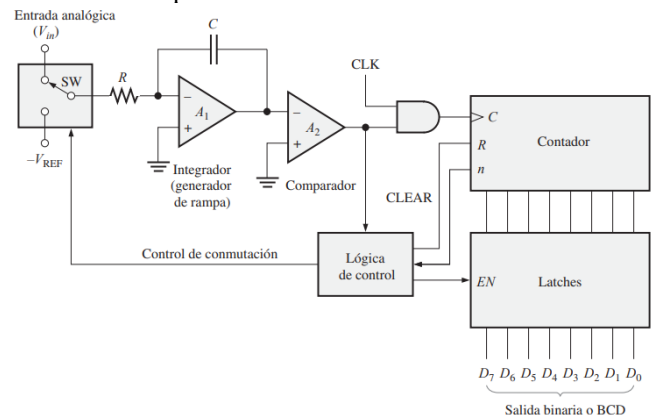


Ilustración 5. ADC de pendiente doble básico [2]

Método analógico-digital por aproximaciones sucesivas.

El método de conversión A/D más ampliamente utilizado es el de las aproximaciones sucesivas. Tiene un tiempo de conversión mucho menor que la conversión de pendiente doble, aunque es más lento que el método flash. Asimismo, el tiempo de conversión es fijo para cualquier valor de la entrada analógica. Su funcionamiento básico es el siguiente: los bits de entrada al DAC se habilitan (se ponen a 1) de uno en uno sucesivamente, comenzando por el bit más significativo (MSB). Cada vez que se habilita un bit, el comparador produce una salida que indica si la tensión analógica de entrada es mayor o menor que la salida del DAC. Si la salida del DAC es mayor que la señal de entrada, la salida del comparador está a nivel BAJO, haciendo que el bit en el registro pase a cero. Si la salida es menor que la entrada, el bit 1 se mantiene en el registro. El sistema realiza esta operación con el MSB primero, luego con el siguiente bit más significativo, después con el siguiente, y así sucesivamente. Después de que todos los bits del DAC hayan sido aplicados, el ciclo de conversión estará completo.

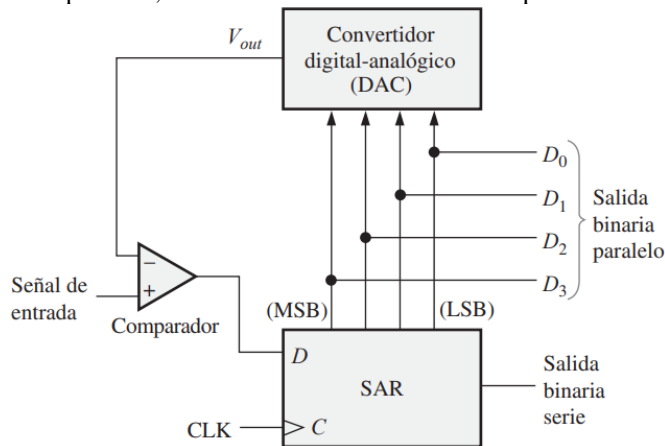


Ilustración 6. ADC por aproximaciones sucesivas [2]

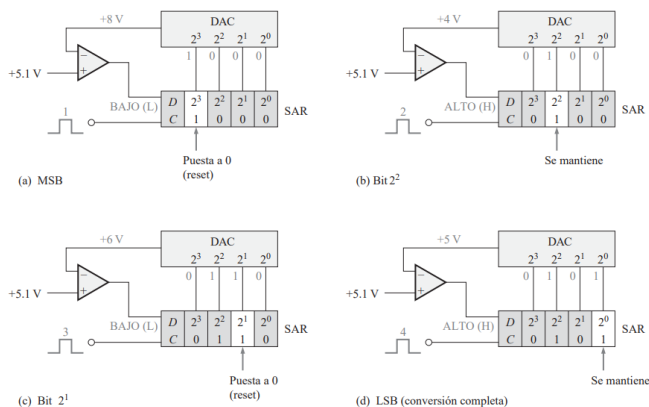


Ilustración 7. Proceso de conversión [2]

Convertidor Analógico-Digital ADC0804.

El ADC0804 es un conversor que utiliza el método de aproximaciones sucesivas. Este dispositivo funciona con una alimentación de +5 V y tiene una resolución de ocho bits, con un tiempo de conversión de 100 μ s. También dispone de un generador de reloj interno. Las salidas de datos triestado sirven para realizar la interfaz con el sistema de buses de un

microprocesador. El funcionamiento básico del dispositivo es el siguiente: el ADC0804 contiene el equivalente a una red DAC de 256 resistencias. La lógica de aproximaciones sucesivas secuenciar la red para adaptar la tensión analógica de entrada diferencial ($V_{in+} - V_{in-}$) a una salida de la red resistiva. En primer lugar, se comprueba el MSB (bit más significativo). Después de realizar ocho comparaciones (sesenta y cuatro períodos de reloj), un código binario de 8 bits se transfiere a los latches de salida y la salida de interrupción (INTR) pasa a nivel BAJO. El dispositivo puede funcionar en modo de conversión libre (free-running), conectando la salida INTR a la entrada de escritura WR y manteniendo la entrada de inicio de conversión, CS, a nivel BAJO. Para garantizar una adecuada inicialización bajo todas las posibles condiciones, se requiere un nivel BAJO en la entrada WR durante el ciclo de conexión de la alimentación. A partir de ahí, si se pone CS a nivel BAJO en cualquier instante, se interrumpirá el proceso de conversión.

Cuando la entrada WR pasa a nivel BAJO, el registro de aproximaciones sucesivas (SAR) interno y el registro de desplazamiento de 8 bits se ponen a cero. Mientras, CS y WR permanezcan a nivel BAJO, el ADC permanecerá en estado de RESET. El período de conversión se inicia de uno a ocho períodos de reloj después de que CS o WR hagan una transición de nivel BAJO a nivel ALTO. Cuando ambas entradas CS y RD están a nivel BAJO, el latch de salida triestado se habilita y el código de salida se aplica a las líneas D_0 a D_7 . Cuando la entrada CS o la entrada RD pasan a nivel ALTO, las salidas D_0 a D_7 se desactivan.

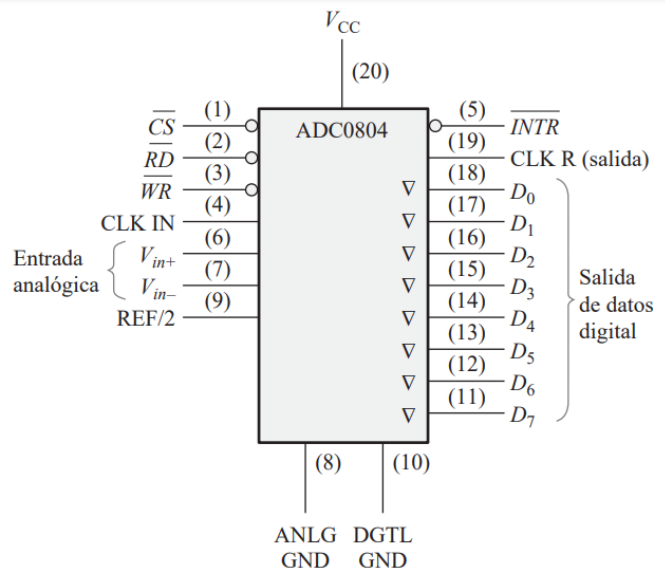


Ilustración 8. Convertidor analógico-digital ADC0804 [2]

Para el cálculo de los dígitos de salida de este conversor A/D se tiene la siguiente expresión:

$$D = \frac{2^n V_{in}}{V_{ref}}$$

C. Algebra de Boole, Mapas K y método Quine McCluskey

El **Algebra Booleana** adquiere su nombre en honor a George Boole (1815-1864), matemático inglés autodidacta, que fue el

primero en definirla como parte de un sistema lógico, inicialmente en un pequeño folleto: The Mathematical Analysis of Logic, publicado en 1847 como respuesta a una controversia en curso entre Augustus De Morgan y Sir William Hamilton.

En la actualidad, se aplica de forma generalizada en el ámbito del diseño electrónico. Claude Shannon fue el primero en aplicarla en el diseño de circuitos de conmutación eléctrica biestables, en 1948. Esta lógica se puede aplicar a dos campos:

1. Al análisis, porque es una forma concreta de describir cómo funcionan los circuitos.
2. Al diseño, ya que teniendo una función lógica aplicamos dicha álgebra para poder desarrollar una implementación de la función.

El uso del álgebra de Boole ² en la Automática se debe a que buena parte de los automatismos responden a la lógica binaria. Las variables binarias de entrada son leídas y producen variaciones en las señales binarias de salidas. Esta algebra es definida por tres operaciones básicas: complemento, suma (OR) y producto (AND). Por lo cual, se mencionarán de forma ilustrativa los postulados básicos, así como los principios y teoremas fundamentales:

Postulado 1: Operadores: + se llama OR y · se llama AND.
Postulado 2: Elemento neutro $A + 0 = A$ $A \cdot 1 = A$
Postulado 3: Conmutatividad $A + B = B + A$ $A \cdot B = B \cdot A$
Postulado 4: Asociatividad $A + (B + C) = (A + B) + C$ $A \cdot (B \cdot C) = (A \cdot B) \cdot C$
Postulado 5: Distributiva $A + (B \cdot C) = (A + B) \cdot (A + C)$ $A \cdot (B + C) = (A \cdot B) + (A \cdot C)$
Postulado 6: Elemento complementario $A + \bar{A} = 1$ $A \cdot \bar{A} = 0$

Ilustración 9. Postulados Básicos [3]

Se determina la expresión dual reemplazando: + por · · por + Todos los ceros por unos Todos los unos por ceros
--

Ilustración 10. Principio de la Dualidad [3]

Teorema 1: Idempotencia $A + A = A$ $A \cdot A = A$
--

Teorema 2: Absorción $A + 1 = 1$ $A \cdot 0 = 0$

Teorema 3: Involución $\bar{\bar{A}} = A$

Teorema 4: $A + AB = A$ $A \cdot (A + B) = A$
--

Teorema 5: Consenso $A + \bar{A}B = A + B$ $A(\bar{A} + B) = AB$

Teorema 6: $AB + A\bar{B} = A$ $(A+B)(A+\bar{B}) = A$
--

Teorema 7: $AB + A\bar{B}C = AB + AC$ $(A+B)(A+\bar{B} + C) = (A+B)(A+C)$
--

Teorema 8: DeMorgan $\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
--

Teorema 9: Consenso general $AB + \bar{A}C + BC = AB + \bar{A}C$ $(A + B)(\bar{A} + C)(B + C) = (A + B)(\bar{A} + C)$
--

Teorema 10: desarrollo de Shannon $f(x_1, x_2, \dots, x_n) = x_1 f(1, x_2, \dots, x_n) + \bar{x}_1 f(0, x_2, \dots, x_n)$ $f(x_1, x_2, \dots, x_n) = [x_1 + f(1, x_2, \dots, x_n)] [\bar{x}_1 + f(0, x_2, \dots, x_n)]$
--

Ilustración 11. Teoremas fundamentales [3]

Un **mapa de Karnaugh** (también conocido como tabla de Karnaugh o diagrama de Veitch) es un diagrama utilizado para la simplificación de funciones algebraicas en forma canónica. A partir de la tabla de Karnaugh se puede obtener una forma canónica mínima (con el mínimo número de términos). Usualmente se utiliza indistintamente los términos de “mapa” y/o “tabla” cuando se trata técnicamente el concepto de Mapas de Karnaugh.

La tabla de Karnaugh consiste en una representación bidimensional de la función que se quiere simplificar. Si la función viene expresada como una tabla de verdad, entonces la tabla de Karnaugh puede verse como una forma alternativa de representación 2D. Puesto que la tabla de verdad de una función de n variables posee 2ⁿ filas, la tabla de Karnaugh correspondiente debe poseer también 2ⁿ celdas. La construcción de la tabla de Karnaugh pasa por codificar cada celda en código binario reflejado (o código Gray) de manera que celdas adyacentes tengan un código que difiere en un solo dígito.³

² Información tomada de: <https://n9.cl/o1fzb> [Página Web].

³ Información tomada de: <https://n9.cl/5nl6> [Página Web].

cd\ab	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	2	6	14	10
10	3	7	15	11

abcd	
0000: 0	1000: 8
0001: 1	1001: 9
0010: 2	1010: 10
0011: 3	1011: 11
0100: 4	1100: 12
0101: 5	1101: 13
0110: 6	1110: 14
0111: 7	1111: 15

Ilustración 12. Descripción gráfica de un Mapa K

Criterios de Simplificación utilizando Mapas K⁴:

1. Cada cuadrado en el mapa K de n variables tiene n cuadrados adyacentes lógicamente (cada par de cuadrados adyacentes difiere en una variable).
2. Agrupar cuadrados en potencias de 2. Al agrupar 2ⁿ cuadrados se elimina n variables.
3. Se debe agrupar la mayor cantidad posible de cuadrados, para reducir la cantidad de literales en el término producto resultante.
4. Se forma el menor número posible de grupos que cubran todos los cuadrados, para reducir el número de términos de la función resultante. Se puede utilizar cada cuadrado cuantas veces sea necesario. Tan pronto se hayan utilizado todos los minitérminos al menos una vez, no se continua con el proceso.
5. Al combinar cuadrados en el mapa, hay que empezar siempre por los cuadrados donde existe el menor número de cuadrados adyacentes.

El método de **Quine-McCluskey** es particularmente útil cuando se tienen funciones con un gran número de variables, no es el caso del método de Karnaugh, que se hace impracticable con más de cinco variables. Una expresión booleana se compone de variables y términos. Para este método las variables sólo podrán tener un valor numérico de cero (el correspondiente al valor de verdad false) o uno (el correspondiente al valor de verdad true) y se designarán mediante una letra.

Criterios de Simplificación utilizando⁵:

1. Se crea una tabla con los minitérminos de la función lógica.
2. En la tabla se genera una columna con el número de UNOS que contiene cada combinación.
3. Se genera una tabla agrupando los minitérminos de acuerdo al número de UNOS que contenga su combinación de entradas.
4. Se genera otra tabla donde se realizan las combinaciones entre grupos seguidos y combinación de minitérminos de acuerdo al cambio de una variable (el cambio de variable se marca con un guión).

5. Se busca combinación de minitérminos que contengan la misma ubicación del guión y el cambio de una variable. En el nuevo cambio de variable se escribe un guión.
6. En una tabla se escriben las combinaciones obtenidas (sin repetir) y las combinaciones del paso 4 que no se pudieron combinar. Se describe el mini término generado. En una columna se escriben el valor de los mini términos de la función lógica. Con una X se indica la intersección entre combinación y mini términos.
7. En las columnas de los minitérminos de la función se busca la columna que contenga una X. Se marca la fila que contiene esa X y para cada fila señalada, se marcan las columnas que contengan otras X.
8. Con las X faltantes se busca una fila que pueda contener la mayor cantidad de columnas. Se escriben los términos producto de las filas.

$$f(A, B, C, D) = \Sigma m(0, 1, 2, 5, 6, 7, 8, 9, 10, 14)$$

m	A	B	C	D
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
14	1	1	1	0

m	A	B	C	D	# Unos
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
5	0	1	0	1	2
6	0	1	1	0	2
7	0	1	1	1	3
8	1	0	0	0	1
9	1	0	0	1	2
10	1	0	1	0	2
14	1	1	1	0	3

COMBINACIÓN		A	B	C	D
GRUPOS	m	A	B	C	D
0 y 1	0, 1	0	0	0	-
	0, 2	0	0	-	0
	0, 8	-	0	0	0
1 y 2	1, 5	0	-	0	1
	1, 9	-	0	0	1
	2, 6	0	-	1	0
	2, 10	-	0	1	0
	8, 9	1	0	0	-
2 y 3	8, 10	1	0	-	0
	5, 7	0	1	-	1
	6, 7	0	1	1	-
	6, 14	-	1	1	0
	10, 14	1	-	1	0

comb. m	A	B	C	D
0, 1, 8, 9	-	0	0	-
0, 2, 8, 10	-	0	-	0
0, 8, 1, 9	-	0	0	-
0, 8, 2, 10	-	0	-	0
2, 6, 10, 14	-	-	1	0
2, 10, 6, 14	-	-	1	0

Ilustración 13. Consideraciones 1-5

⁴ John Jairo Buitrago. Docente de la Universidad Autónoma de Occidente [Slides].

⁵ John Jairo Buitrago. Docente de la Universidad Autónoma de Occidente [Slides].

GRÁFICO IMPLICANTES PRIMOS										
	0	1	2	5	6	7	8	9	10	14
0, 1, 8, 9 B'C'	X	X					X	X		
0, 2, 8, 10 B'D'	X		X				X		X	
2, 6, 10, 14 CD'			X		X				X	X
1, 5 A'C'D		X		X						
5, 7 A'BD				X		X				
6, 7 A'BC					X	X				

GRÁFICO IMPLICANTES PRIMOS										
	0	1	2	5	6	7	8	9	10	14
0, 1, 8, 9 B'C'	X	X					X	X		
0, 2, 8, 10 B'D'	X		X				X		X	
2, 6, 10, 14 CD'			X		X				X	X
1, 5 A'C'D		X		X						
5, 7 A'BD				X		X				
6, 7 A'BC					X	X				

GRÁFICO IMPLICANTES PRIMOS										
	0	1	2	5	6	7	8	9	10	14
0, 1, 8, 9 B'C'	X	X					X	X		
0, 2, 8, 10 B'D'	X		X				X		X	
2, 6, 10, 14 CD'			X		X				X	X
1, 5 A'C'D		X		X						
5, 7 A'BD				X		X				
6, 7 A'BC					X	X				

GRÁFICO IMPLICANTES PRIMOS										
	0	1	2	5	6	7	8	9	10	14
0, 1, 8, 9 B'C'	X	X					X	X		
0, 2, 8, 10 B'D'	X		X				X		X	
2, 6, 10, 14 CD'			X		X				X	X
1, 5 A'C'D		X		X						
5, 7 A'BD				X		X				
6, 7 A'BC					X	X				

$$f_{(A,B,C,D)} = B'C' + CD' + A'BD$$

Ilustración 14. Consideraciones 6-8 y Simplificación final

D. Funcionamiento del Display

Un **Display** se define como un dispositivo electrónico que permite la visualización de información, el cual este compuesto por segmentos y pines. El número de segmentos permite la visualización de diferentes símbolos, números o letras. Entre estos se encuentran los Display de 7, 14 y 16 segmentos, además del matricial(5x7). [Ilustración 15-16]

Cada segmento por su parte está compuesto por Ledes que serán activados y desactivados por medio de señales eléctricas (1 lógico o 0 lógico). A partir del uso de Ledes se encuentran dos tipos de Displays, los de cátodo y ánodo común, la diferencia entre estos es en la forma en que están conectados los Ledes, ya que pueden tener el cátodo en común entre ellos o el ánodo en común entre ellos, formando un cátodo común o un ánodo común respectivamente. Esto último, tiene como consecuencia la forma en que será controlado el mismo, puesto que uno de ánodo común será encendido por un cero lógico, mientras uno de cátodo común será encendió por un uno lógico.⁶

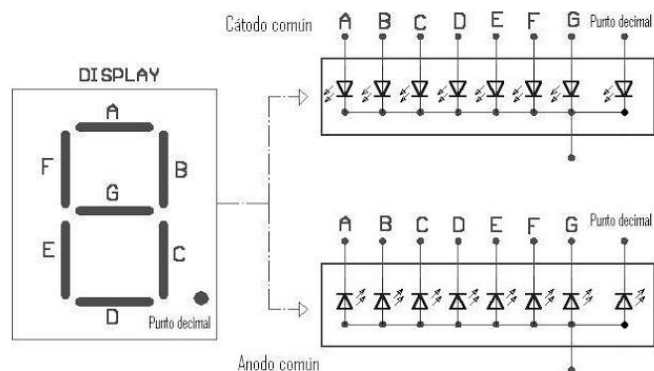


Ilustración 15. Display de 7 segmentos, con ánodo común y cátodo común⁷

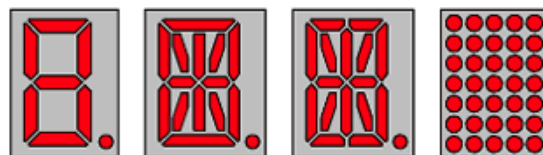


Ilustración 16. Display de 14,16 y Matricial⁸

III. LABORATORIO

Se requiere un sistema digital que muestre en un Display de 14 segmentos, un mensaje (una serie de caracteres) cuando se gira la perilla de un potenciómetro.

Requerimientos:

- Emplear un potenciómetro para obtener una tensión entre 0V y 5V con relación a la posición de la perilla.
- Utilizar un conversor A/D para obtener un valor binario a partir de una tensión entre 0V a 5V, emplear los 4 bits más significativos del valor obtenido.
- Hacer uso de un sólo Display de 14 segmentos para mostrar el mensaje:

EDGxE1 (UNO)****
EDGxE2 (DOS)****
EDGxE3 (TRES)***
EDGxE4 (CUATRO)*
EDGxE5 (CINCO)**
EDGxE6 (SEIS)***
EDGxE7 (SIETE)**
EDGxE8 (OCHO)***

NOTAS: 1. La "x" del mensaje corresponde al grupo de Electrónica Digital (1 ó 2). 2. A cada equipo de trabajo le corresponde un mensaje a mostrar. Emplear un LED bicolor, donde indique con un color la primera parte del mensaje (por ejemplo: EDG1E1). El LED bicolor indica, con otro color, la segunda parte del mensaje (lo que está en paréntesis y los asteriscos). El LED bicolor se apaga en el espacio del mensaje.

⁶ Información tomada de: <https://n9.cl/lqv3o> [Página Web].

⁷ Fuente gráfica: <https://n9.cl/py9en> [Página Web].

⁸ Fuente gráfica: <http://www.screens.ru/es/2003/7.html> [Página Web].

Para el Diseño del circuito que represente, en términos generales, la solución del laboratorio se debe tener en cuenta ciertos procesos y/o fundamentos teóricos, entre los que se tiene un Diagrama de flujo, Diagrama de bloques, Tablas de verdad, Algoritmos de Quine-McCluskey, Funciones lógicas sin simplificar y simplificadas y, por último, un Diagrama esquemático.

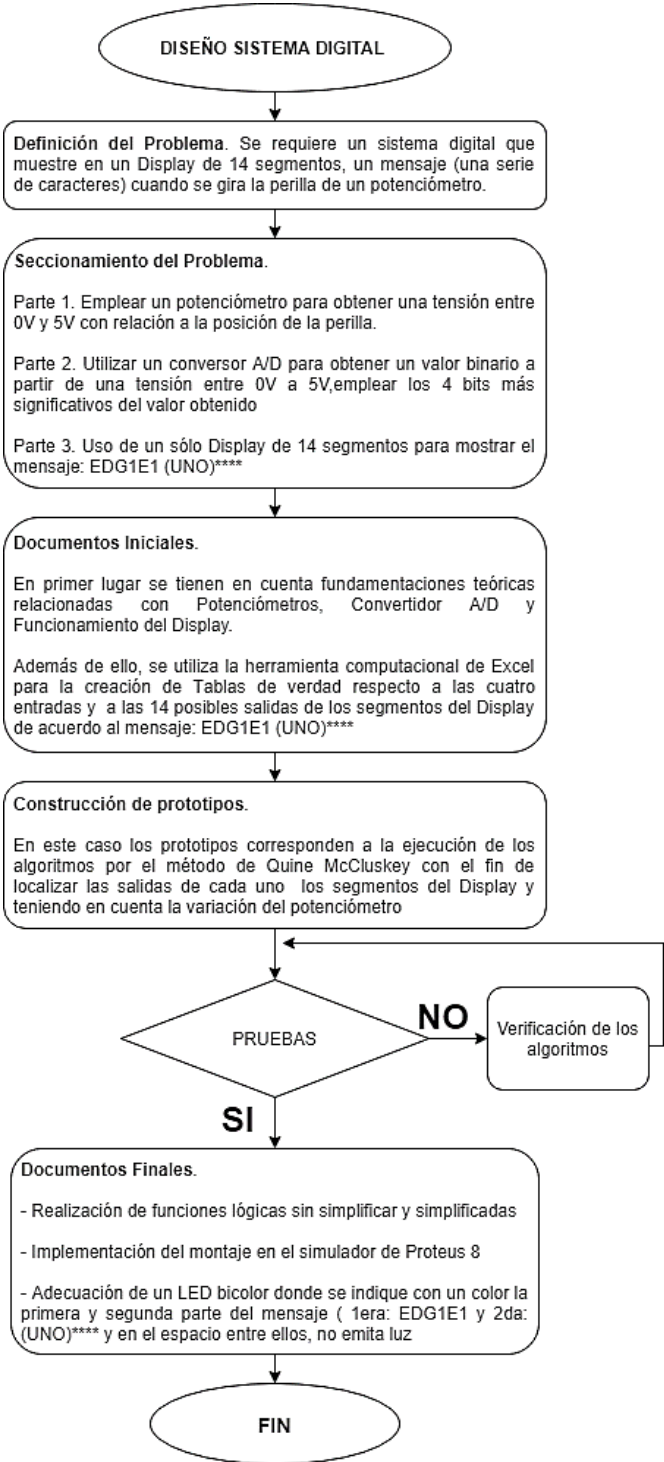


Ilustración 17. Diagrama de Flujo

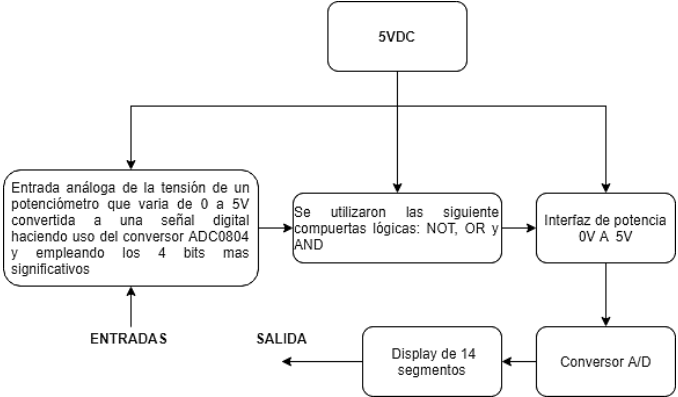


Ilustración 18. Diagrama de Bloques

Posterior a los diagramas de flujo y de bloques, se realizan las **TABLAS DE VERDAD** para cada segmento con sus respectivas funciones lógicas sin simplificar y simplificadas utilizando el algoritmo de Quine-McCluskey:

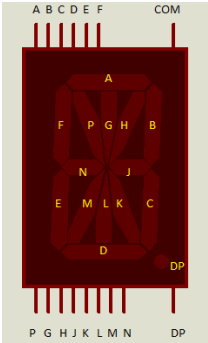


Ilustración 19. Display de 14 segmentos

COMBINACIÓN	LETRA/NUM	A	B	C	D	sA
0	E	0	0	0	0	1
1	D	0	0	0	1	1
2	G	0	0	1	0	1
3	1	0	0	1	1	0
4	E	0	1	0	0	1
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	1
11)	1	0	1	1	0
12	*	1	1	0	0	0
13	*	1	1	0	1	0
14	*	1	1	1	0	0
15	*	1	1	1	1	0

Ilustración 20. Tabla de verdad para el segmento A

COMBINACIÓN	LETRA/NUM	A	B	C	D	sB
0	E	0	0	0	0	0
1	D	0	0	0	1	1
2	G	0	0	1	0	0
3	1	0	0	1	1	1
4	E	0	1	0	0	0
5	1	0	1	0	1	1
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	1
9	N	1	0	0	1	1
10	O	1	0	1	0	1
11)	1	0	1	1	0
12	*	1	1	0	0	0
13	*	1	1	0	1	0
14	*	1	1	1	0	0
15	*	1	1	1	1	0

Ilustración 21. Tabla de verdad para el segmento B

COMBINACIÓN	LETRA/NUM	A	B	C	D	sC
0	E	0	0	0	0	0
1	D	0	0	0	1	1
2	G	0	0	1	0	1
3	1	0	0	1	1	1
4	E	0	1	0	0	0
5	1	0	1	0	1	1
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	1
9	N	1	0	0	1	1
10	O	1	0	1	0	1
11)	1	0	1	1	0
12	*	1	1	0	0	0
13	*	1	1	0	1	0
14	*	1	1	1	0	0
15	*	1	1	1	1	0

Ilustración 22. Tabla de verdad para el segmento C

COMBINACIÓN	LETRA/NUM	A	B	C	D	sD
0	E	0	0	0	0	1
1	D	0	0	0	1	1
2	G	0	0	1	0	1
3	1	0	0	1	1	0
4	E	0	1	0	0	1
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	1
9	N	1	0	0	1	0
10	O	1	0	1	0	1
11)	1	0	1	1	0
12	*	1	1	0	0	0
13	*	1	1	0	1	0
14	*	1	1	1	0	0
15	*	1	1	1	1	0

Ilustración 23. Tabla de verdad para el segmento D

COMBINACIÓN	LETRA/NUM	A	B	C	D	sE
0	E	0	0	0	0	1
1	D	0	0	0	1	0
2	G	0	0	1	0	1
3	1	0	0	1	1	0
4	E	0	1	0	0	1
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	1
9	N	1	0	0	1	1
10	O	1	0	1	0	1
11)	1	0	1	1	0
12	*	1	1	0	0	0
13	*	1	1	0	1	0
14	*	1	1	1	0	0
15	*	1	1	1	1	0

Ilustración 24. Tabla de verdad para el segmento E

COMBINACIÓN	LETRA/NUM	A	B	C	D	sF
0	E	0	0	0	0	1
1	D	0	0	0	1	0
2	G	0	0	1	0	1
3	1	0	0	1	1	0
4	E	0	1	0	0	1
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	1
9	N	1	0	0	1	1
10	O	1	0	1	0	1
11)	1	0	1	1	0
12	*	1	1	0	0	0
13	*	1	1	0	1	0
14	*	1	1	1	0	0
15	*	1	1	1	1	0

Ilustración 25. Tabla de verdad para el segmento F

COMBINACIÓN	LETRA/NUM	A	B	C	D	sP
0	E	0	0	0	0	0
1	D	0	0	0	1	0
2	G	0	0	1	0	0
3	1	0	0	1	1	0
4	E	0	1	0	0	0
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	1
10	O	1	0	1	0	0
11)	1	0	1	1	1
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 26. Tabla de verdad para el segmento P

COMBINACIÓN	LETRA/NUM	A	B	C	D	sG
0	E	0	0	0	0	0
1	D	0	0	0	1	1
2	G	0	0	1	0	0
3	1	0	0	1	1	0
4	E	0	1	0	0	0
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	0
11)	1	0	1	1	0
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 27. Tabla de verdad para el segmento G

COMBINACIÓN	LETRA/NUM	A	B	C	D	sH
0	E	0	0	0	0	0
1	D	0	0	0	1	0
2	G	0	0	1	0	0
3	1	0	0	1	1	0
4	E	0	1	0	0	0
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	1
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	0
11)	1	0	1	1	0
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 28. Tabla de verdad para el segmento H

COMBINACIÓN	LETRA/NUM	A	B	C	D	sJ
0	E	0	0	0	0	1
1	D	0	0	0	1	0
2	G	0	0	1	0	1
3	1	0	0	1	1	0
4	E	0	1	0	0	1
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	0
11)	1	0	1	1	0
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 29. Tabla de verdad para el segmento J

COMBINACIÓN	LETRA/NUM	A	B	C	D	sK
0	E	0	0	0	0	0
1	D	0	0	0	1	0
2	G	0	0	1	0	0
3	1	0	0	1	1	0
4	E	0	1	0	0	0
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	1
8	U	1	0	0	0	0
9	N	1	0	0	1	1
10	O	1	0	1	0	0
11)	1	0	1	1	0
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 30. Tabla de verdad para el segmento K

COMBINACIÓN	LETRA/NUM	A	B	C	D	sL
0	E	0	0	0	0	0
1	D	0	0	0	1	1
2	G	0	0	1	0	0
3	1	0	0	1	1	0
4	E	0	1	0	0	0
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	0
11)	1	0	1	1	0
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 31. Tabla de verdad para el segmento L

COMBINACIÓN	LETRA/NUM	A	B	C	D	sM
0	E	0	0	0	0	0
1	D	0	0	0	1	0
2	G	0	0	1	0	0
3	1	0	0	1	1	0
4	E	0	1	0	0	0
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	0
11)	1	0	1	1	1
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 32. Tabla de verdad para el segmento M

COMBINACIÓN	LETRA/NUM	A	B	C	D	sN
0	E	0	0	0	0	1
1	D	0	0	0	1	0
2	G	0	0	1	0	1
3	1	0	0	1	1	0
4	E	0	1	0	0	1
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	0
11)	1	0	1	1	0
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 33. Tabla de verdad para el segmento N

COMBINACIÓN	LETRA/NUM	A	B	C	D	sDP
0	E	0	0	0	0	0
1	D	0	0	0	1	0
2	G	0	0	1	0	0
3	1	0	0	1	1	0
4	E	0	1	0	0	0
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	0
11)	1	0	1	1	0
12	*	1	1	0	0	0
13	*	1	1	0	1	0
14	*	1	1	1	0	0
15	*	1	1	1	1	0

Ilustración 34. Tabla de verdad para el segmento DP (Decimal Point)

COMBINACIÓN	LETRA/NUM	A	B	C	D	LEDCOL1
0	E	0	0	0	0	1
1	D	0	0	0	1	1
2	G	0	0	1	0	1
3	1	0	0	1	1	1
4	E	0	1	0	0	1
5	1	0	1	0	1	1
6	Espacio	0	1	1	0	0
7	(0	1	1	1	0
8	U	1	0	0	0	0
9	N	1	0	0	1	0
10	O	1	0	1	0	0
11)	1	0	1	1	0
12	*	1	1	0	0	0
13	*	1	1	0	1	0
14	*	1	1	1	0	0
15	*	1	1	1	1	0

Ilustración 35. Tabla de verdad para el LEDCOLOR1

COMBINACIÓN	LETRA/NUM	A	B	C	D	LEDCOL2
0	E	0	0	0	0	0
1	D	0	0	0	1	0
2	G	0	0	1	0	0
3	1	0	0	1	1	0
4	E	0	1	0	0	0
5	1	0	1	0	1	0
6	Espacio	0	1	1	0	0
7	(0	1	1	1	1
8	U	1	0	0	0	1
9	N	1	0	0	1	1
10	O	1	0	1	0	1
11)	1	0	1	1	1
12	*	1	1	0	0	1
13	*	1	1	0	1	1
14	*	1	1	1	0	1
15	*	1	1	1	1	1

Ilustración 36. Tabla de verdad para el LEDCOLOR2

Haciendo uso del **Algoritmo de Quine-McCluskey** se van a simplificar las funciones lógicas. Por ende, se describirán las **funciones lógicas no simplificadas** y posterior al algoritmo, las **simplificadas**.

OBTENCION DE MINTERMINOS SEGMENTO A

$$m_0 = \bar{A}\bar{B}\bar{C}\bar{D}$$

$$m_1 = \bar{A}\bar{B}\bar{C}D$$

$$m_2 = \bar{A}\bar{B}C\bar{D}$$

$$m_4 = \bar{A}B\bar{C}\bar{D}$$

$$m_{10} = \bar{A}B\bar{C}D$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(0,1,2,4,10)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + A\bar{B}C\bar{D}$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	
4	0	1	0	0	
10	1	0	1	0	2

GRUPO	COMBINACIÓN	A	B	C	D
0	0	0	0	0	0
1	1	0	0	0	1
	2	0	0	1	0
	4	0	1	0	0
2	10	1	0	1	0

GRUPO	COMBINACIÓN	A	B	C	D
0 y 1	0,1	0	0	0	-
	0,2	0	0	-	0
	0,4	0	-	0	0
1 y 2	2,10	-	0	1	0

FUNCION	COMBINACIÓN	0	1	2	4	10
A'B'C'	0,1	x	x			
	0,2	x		x		
A'C'D'	0,4	x			x	
B'CD'	2,10			x		x

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{C}\bar{D} + \bar{B}C\bar{D}$$

OBTENCION DE MINTERMINOS SEGMENTO B

$$m_1 = \bar{A}\bar{B}\bar{C}D$$

$$m_3 = \bar{A}\bar{B}C\bar{D}$$

$$m_5 = \bar{A}B\bar{C}\bar{D}$$

$$m_8 = A\bar{B}\bar{C}\bar{D}$$

$$m_9 = A\bar{B}C\bar{D}$$

$$m_{10} = AB\bar{C}\bar{D}$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(1,3,5,8,9,10)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D}$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
1	0	0	0	1	1
3	0	0	1	1	2
5	0	1	0	1	2
8	1	0	0	0	1
9	1	0	0	1	2
10	1	0	1	0	2

GRUPO	COMBINACIÓN	A	B	C	D
1	1	0	0	0	1
	8	1	0	0	0
2	3	0	0	1	1
	5	0	1	0	1
	9	1	0	0	1
	10	1	0	1	0

GRUPO	COMBINACIÓN	A	B	C	D
1 y 2	1,3	0	0	-	1
	1,5	0	-	0	1
	1,9	-	0	0	1
	8,9	1	0	0	-
	8,10	1	0	-	0

FUNCION	COMBINACIÓN	1	3	5	8	9	10
A'B'D	1,3	x	x				
A'C'D	1,5	x		x			
	1,9	x				x	
AB'C'	8,9				x	x	
AB'D'	8,10				x		x

$$F(A, B, C, D) = \bar{A}\bar{B}D + \bar{A}\bar{C}D + A\bar{B}\bar{C} + A\bar{B}D$$

OBTENCION DE MINTERMINOS SEGMENTO C

$$m_1 = \bar{A}\bar{B}\bar{C}D$$

$$m_2 = \bar{A}\bar{B}C\bar{D}$$

$$m_3 = \bar{A}\bar{B}C\bar{D}$$

$$m_5 = \bar{A}B\bar{C}\bar{D}$$

$$m_8 = A\bar{B}\bar{C}\bar{D}$$

$$m_9 = A\bar{B}\bar{C}D$$

$$m_{10} = A\bar{B}C\bar{D}$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(1,2,3,5,8,9,10)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D}$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	2
5	0	1	0	1	2
8	1	0	0	0	1
9	1	0	0	1	2
10	1	0	1	0	2

GRUPO	COMBINACIÓN	A	B	C	D
1	1	0	0	0	1
	2	0	0	1	0
	8	1	0	0	0
2	3	0	0	1	1
	5	0	1	0	1
	9	1	0	0	1
	10	1	0	1	0

GRUPO	COMBINACIÓN	A	B	C	D
1 y 2	1,3	0	0	-	1
	1,5	0	-	0	1
	1,9	-	0	0	1
	2,3	0	0	1	-
	2,10	-	0	1	0
	8,9	1	0	0	-
	8,10	1	0	-	0

FUNCION	COMBINACIÓN	1	2	3	5	8	9	10
	1,3	X		X				
A'C'D	1,5	X		X	X			
	1,9	X					X	
A'B'C	2,3		X	X				
	2,10		X					X
AB'C'	8,9					X	X	
AB'D'	8,10					X		X

$$F(A, B, C, D) = \bar{A}\bar{B}C + \bar{A}\bar{C}D + \bar{A}B\bar{C} + \bar{A}B\bar{D}$$

OBTENCION DE MINTERMINOS SEGMENTO D

$$m_0 = \bar{A}\bar{B}\bar{C}\bar{D}$$

$$m_1 = \bar{A}\bar{B}\bar{C}D$$

$$m_2 = \bar{A}\bar{B}C\bar{D}$$

$$m_4 = \bar{A}\bar{B}CD$$

$$m_8 = A\bar{B}\bar{C}\bar{D}$$

$$m_{10} = A\bar{B}C\bar{D}$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(0,1,2,4,8,10)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	
4	0	1	0	0	
8	1	0	0	0	
10	1	0	1	0	2

GRUPO	COMBINACIÓN	A	B	C	D
0 y 1	0,1	0	0	0	-
	0,2	0	0	-	0
	0,4	0	-	0	0
	0,8	-	0	0	0
1,2	2,10	-	0	1	0
	8,10	1	0	-	0

COMBINACIÓN	A	B	C	D
0,2,8,10	-	0	-	0
0,8,2,10	-	0	-	0
0,1	0	0	0	-
0,4	0	-	0	0

FUNCION	COMBINACIÓN	0	1	2	4	8	10
B'D'	0,2,8,10	*		*		*	*
A'B'C'	0,1	*	*				
A'C'D'	0,4	*			*		

$$F(A, B, C, D) = \overline{B}\overline{D} + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{C}\overline{D}$$

OBTENCION DE MINTERMINOS SEGMENTO E

$$m_0 = \overline{A}\overline{B}\overline{C}\overline{D}$$

$$m_2 = \overline{A}\overline{B}C\overline{D}$$

$$m_4 = \overline{A}B\overline{C}\overline{D}$$

$$m_8 = A\overline{B}\overline{C}\overline{D}$$

$$m_9 = A\overline{B}\overline{C}D$$

$$m_{10} = A\overline{B}C\overline{D}$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(0,2,4,8,9,10)}$$

$$F(A, B, C, D) = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D}$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
0	0	0	0	0	0
2	0	0	1	0	1
4	0	1	0	0	1
8	1	0	0	0	1
9	1	0	0	1	2
10	1	0	1	0	2

GRUPO	COMBINACIÓN	A	B	C	D
0	0	0	0	0	0
1	2	0	0	1	0
	4	0	1	0	0
	8	1	0	0	0
2	9	1	0	0	1
	10	1	0	1	0

GRUPO	COMBINACIÓN	A	B	C	D
0 y 1	0,2	0	0	-	0
	0,4	0	-	0	0
	0,8	-	0	0	0
1 y 2	2,10	-	0	1	0
	8,9	1	0	0	-
	8,10	1	0	-	0

COMBINACIÓN	A	B	C	D
0,2,8,10	-	0	-	0
0,4	0	-	0	0
8,9	1	0	0	-

FUNCION	COMBINACIÓN	0	2	4	8	9	10
B'D'	0,2,8,10	*	*		*		*
A'C'D'	0,4	*		*			
AB'C'	8,9				*	*	

$$F(A, B, C, D) = \overline{B}\overline{D} + \overline{A}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}$$

OBTENCION DE MINTERMINOS SEGMENTO F

$$m_0 = \overline{A}\overline{B}\overline{C}\overline{D}$$

$$m_2 = \overline{A}\overline{B}C\overline{D}$$

$$m_4 = \overline{A}B\overline{C}\overline{D}$$

$$m_8 = A\overline{B}\overline{C}\overline{D}$$

$$m_9 = A\overline{B}\overline{C}D$$

$$m_{10} = A\overline{B}C\overline{D}$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(0,2,4,8,9,10)}$$

$$F(A, B, C, D) = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D}$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
0	0	0	0	0	0
2	0	0	1	0	1
4	0	1	0	0	1
8	1	0	0	0	1
9	1	0	0	1	2
10	1	0	1	0	2

GRUPO	COMBINACIÓN	A	B	C	D
0	0	0	0	0	0
1	2	0	0	1	0
	4	0	1	0	0
	8	1	0	0	0
2	9	1	0	0	1
	10	1	0	1	0

GRUPO	COMBINACIÓN	A	B	C	D
0 y 1	0,2	0	0	-	0
	0,4	0	-	0	0
	0,8	-	0	0	0
1 y 2	2,10	-	0	1	0
	8,9	1	0	0	-
	8,10	1	0	-	0

COMBINACIÓN	A	B	C	D
0,2,8,10	-	0	-	0
0,4	0	-	0	0
8,9	1	0	0	-

FUNCIÓN	COMBINACIÓN	0	2	4	8	9	10
B'D'	0,2,8,10	x	x		x		(x)
A'C'D'	0,4	x		(x)			
AB'C'	8,9				x	(x)	

$$F(A, B, C, D) = \overline{B}\overline{D} + \overline{A}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}$$

OBTENCION DE MINTERMINOS SEGMENTO P

$$m_9 = A\overline{B}\overline{C}D$$

$$m_{11} = A\overline{B}CD$$

$$m_{12} = AB\overline{C}\overline{D}$$

$$m_{13} = AB\overline{C}D$$

$$m_{14} = ABC\overline{D}$$

$$m_{15} = ABCD$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m(9, 11, 12, 13, 14, 15)$$

$$F(A, B, C, D) = A\overline{B}\overline{C}D + A\overline{B}CD + AB\overline{C}\overline{D} + AB\overline{C}D + ABC\overline{D} + ABCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
9	1	0	0	1	2
11	1	0	1	1	3
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	3
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
2	9	1	0	0	1
	12	1	1	0	0
3	11	1	0	1	1
	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
2 y 3	9,11	1	0	-	1
	9,13	1	-	0	1
	12,13	1	1	0	-
	12,14	1	1	-	0
3 y 4	11,15	1	-	1	1
	13,15	1	1	-	1
	14,15	1	1	1	-

COMBINACIÓN	A	B	C	D
9,11,13,15	1	-	-	1
9,13,11,15	1	-	-	1
12,13,14,15	1	1	-	-
12,14,13,15	1	1	-	-

FUNCIÓN	COMBINACIÓN	9	11	12	13	14	15
AD	9,11,13,15	(x)	x		x		x
AB	12,13,14,15			(x)	x	x	x

$$F(A, B, C, D) = A(D + B)$$

OBTENCION DE MINTERMINOS SEGMENTO G

$$m_1 = \bar{A}\bar{B}\bar{C}D$$

$$m_{12} = AB\bar{C}\bar{D}$$

$$m_{13} = AB\bar{C}D$$

$$m_{14} = ABC\bar{D}$$

$$m_{15} = ABCD$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(1,12,13,14,15)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
1	0	0	0	1	1
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
1	1	0	0	0	1
2	12	1	1	0	0
3	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
2 y 3	12,13	1	1	0	-
	12,14	1	1	-	0
3 y 4	13,15	1	1	-	1
	14,15	1	1	1	-

COMBINACIÓN	A	B	C	D
12,13,14,15	1	1	-	-
12,14,13,15	1	1	-	-
1	0	0	0	1

FUNCION	COMBINACIÓN	1	12	13	14	15
AB	12,13,14,15		x	x	x	x
A'B'C'D	1	x				

$$F(A, B, C, D) = AB + \bar{A}\bar{B}\bar{C}D$$

OBTENCION DE MINTERMINOS SEGMENTO H

$$m_7 = \bar{A}BCD$$

$$m_{12} = AB\bar{C}\bar{D}$$

$$m_{13} = AB\bar{C}D$$

$$m_{14} = ABC\bar{D}$$

$$m_{15} = ABCD$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(7,12,13,14,15)}$$

$$F(A, B, C, D) = \bar{A}BCD + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
7	0	1	1	1	3
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	3
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
2	12	1	1	0	0
3	7	0	1	1	1
	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
2 y 3	12,13	1	1	0	-
	12,14	1	1	-	0
3 y 4	7,15	-	1	1	1
	13,15	1	1	-	1
	14,15	1	1	1	-

COMBINACIÓN	A	B	C	D
12,13,14,15	1	1	-	-
12,14,13,15	1	1	-	-
7,15	-	1	1	1

FUNCIÓN	COMBINACIÓN	7	12	13	14	15
AB	12,13,14,15		x	x	x	x
BCD	7,5	x				x

$$F(A, B, C, D) = AB + BCD$$

OBTENCION DE MINTERMINOS SEGMENTO J

$$m_0 = \bar{A}\bar{B}\bar{C}\bar{D}$$

$$m_2 = \bar{A}\bar{B}C\bar{D}$$

$$m_4 = \bar{A}B\bar{C}\bar{D}$$

$$m_{12} = AB\bar{C}\bar{D}$$

$$m_{13} = AB\bar{C}D$$

$$m_{14} = ABC\bar{D}$$

$$m_{15} = ABCD$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(0,2,4,12,13,14,15)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
0	0	0	0	0	0
2	0	0	1	0	1
4	0	1	0	0	1
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	3
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
0	0	0	0	0	0
1	2	0	0	1	0
	4	0	1	0	0
2	12	1	1	0	0
3	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
0 y 1	0,2	0	0	-	0
	0,4	0	-	0	0
1 y 2	4,12	-	1	0	0
2 y 3	12,13	1	1	0	-
	12,14	1	1	-	0
3 y 4	13,15	1	1	-	1
	14,15	1	1	1	-

COMBINACIÓN	A	B	C	D
12,13,14,15	1	1	-	-
0,2	0	0	-	0
0,4	0	-	0	0
4,12	-	1	0	0

FUNCIÓN	COMBINACIÓN	0	2	4	12	13	14	15
AB	12,13,14,15				x	x	x	x
A'B'D'	0,2	x	x					
A'C'D'	0,4	x		x				
	4,12			x	x			

$$F(A, B, C, D) = \bar{A}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{D} + AB$$

OBTENCION DE MINTERMINOS SEGMENTO K

$$m_7 = \bar{A}BCD$$

$$m_9 = \bar{A}\bar{B}\bar{C}D$$

$$m_{12} = AB\bar{C}\bar{D}$$

$$m_{13} = AB\bar{C}D$$

$$m_{14} = ABC\bar{D}$$

$$m_{15} = ABCD$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(7,9,12,13,14,15)}$$

$$F(A, B, C, D) = \bar{A}BCD + \bar{A}\bar{B}\bar{C}D + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
7	0	1	1	1	3
9	1	0	0	1	2
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	3
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
2	9	1	0	0	1
	12	1	1	0	0
3	7	0	1	1	1
	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
2 y 3	9,13	1	-	0	1
	12,13	1	1	0	-
	12,14	1	1	-	0
3 y 4	7,15	-	1	1	1
	13,15	1	1	-	1
	14,15	1	1	1	-

COMBINACIÓN	A	B	C	D
12,13,14,15	1	1	-	-
12,14,13,15	1	1	-	-
9,13	1	-	0	1
7,15	-	1	1	1

FUNCIÓN	COMBINACIÓN	7	9	12	13	14	15
AB	12,13,14,15			x	x	x	x
AC'D	9,13		x		x		
BCD	7,15	x					x

$$F(A, B, C, D) = AB + A\bar{C}D + BCD$$

OBTENCION DE MINTERMINOS SEGMENTO L

$$\begin{aligned} m_1 &= \bar{A}\bar{B}\bar{C}D \\ m_{12} &= AB\bar{C}\bar{D} \\ m_{13} &= AB\bar{C}D \\ m_{14} &= ABC\bar{D} \\ m_{15} &= ABCD \end{aligned}$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(1,12,13,14,15)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
1	0	0	0	1	1
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
1	1	0	0	0	1
2	12	1	1	0	0
3	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
2y 3	12,13	1	1	0	-
	12,14	1	1	-	0
3 y 4	13,15	1	1	-	1
	14,15	1	1	1	-

COMBINACIÓN	A	B	C	D
12,13,14,15	1	1	-	-
12,14,13,15	1	1	-	-
1	0	0	0	1

FUNCIÓN	COMBINACIÓN	1	12	13	14	15
AB	12,13,14,15		x	x	x	x
A'B'C'D	1	x				

$$F(A, B, C, D) = AB + \bar{A}\bar{B}\bar{C}D$$

OBTENCION DE MINTERMINOS SEGMENTO M

$$\begin{aligned} m_{11} &= \bar{A}\bar{B}CD \\ m_{12} &= AB\bar{C}\bar{D} \\ m_{13} &= AB\bar{C}D \\ m_{14} &= ABC\bar{D} \\ m_{15} &= ABCD \end{aligned}$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(11,12,13,14,15)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO
QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
11	1	0	1	1	3
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	3
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
2	12	1	1	0	0
3	11	1	0	1	1
	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
2 y 3	12,13	1	1	0	-
	12,14	1	1	-	0
3 y 4	13,15	1	1	-	1
	14,15	1	1	1	-
	11,15	1	-	1	1

COMBINACIÓN	A	B	C	D
12,13,14,15	1	1	-	-
12,14,13,15	1	1	-	-
11,15	1	-	1	1

FUNCION	COMBINACIÓN	11	12	13	14	15
AB	12,13,14,15		x	x	x	x
ACD	11,15	x				x

$$F(A, B, C, D) = AB + ACD$$

OBTENCION DE MINTERMINOS SEGMENTO N

$$m_0 = \bar{A}\bar{B}\bar{C}\bar{D}$$

$$m_2 = \bar{A}\bar{B}C\bar{D}$$

$$m_4 = \bar{A}B\bar{C}\bar{D}$$

$$m_{12} = AB\bar{C}\bar{D}$$

$$m_{13} = AB\bar{C}D$$

$$m_{14} = ABC\bar{D}$$

$$m_{15} = ABCD$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(0,2,4,12,13,14,15)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO
QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
0	0	0	0	0	0
2	0	0	1	0	1
4	0	1	0	0	1
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	3
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
0	0	0	0	0	0
1	2	0	0	1	0
	4	0	1	0	0
2	12	1	1	0	0
3	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
0 y 1	0,2	0	0	-	0
	0,4	0	-	0	0
1 y 2	4,12	-	1	0	0
2 y 3	12,13	1	1	0	-
	12,14	1	1	-	0
3 y 4	13,15	1	1	-	1
	14,15	1	1	1	-

COMBINACIÓN	A	B	C	D
12,13,14,15	1	1	-	-
12,14,13,15	1	1	-	-
0,2	0	0	-	0
0,4	0	-	0	0
4,12	-	1	0	0

FUNCIÓN	COMBINACIÓN	0	2	4	12	13	14	15
AB	12,13,14,15				x	x	x	x
A'B'D'	0,2	x	x					
	0,4	x		x				
BC'D'	4,12			x	x			

$$F(A, B, C, D) = AB + \bar{A}\bar{B}\bar{D} + B\bar{C}\bar{D}$$

El segmento DP es el correspondiente al Decimal Point. Este segmento al ser conectado a tierra todas sus salidas corresponden al nivel lógico bajo (0 V) o GND (Tierra).

OBTENCION DE MINTERMINOS LED COLOR 1

$$m_0 = \bar{A}\bar{B}\bar{C}\bar{D}$$

$$m_1 = \bar{A}\bar{B}\bar{C}D$$

$$m_2 = \bar{A}\bar{B}C\bar{D}$$

$$m_3 = \bar{A}\bar{B}CD$$

$$m_4 = \bar{A}B\bar{C}\bar{D}$$

$$m_5 = \bar{A}B\bar{C}D$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(0,1,2,3,4,5)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	2
4	0	1	0	0	1
5	0	1	0	1	2

GRUPO	COMBINACIÓN	A	B	C	D
0	0	0	0	0	0
1	1	0	0	0	1
	2	0	0	1	0
	4	0	1	0	0
2	3	0	0	1	1
	5	0	1	0	1

GRUPO	COMBINACIÓN	A	B	C	D
0 y 1	0,1	0	0	0	-
	0,2	0	0	-	0
	0,4	0	-	0	0
1 y 2	1,3	0	0	-	1
	1,5	0	-	0	1
	2,3	0	0	1	-
	4,5	0	1	0	-

COMBINACIÓN	A	B	C	D
0,1,2,3	0	0	-	-
0,1,4,5	0	-	0	-

FUNCIÓN	COMBINACIÓN	0	1	2	3	4	5
A'B'	0,1,2,3	x	x	x	x		
A'C'	0,1,4,5	x	x			x	x

$$F(A, B, C, D) = \bar{A}\bar{B} + \bar{A}\bar{C}$$

OBTENCION DE MINTERMINOS LED COLOR 2

$$m_7 = \bar{A}\bar{B}CD$$

$$m_8 = \bar{A}\bar{B}\bar{C}\bar{D}$$

$$m_9 = \bar{A}\bar{B}\bar{C}D$$

$$m_{10} = \bar{A}\bar{B}C\bar{D}$$

$$m_{11} = \bar{A}\bar{B}CD$$

$$m_{12} = \bar{A}B\bar{C}\bar{D}$$

$$m_{13} = \bar{A}B\bar{C}D$$

$$m_{14} = \bar{A}BC\bar{D}$$

$$m_{15} = \bar{A}BCD$$

FUNCION LÓGICA SIN SIMPLIFICAR (SOP)

$$F(A, B, C, D) = \sum m_{(7,8,9,10,11,12,13,14,15)}$$

$$F(A, B, C, D) = \bar{A}\bar{B}CD + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + \bar{A}BCD$$

FUNCION LÓGICA SIMPLIFICADA (ALGORITMO QUINE-MCCLUSKEY)

COMBINACIÓN	A	B	C	D	#1's
7	0	1	1	1	3
8	1	0	0	0	1
9	1	0	0	1	2
10	1	0	1	0	2
11	1	0	1	1	3
12	1	1	0	0	2
13	1	1	0	1	3
14	1	1	1	0	3
15	1	1	1	1	4

GRUPO	COMBINACIÓN	A	B	C	D
1	8	1	0	0	0
2	9	1	0	0	1
	10	1	0	1	0
	12	1	1	0	0
3	7	0	1	1	1
	11	1	0	1	1
	13	1	1	0	1
	14	1	1	1	0
4	15	1	1	1	1

GRUPO	COMBINACIÓN	A	B	C	D
1 y 2	8,9	1	0	0	-
	8,10	1	0	-	0
	8,12	1	-	0	0
2 y 3	9,11	1	0	-	1
	9,13	1	-	0	1
	10,11	1	0	1	-
	10,14	1	-	1	0
3 y 4	12,13	1	1	0	-
	7,15	-	1	1	1
	11,15	1	-	1	1
	13,15	1	1	-	1
	14,15	1	1	1	-

GRUPO	COMBINACIÓN	A	B	C	D
1, 2 y 3	8,9,10,11	1	0	-	-
	8,9,12,13	1	-	0	-
	8,10,12,14	1	-	-	0
2, 3 y 4	9,11,13,15	1	-	-	1
	10,11,14,15	1	-	1	-
	12,13,14,15	1	1	-	-

FUNCIÓN	COMBINACIÓN	A	B	C	D
A	8,9,10,11,12,13,14,15	1	-	-	-
BCD	7,15	-	1	1	1

FUNCIÓN	COMBINACIÓN	7	8	9	10	11	12	13	14	15
A	8,9,10,11,12,13,14,15	X	X	X	X	X	X	X	X	X
BCD	7,15	X								X

$$F(A, B, C, D) = A + BCD$$

Descripción del Diseño Final: Inicialmente, se utiliza una fuente de 5 V_{DC} la cual se encuentra conectada a un potenciómetro de 1 k Ω para obtener diferentes tensiones analógicas. Posterior a ello, se utiliza el conversor ADC0804 en aras de captar estas tensiones y convertirlas en señales digitales, específicamente en niveles de tensión lógicos de Alto y Bajo. Para hacer eficaz este proceso, se opta por utilizar un condensador (C1) con una resistencia de 10 k Ω que sirven como protección y, mediante el tren de pulsos cuadrados se genera la continua interacción entre el potenciómetro y el conversor. En la salida del conversor, se seleccionan los cuatro dígitos bits más significativos siendo A el MSB y D el LSB. Dichas salidas (A, B, C, D) corresponden a las entradas lógicas de los esquemáticos alternos en donde es utilizada la tecnología CMOS de la serie 4000 y estos constituyen el funcionamiento de cada uno de los segmentos del Display.

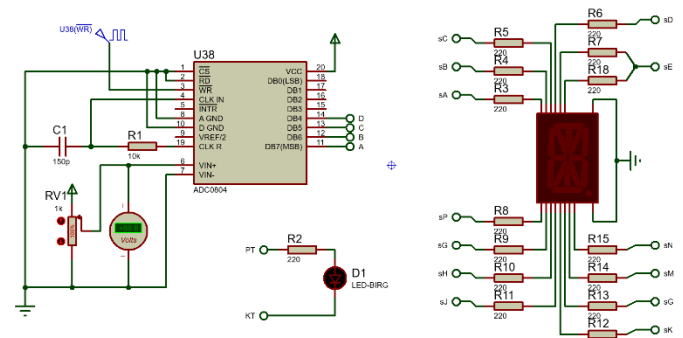


Ilustración 37. Diagrama esquemático

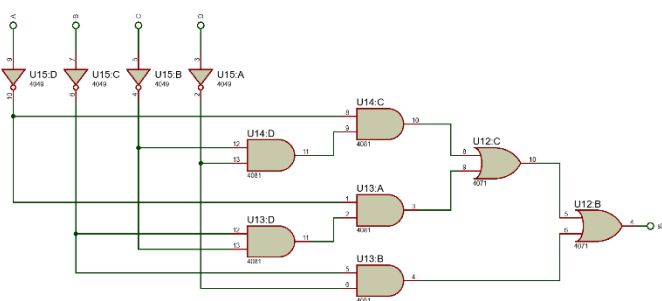
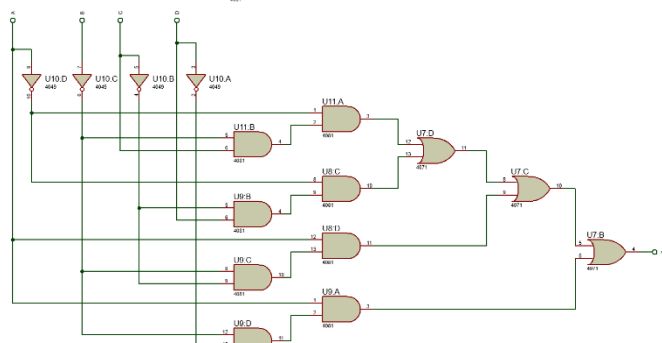
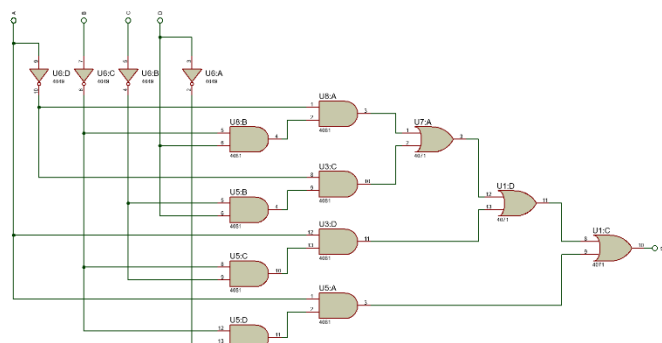
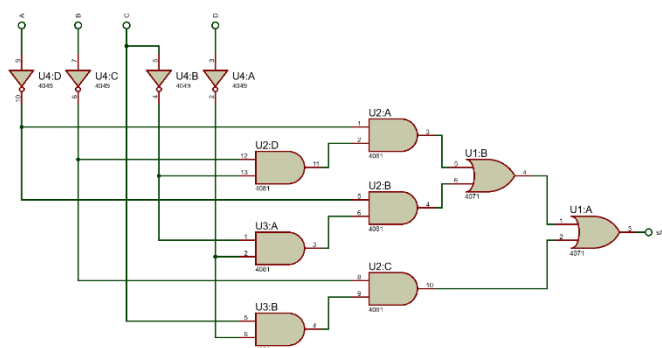


Ilustración 38. Segmentos A, B, C y D

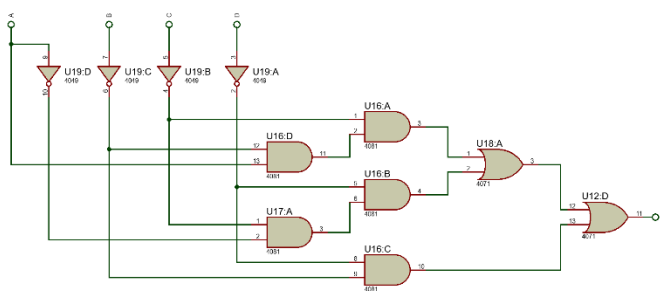


Ilustración 39. Segmento E y F equivalentes

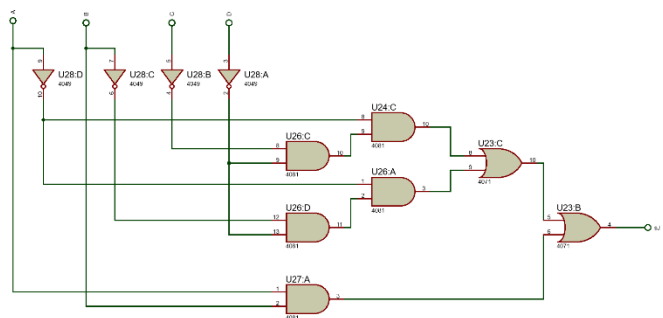
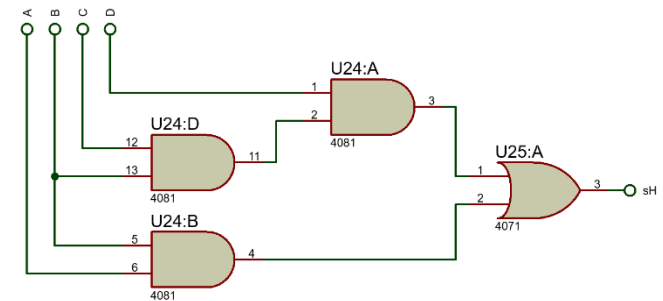
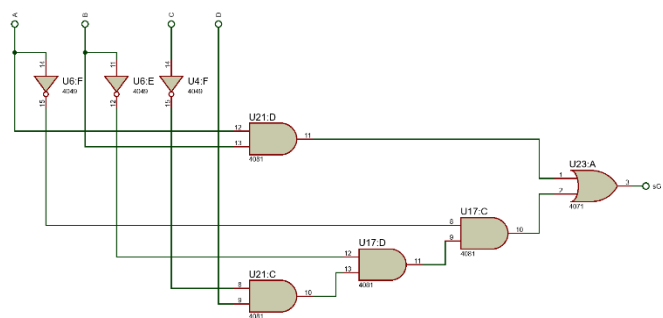


Ilustración 40. Segmentos G, H e I. Segmento L equivalente a G

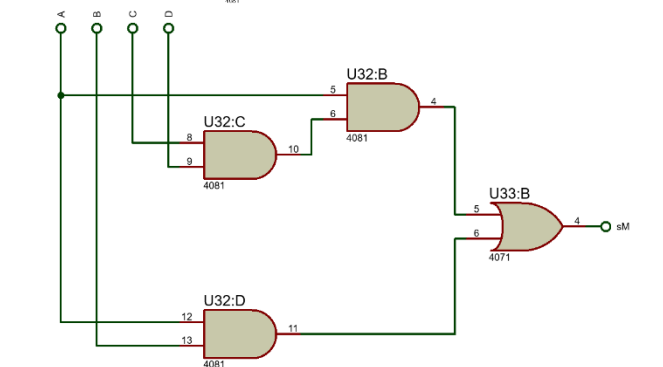
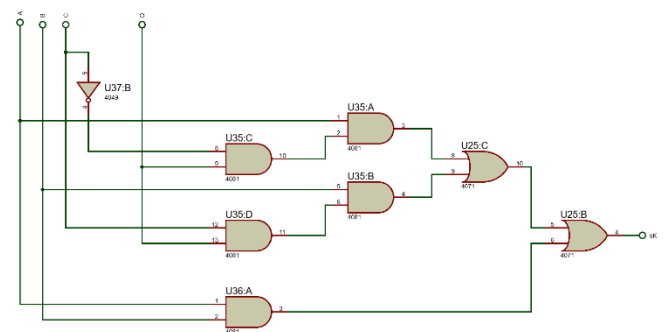


Ilustración 41. Segmento K y M

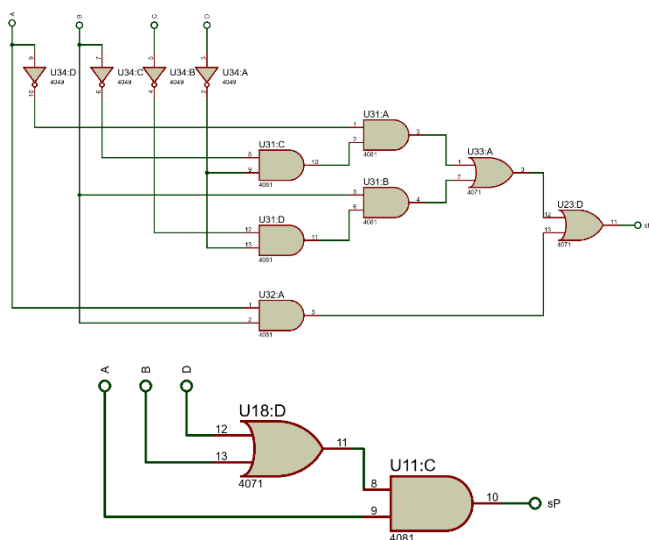


Ilustración 42. Segmento N y P

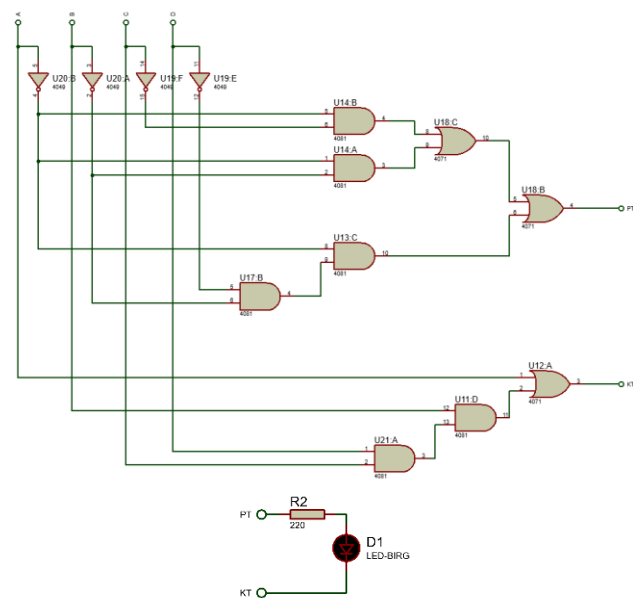


Ilustración 43. LED Bicolor

Para simular el comportamiento del Diseño esquemático se ilustrará a continuación la simulación del carácter inicial “E” con el LED Bicolor en Verde. Las demás simulaciones se encuentran anexadas secuencialmente al final del documento.

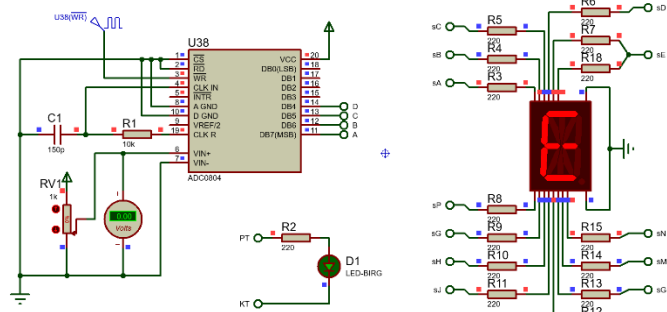


Ilustración 44. Simulación del carácter E

CONCLUSIÓN

Con el desarrollo del documento y la fundamentación teórica preliminar para llevar a cabo las etapas del laboratorio, se pudo corroborar experimentalmente la relación especial de algunos elementos en la generación de circuitos electrónicos lógicos a partir de la determinación de funciones lógicas derivadas del análisis, resolución e interpretación de los ítems del laboratorio en el que se tuvieron en cuenta tres elementos claves: el potenciómetro, el conversor de A/D, y el Display de cátodo común de 14 segmentos. Con el Potenciómetro y, a partir de una fuente de tensión continua (V_{DC}), se generan las señales analógicas de tensión que se mantienen en constante variación mediante la manipulación de la perrilla del potenciómetro. Gracias al conversor ADC0804 se facilita el procesamiento de la señal analógica a digital, la cual posibilita que la señal resultante (digital binaria) se emplee en conexión directa a los circuitos alternos de los 14 segmentos del Display. Con ello se logra que este y sus segmentos, enciendan o se apaguen respecto a la variación del potenciómetro, con el objetivo de que cada manipulación de tensión ilustre cada uno de los caracteres del mensaje especial, en el cual se omite el punto decimal conectándolo directamente a GND.

No fue de gran facilidad el acoplamiento final del esquemático, debido a que en la conexión de los circuitos unos tenían entradas negadas y otros sin negar, lo que dificultaba el ensamble electrónico para que todo fuese organizado y se tuviera una buena distribución del espacio de trabajo, ya que uno de los detalles de mayor cuidado era la implementación de los circuitos en cascada para que las salidas generarán la función correcta. No obstante, el diseño propuesto cumplió a cabalidad con los ítems solicitados, teniendo en cuenta el comportamiento real y práctico de un conversor A/D y de la gran influencia del potenciómetro para variar la tensión de la entrada analógica y al final mostrar efectivamente el mensaje: EDG1E1 (UNO)***.

Se consultó en manuales técnicos las especificaciones técnicas de los componentes utilizados para llevar a cabo los ítems del laboratorio. Entre ellos, los más importantes: el Display de 14 segmentos y el Conversor ADC0804. La consulta se realizó con el objetivo de hacer de manera efectiva los montajes, además de alimentar correctamente el circuito integrado y se tuvo una gran administración de la hoja de trabajo para simular el comportamiento real de la aplicación. Para analizar dicho comportamiento, corroborar la veracidad en el montaje y generar el diseño final, se utilizó Proteus 8. Posterior al montaje y a corroborar los resultados, como equipo de trabajo se entiende la sutil importancia de la electrónica digital en el desarrollo humano en cuanto a avances tecnológicos de óptimo funcionamiento teniendo en cuenta una mayor eficiencia, precisión y estabilidad que los sistemas analógicos.

REFERENCIAS

- [1] Tomas L. Floyd, Principios de Circuitos Eléctricos, Octava edición, Libro virtual en formato PDF, PEARSON EDUCATION [editorial].
- [2] Tomas L. Floyd, Fundamentos de Sistemas Digitales, Novena edición, Libro virtual en formato PDF, PEARSON EDUCATION [editorial].
- [3] Display de 14 segmentos. [Página web]. https://es.qaz.wiki/wiki/Fourteen-segment_display.
- [4] ADC0804 [Alldatasheet]. Disponible en: <https://n9.cl/e4gmz>.

ANEXOS

Se ilustrarán las simulaciones de cada una de las representaciones del Display ilustrando el mensaje específico solicitado en el laboratorio.

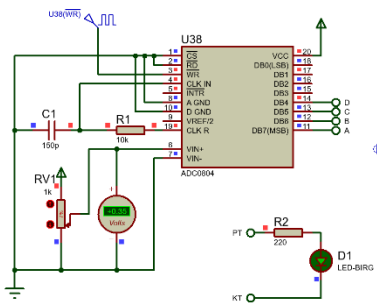


Ilustración 45. Simulación del carácter D (Verde)

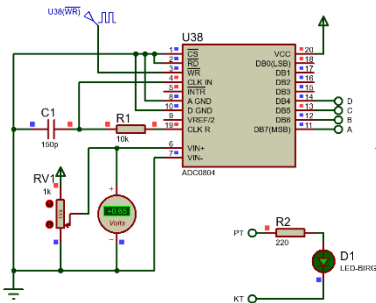


Ilustración 46. Simulación del carácter G (Verde)

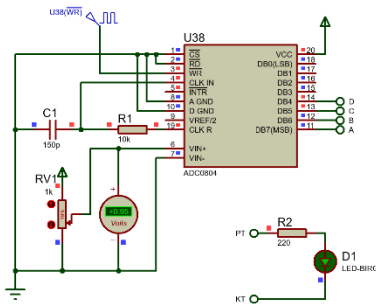


Ilustración 47. Simulación del carácter I (Verde)

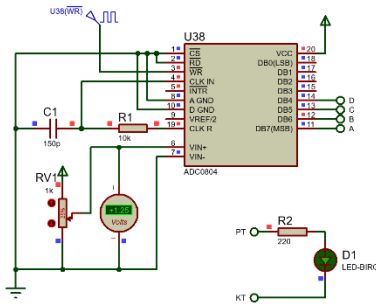


Ilustración 48. Simulación del carácter E (Verde)

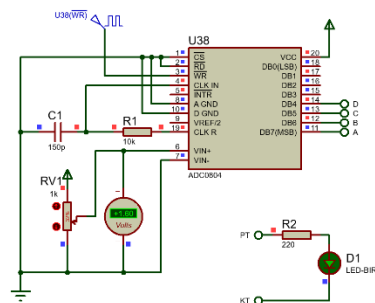
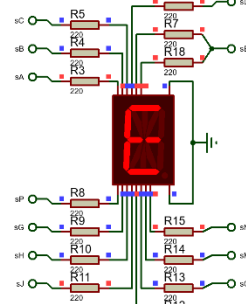
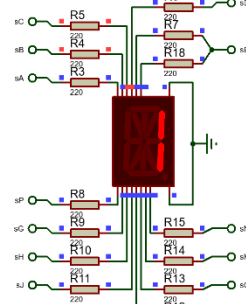
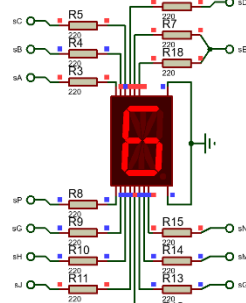
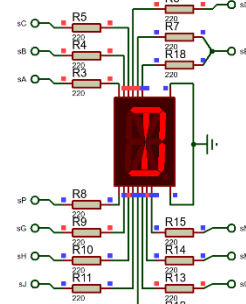


Ilustración 49. Simulación del carácter 1 (Verde)

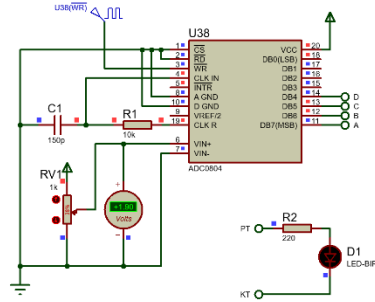


Ilustración 50. Simulación del espacio en blanco (OFF)

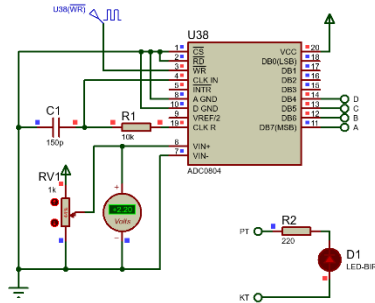


Ilustración 51. Simulación del paréntesis (Rojo)

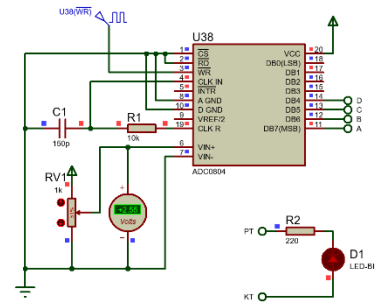
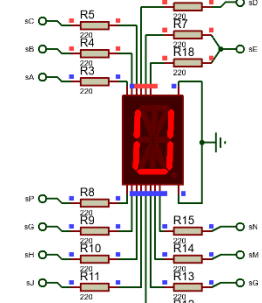
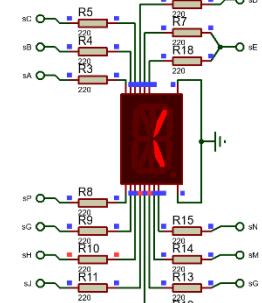
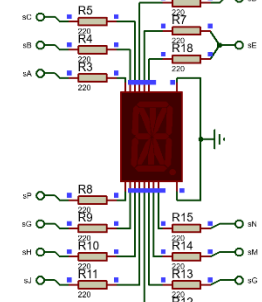
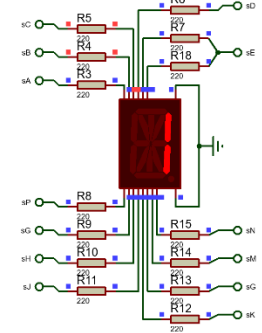


Ilustración 52. Simulación del carácter U (Rojo)



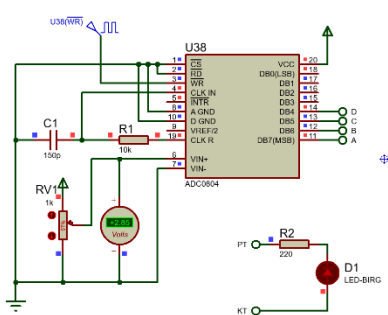


Ilustración 53. Simulación del carácter N (Rojo)

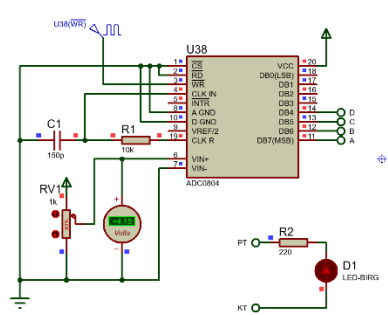
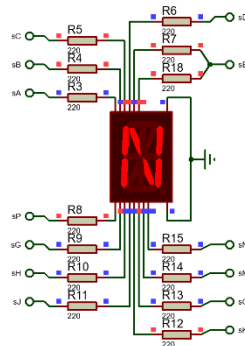


Ilustración 57. Simulación del asterisco (Rojo)

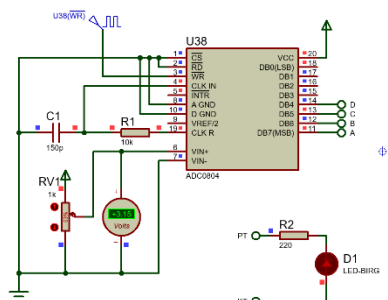
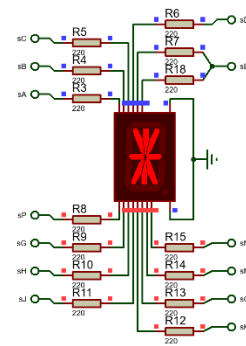


Ilustración 54. Simulación del carácter O (Rojo)

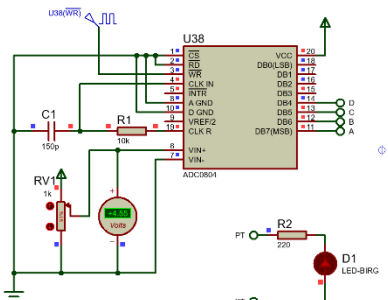
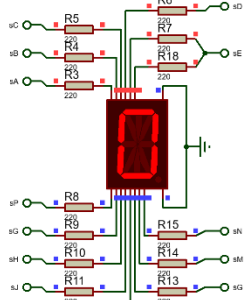


Ilustración 58. Simulación del asterisco (Rojo)

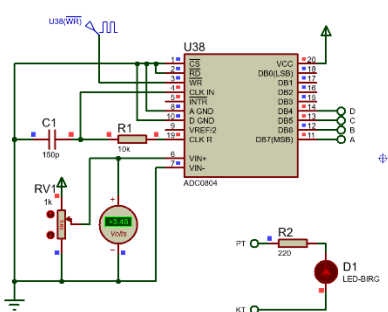
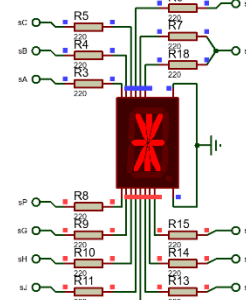


Ilustración 55. Simulación del paréntesis (Rojo)

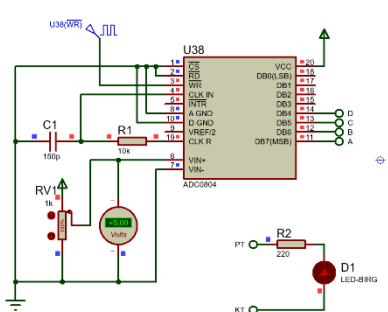
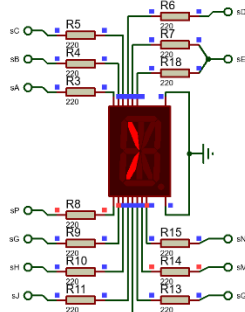


Ilustración 59. Simulación del asterisco (Rojo)

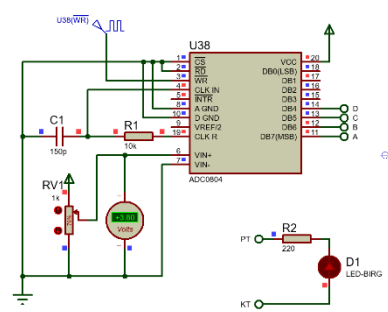
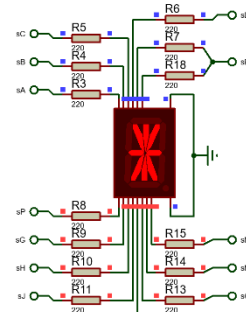
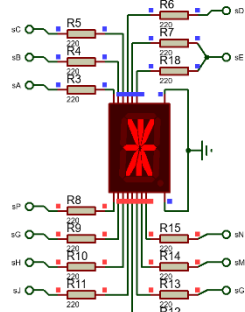
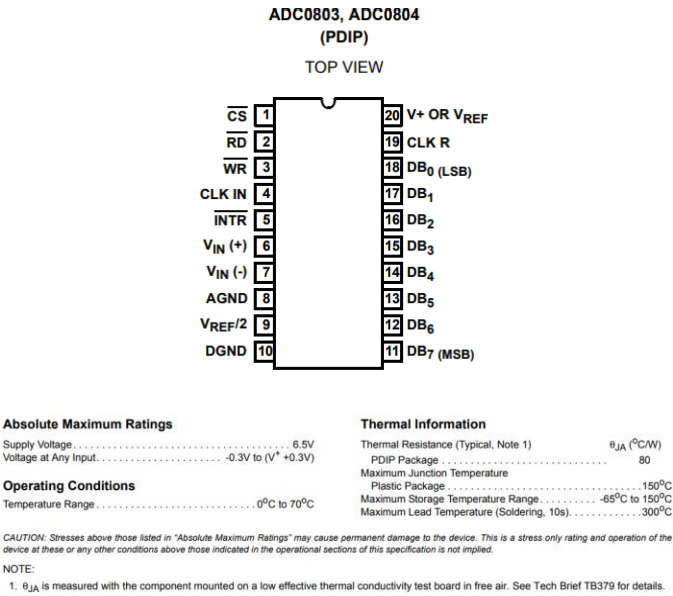


Ilustración 56. Simulación del asterisco (Rojo)



La familia ADC080X son convertidores A/D CMOS de 8 bits de aproximación sucesiva que utilizan una escalera de potencias modificada y están diseñados para operar con el 8080A a través de salidas de tres estados.

Estos convertidores aparecen ante el procesador como posiciones de memoria o puertos de E/S, y por lo tanto no se requiere lógica de interfaz. La entrada de tensión analógica diferencial tiene un buen rechazo de modo común y permite compensar el valor de tensión analógica de entrada cero. Además, la entrada de referencia de tensión se puede para permitir la codificación de cualquier intervalo de tensión analógica más pequeño a los 8 bits de resolución. [4]



Electrical Specifications (Notes 2, 8)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
CONVERTER SPECIFICATIONS V ⁺ = 5V, T _A = 25°C and f _{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error					
ADC0803	V _{REF/2} Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	V _{REF/2} = 2.500V	-	-	±1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 3)	GND-0.05	-	(V ⁺) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/16	±1/8	LSB
Power Supply Sensitivity	V ⁺ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
CONVERTER SPECIFICATIONS V ⁺ = 5V, 0°C to 70°C and f _{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error					
ADC0803	V _{REF/2} Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	V _{REF/2} = 2.500V	-	-	±1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 3)	GND-0.05	-	(V ⁺) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/8	±1/4	LSB
Power Supply Sensitivity	V ⁺ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
AC TIMING SPECIFICATIONS V ⁺ = 5V, and T _A = 25°C, Unless Otherwise Specified					
Clock Frequency, f _{CLK}	V ⁺ = 6V (Note 4)	100	640	1280	kHz
	V ⁺ = 5V	100	640	800	kHz
Clock Periods per Conversion (Note 5), t _{CONV}		62	-	73	Clocks/Conv
Conversion Rate In Free-Running Mode, CR	INTR tied to WR with CS = 0V, f _{CLK} = 640kHz	-	-	8888	Conv/s
Width of WR Input (Start Pulse Width), t _{W(WR)}	CS = 0V (Note 6)	100	-	-	ns
Access Time (Delay from Falling Edge of RD to Output Data Valid), t _{ACC}	C _L = 100pF (Use Bus Driver IC for Larger C _L)	-	135	200	ns
Three-State Control (Delay from Rising Edge of RD to Hi-Z State), t _{HH} , t _{HL}	C _L = 10pF, R _L = 10K (See Three-State Test Circuits)	-	125	250	ns
Delay from Falling Edge of WR to Reset of INTR, t _{WI} , t _{RI}		-	300	450	ns
Input Capacitance of Logic Control Inputs, C _{IN}		-	5	-	pF
Three-State Output Capacitance (Data Buffers), C _{OUT}		-	5	-	pF

Ilustración 60. ADC0804 Especificaciones técnicas (Datasheet) [4]

Electrical Specifications (Notes 2, 8) (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DC DIGITAL LEVELS AND DC SPECIFICATIONS V ⁺ = 5V, and T _{MIN} to T _{MAX} , Unless Otherwise Specified					
CONTROL INPUTS (Note 7)					
Logic "1" Input Voltage (Except Pin 4 CLK IN), V _{INH}	V ⁺ = 5.25V	2.0	-	V ⁺	V
Logic "0" Input Voltage (Except Pin 4 CLK IN), V _{NIL}	V ⁺ = 4.75V	-	-	0.8	V
CLK IN (Pin 4) Positive Going Threshold Voltage, V _{+CLK}		2.7	3.1	3.5	V
CLK IN (Pin 4) Negative Going Threshold Voltage, V _{-CLK}		1.5	1.8	2.1	V
CLK IN (Pin 4) Hysteresis, V _H		0.6	1.3	2.0	V
Logic "1" Input Current (All Inputs), I _{INH}	V _{IN} = 5V	-	0.005	1	μA
Logic "0" Input Current (All Inputs), I _{NLO}	V _{IN} = 0V	-1	-0.005	-	μA
Supply Current (Includes Ladder Current), I ₊	f _{CLK} = 640kHz, T _A = 25°C and CS = HI	-	1.3	2.5	mA
DATA OUTPUTS AND INTR					
Logic "0" Output Voltage, V _{OL}	I _O = 1.6mA, V ⁺ = 4.75V	-	-	0.4	V
Logic "1" Output Voltage, V _{OH}	I _O = -360μA, V ⁺ = 4.75V	2.4	-	-	V
Three-State Disabled Output Leakage (All Data Buffers), I _{LO}	V _{OUT} = 0V	-3	-	-	μA
	V _{OUT} = 5V	-	-	3	μA
Output Short Circuit Current, I _{SOURCE}	V _{OUT} Short to GND, T _A = 25°C	4.5	6	-	mA
Output Short Circuit Current, I _{SINK}	V _{OUT} Short to V ⁺ , T _A = 25°C	9.0	16	-	mA

Ilustración 61. ADC0804 Especificaciones técnicas (Datasheet) [4]

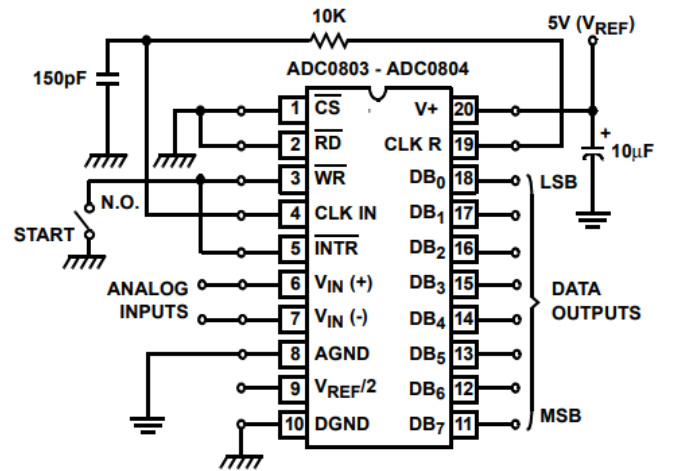


Ilustración 62. Conexión convertor A/D [4]