



中山大學  
SUN YAT-SEN UNIVERSITY



# 计算机组成原理

## 第五章：存储器层次结构

中山大学计算机学院  
陈刚

2022年秋季

# 补充题

1. 假定8位计算机具有24 位地址A<sub>23</sub>-A<sub>0</sub>，按其最大寻址能力配置主存储器，采用字节编址方式，请回答下列问题：

- 存储器的容量是多少？
- 如果用2M×1 位的存储器芯片构造该存储器，共需多少个芯片？
- 该存储器需要多少个片选信号？用哪几位地址信号生成这些片选信号？

2、某CPU地址线A<sub>15</sub> ~ A<sub>0</sub>，数据线D<sub>7</sub> ~ D<sub>0</sub>，WR为读/写信号，MREQ为访存请求信号。0000H ~ 3FFFH为系统程序区，4000H ~ FFFFH为用户程序区。请用8K×4位ROM芯片和16K×8位RAM芯片构成该存储器，要求说明地址译码方案，并画出ROM芯片、RAM芯片与CPU的连接。

# 补充题

假定8位计算机具有24 位地址A23-A0，按其最大寻址能力配置主存储器，采用字节编址方式，请回答下列问题：

□ 存储器的容量是多少？

□ 24位地址→地址空间是 $2^{24}$  Byte→16MB；

□ 如果用 $2M \times 1$  位的存储器芯片构造该存储器，共需多少个芯片？

□ 字扩展： $16/2=8$

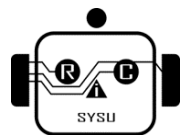
□ 位扩展： $8/1=8$

□  $8 \times 8 = 64$

□ 该存储器需要多少个片选信号？用哪几位地址信号生成这些片选信号？

□ 字扩展：8列，每一列需要并接8个芯片的CS

□ 2M需要连接A20-A0， 高3位用于编码生成片选信号：A23-A21



# 补充题

□2、某CPU地址线 $A_{15} \sim A_0$ ，数据线 $D_7 \sim D_0$ ，WR为读/写信号，MREQ为访存请求信号。0000H~3FFFH为系统程序区，4000H~FFFFH为用户程序区。请用8K×4位ROM芯片和16K×8位RAM芯片构成该存储器，要求说明地址译码方案，并画出ROM芯片、RAM芯片与CPU的连接。

A15-A12   A11-A8   A7-A4   A3-A0

系统： 00|00        0000    0000    0000

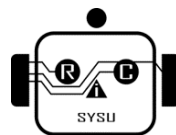
      00|11        1111    1111    1111

系统容量：  $2^{14}=16\text{KB} \rightarrow 16/8 * 8/2 = 4$ 片8K×4位ROM

用户： 01|00        0000    0000    0000

      11|11        1111    1111    1111

用户容量：  $64\text{KB}-16\text{KB}=48\text{KB}$   $48/16=3$ 片16K×8位RAM



# 补充题

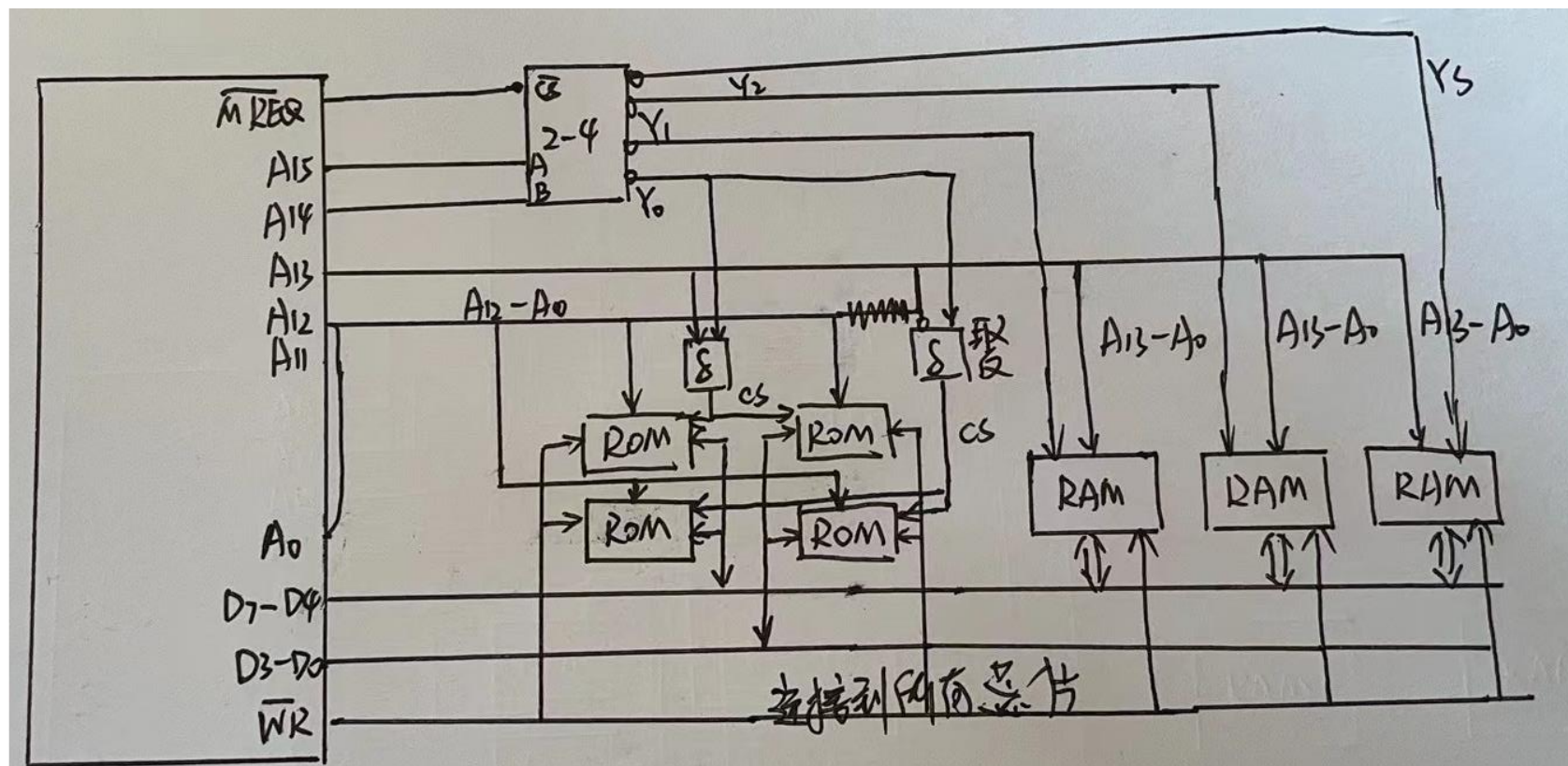
A15-A12 A11-A8 A7-A4 A3-A0

系统: 0000      0000    0000    0000

0011      1111    1111    1111    系统容量:  $2^{14}=16\text{KB} \rightarrow 16/8 * 8/2 = 4\text{片} 8\text{K} \times 4\text{位ROM}$

用户: 0100      0000    0000    0000

1111      1111    1111    1111    用户容量:  $64\text{KB}-16\text{KB}=48\text{KB}$   $48/16=3\text{片} 16\text{K} \times 8\text{位RAM}$



# 课堂练习

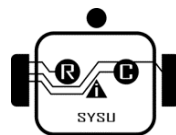
□ 某计算机的主存地址空间中，从地址 $0000_{16}$ 到 $3FFF_{16}$ 为ROM存储区域，从 $4000_{16}$ 到 $7FFF_{16}$ 为保留地址区域，暂时不用，从 $8000_{16}$ 到 $FFFF_{16}$ 为RAM地址区域。RAM的控制信号为CS#和WE#，CPU的地址线为A15~A0，数据线为8位的线路D7~D0，控制信号有读写控制R/W#和访存请求MREQ#，要求：

(1) 画出地址译码方案

(2) 如果ROM和RAM存储器芯片都采用 $8K \times 1$ 的芯片，试画出存储器与CPU的连接图。

(3) 如果ROM存储器芯片采用 $8K \times 8$ 的芯片，RAM存储器芯片采用 $4K \times 8$ 的芯片，试画出存储器与CPU的连接图。

(4) 如果ROM存储器芯片采用 $16K \times 8$ 的芯片，RAM存储器芯片采用 $8K \times 8$ 的芯片，试画出存储器与CPU的连接图。



# 确定地址分配

考虑地址连续，设计ROM占用前16KB,地址范围0 ~ 3FFFFH;  
RAM占用后32KB,地址范围8000 ~ 0FFFFH。

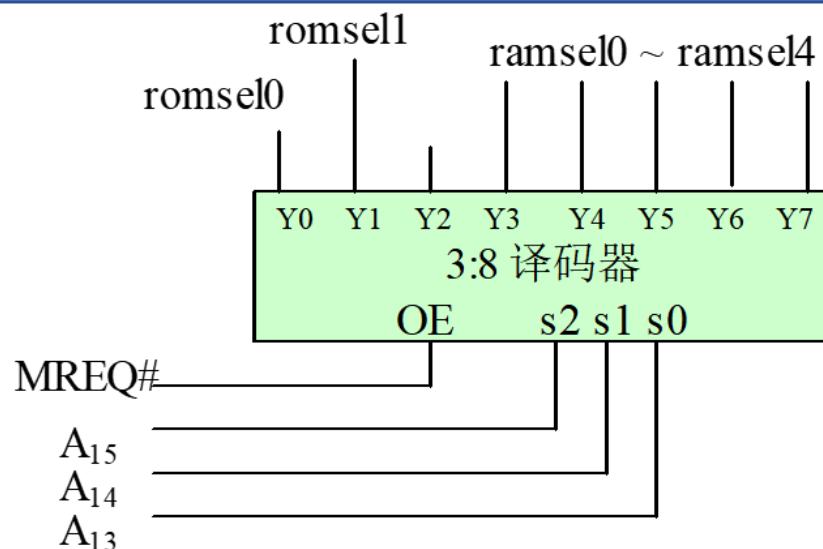
画出地址分配表和地址位图

芯片编号	类型与容量	地址范围
0	ROM 8KB	0000H~1FFFFH
1	ROM 8KB	2000H~3FFFFH
4	RAM 8KB	8000H~9FFFFH
5	RAM 8KB	A000H~BFFFFH
6	RAM 8KB	C000H~DFFFFH
7	RAM 8KB	E000H~FFFFFFH

片间地址线			片内地址线
A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub> ~A <sub>0</sub>
0	0	0	0号ROM芯片
0	0	1	1号
0	1	0	2号
0	1	1	3号
1	0	0	4号RAM芯片
1	0	1	5号
1	1	0	6号
1	1	1	7号

# (1) 画出地址译码方案

• 解: (1)



译码器的输出信号逻辑表达式为:

$$\text{romsel0} = \overline{A_{15}} * \overline{A_{14}} * \overline{A_{13}} * \overline{MREQ\#}$$

$$\text{romsel1} = \overline{A_{15}} * \overline{A_{14}} * A_{13} * \overline{MREQ\#}$$

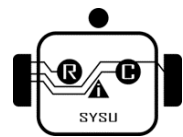
$$\text{ramsel0} = \overline{A_{15}} * A_{14} * \overline{A_{13}} * \overline{MREQ\#}$$

$$\text{ramsel1} = A_{15} * \overline{A_{14}} * \overline{A_{13}} * \overline{MREQ\#}$$

$$\text{ramsel2} = A_{15} * \overline{A_{14}} * A_{13} * \overline{MREQ\#}$$

$$\text{ramsel3} = A_{15} * A_{14} * \overline{A_{13}} * \overline{MREQ\#}$$

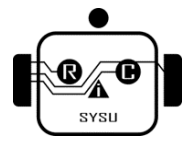
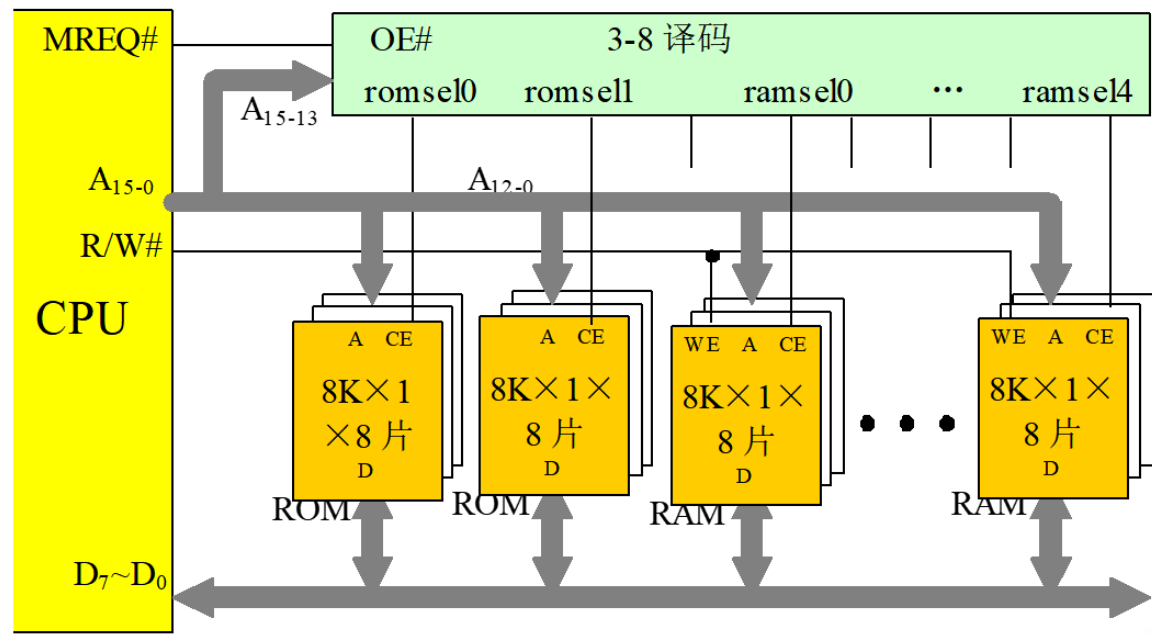
$$\text{ramsel4} = A_{15} * A_{14} * A_{13} * \overline{MREQ\#}$$





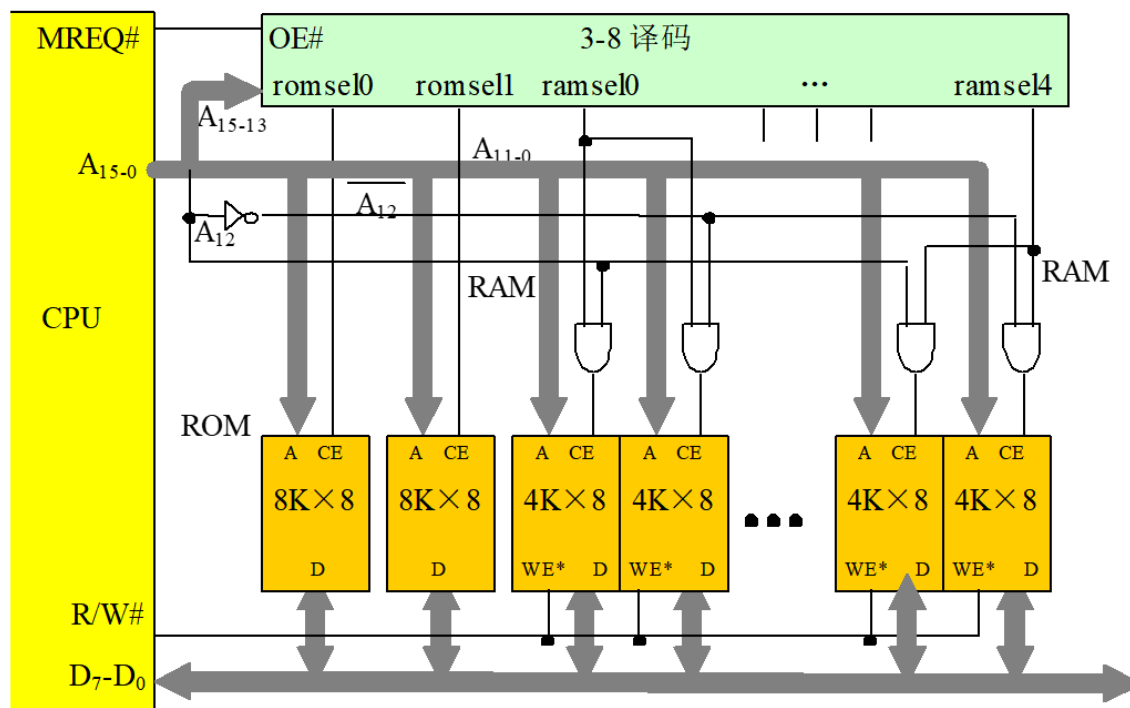
(2) 如果ROM和RAM存储器芯片都采用 $8K \times 1$ 的芯片，试画出存储器与CPU的连接图。

解：(2) 8KB的存储区域可以用8片存储器芯片构成一组实现。 $8K \times 1$ 的存储器芯片的地址线需要13条，即 $A_{12} \sim A_0$ 。



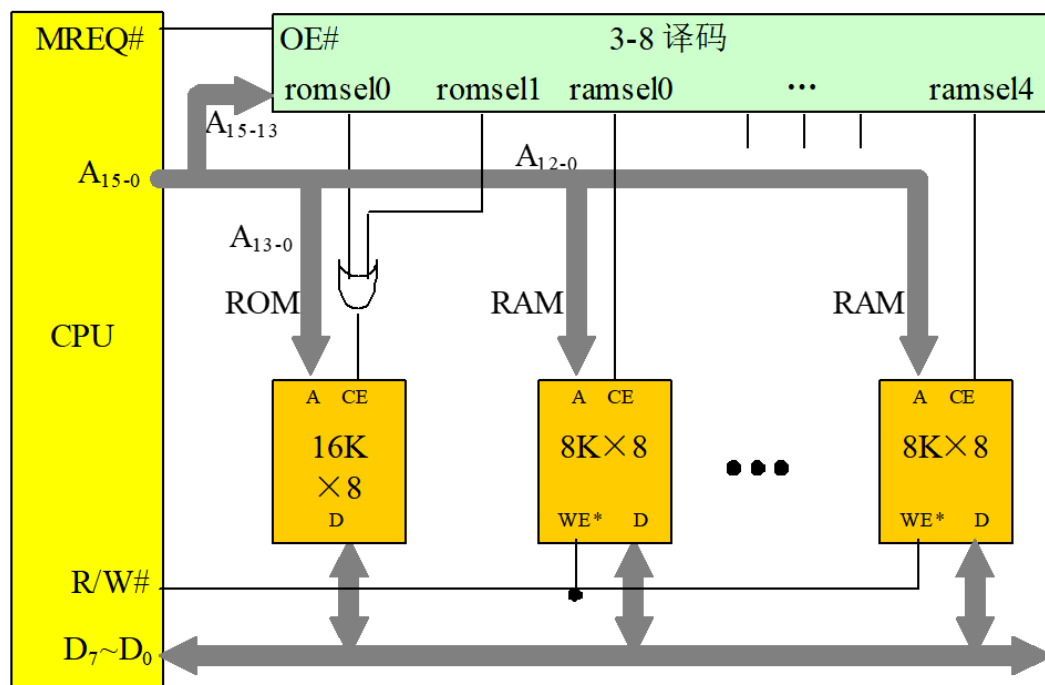
(3) 如果ROM存储器芯片采用 $8K \times 8$ 的芯片，RAM存储器芯片采用 $4K \times 8$ 的芯片，试画出存储器与CPU的连接图。

解： (3)



(4) 如果ROM存储器芯片采用16K×8的芯片，RAM存储器芯片采用8K×8的芯片，试画出存储器与CPU的连接图。

解： (4)



# 联系方式

## □ Acknowledgements:

## □ This slides contains materials from following lectures:

- Computer Architecture (ETH, NUDT, USTC, SYSU)

## □ Research Area:

- 计算机视觉与机器人应用计算加速,
- 人工智能和深度学习芯片及智能计算机

## □ Contact:

- 中山大学计算机学院
- 管理学院D101 (图书馆右侧)
- 机器人与智能计算实验室
- [cheng83@mail.sysu.edu.cn](mailto:cheng83@mail.sysu.edu.cn)

