



中山大學  
SUN YAT-SEN UNIVERSITY



# 计算机组成原理

## 第五章：存储器层次结构

中山大学计算机学院  
陈刚

2022年秋季

# 上讲回顾

## 回顾内容

### ■ 5.1 存储器概述

#### ◆ 计算机中的存储器

- 信息的存储、传送、处理单位的概念

#### ◆ 存储器分类

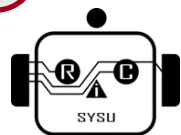
- 可按存储介质/存取方式/可保存性/作用来分

#### ◆ 内存的主要技术指标

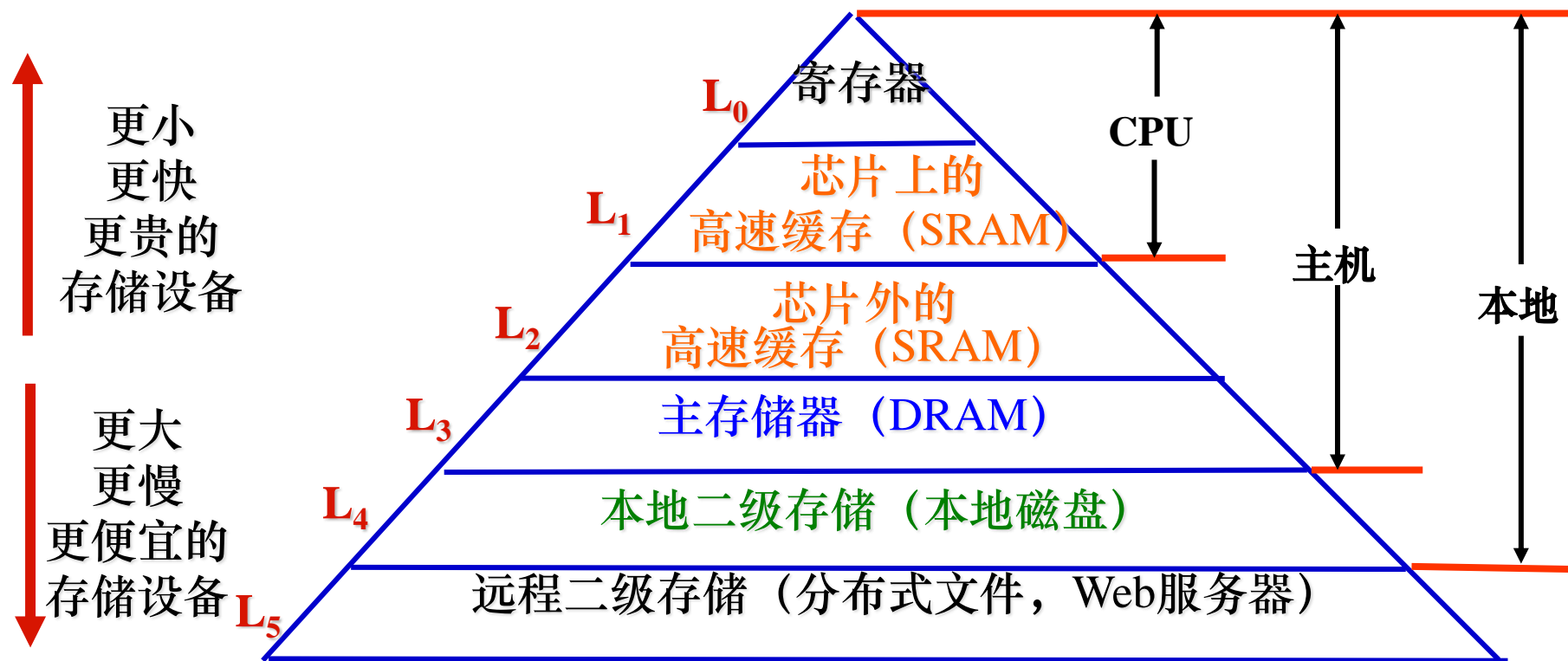
#### ◆ 半导体存储器随机访问存储器

- SRAM的基本原理及其特点
- DRAM的基本原理及其特点

### ■ RAM芯片组织



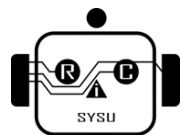
# 回顾——5.1.2 存储器的层次结构



# 回顾——5.1.4 随机存取存储器RAM

## SRAM和DRAM存储器的特性

	DRAM	SRAM
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
速度	慢(10X)	快(1X)
价格	低(1X)	高(100X)
刷新	有	无
应用	主存、帧缓冲区	高速缓存存储器



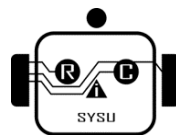
## 5.2.1 主存储器逻辑设计

### ——基本原则与容量扩展

# 5.2.1 主存储器逻辑设计

## □ 主存储器 (Main Memory) 的设计

- 目的：利用半导体存储芯片和其它逻辑芯片，构成所需要的存储器
  - 由存储芯片 ( $mK \times n$ 位/片) 构成存储器 ( $MK \times N$ 位)
  - 其它逻辑芯片：例如地址寄存器、地址译码器、刷新控制电路等



# 5.2.1 主存储器逻辑设计

## □ 存储器设计基本原则

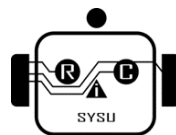
➤ 根据**使用要求**，结合**实际条件**进行设计，使其具有良好性能价格比

### ◆ 使用要求

- 存储器的性质：主存、Cache、CM
- ✓ 分别选择DRAM、SRAM、ROM
- 存储器的性能指标：速度、容量、字长
- 存储器的环境条件：温度、湿度、船载、机载

### ◆ 实际条件

- 现有芯片：集成度、速度、功耗、字位结构
- 技术条件：测试条件、设计水平
- 生产工艺：测试、组装、加工等技术水平



# 5.2.1 主存储器逻辑设计

## □ 设计步骤

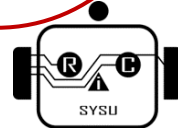
### 1. 系统设计 (提出总体方案)

#### □ 提出存储器的性能指标和功能要求

- 字长、容量、存取时间、存储周期、使用场合
- 总线宽度、控制方式、纠检错能力、环境条件

#### □ 确定存储结构组成、外围电路、芯片类型

- 存储芯片类型: SRAM、DRAM、ROM
- 外围芯片类型: ECL、TTL、CMOS等
- 选址方法: 重合法、线选法
- 系统结构: 多体、单体, 编址方式





# 5.2.1 主存储器逻辑设计

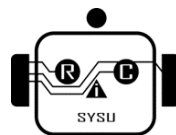
## □ 设计步骤

1. 系统设计(提出总体方案)



2. 逻辑设计(实施总体方案)

- 容量扩展
- 负载计算与分析
- 速度估算
- 纠检错逻辑设计：提高可靠性确定存储结构组成、外围电路、芯片类型



# 5.2.1 主存储器逻辑设计

## □ 设计步骤

1. 系统设计(提出总体方案)

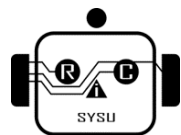


2. 逻辑设计(实施总体方案)



3. 工艺设计(工程实现)

- 印刷电路板的尺寸、层次、走线要求
- 机加工、电装配的要求
- 工艺规程、考核条件
- 器件老化、测试、筛选条件及参数的确定



# 5.2.1 主存储器逻辑设计

## □ 设计步骤

1. 系统设计(提出总体方案)




2. 逻辑设计(实施总体方案)



3. 工艺设计(工程实现)

**重点!**

- 
1. 容量扩展
  2. 负载计算与分析
  3. 速度估算

# 5.2.1 主存储器逻辑设计

## 1. 存储容量的扩展

### □ 位扩展

- 存储芯片( $m \times n$ 位/片)构成存储器( $m \times N$ 位)

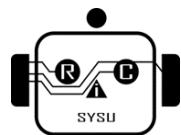
### □ 字扩展

- 存储芯片( $m \times n$ 位/片)构成存储器( $M \times n$ 位)

### □ 字位同时扩展

- 存储芯片( $m \times n$ 位)构成存储器( $M \times N$ 位)

注意:  $m < M, n < N$

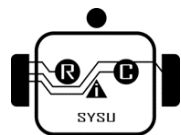


# 5.2.1 主存储器逻辑设计

## 1. 存储容量的扩展

### □ 位扩展

- 存储芯片( $m \times n$ 位/片)构成存储器( $m \times N$ 位)
- **特点：**字数不变(存储单元个数不变)，位数扩展(字长加长)
  - 芯片地址码位数与存储器的地址码位数相同
  - 每个存储单元中所含存储位元数增加,给出地址后，该存储单元中所含芯片均工作

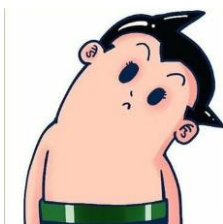


# 5.2.1 主存储器逻辑设计

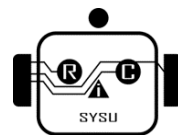
## 1. 存储容量的扩展

### □ 位扩展

- 存储芯片( $m \times n$ 位/片)构成存储器( $m \times N$ 位)
- **特点:** 字数不变(存储单元个数不变), 位数扩展(字长加长)
  - 芯片地址码位数与存储器的地址码位数相同
  - 每个存储单元中所含存储位元数增加, 给出地址后, 该存储单元中所含芯片均工作



需要多少片  
存储芯片呢?



# 5.2.1 主存储器逻辑设计

## 1. 存储容量的扩展

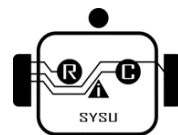
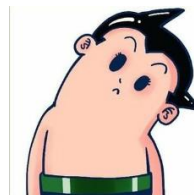
### □ 位扩展

- 存储芯片( $m \times k \times n$ 位/片)构成存储器( $m \times k \times N$ 位)
- **特点：**字数不变(存储单元个数不变)，位数扩展(字长加长)
  - 芯片地址码位数与存储器的地址码位数相同
  - 每个存储单元中所含存储位元数增加,给出地址后,该存储单元中所含芯片均工作
  - 需存储芯片数： $\lceil N/n \rceil$ 片

例：由  $16K \times 6$  位芯片组装成  $16K \times 32$  位存储器需要：

$$\lceil 32/6 \rceil = 6(\text{片})$$

此例需要多少芯片呢？

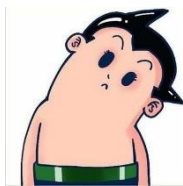


# 5.2.1 主存储器逻辑设计

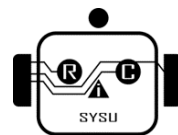
## 1. 存储容量的扩展

### □ 位扩展

- 存储芯片( $m \times k \times n$ 位/片)构成存储器( $m \times k \times N$ 位)
- **特点:** 字数不变(存储单元个数不变), 位数扩展(字长加长)
  - 芯片地址码位数与存储器的地址码位数相同
  - 每个存储单元中所含存储位元数增加, 给出地址后, 该存储单元中所含芯片均工作
  - 需存储芯片数:  $\lceil N/n \rceil$ 片
  - 芯片间各端点(引脚)如何连接?



需要考虑哪些  
引脚信号?



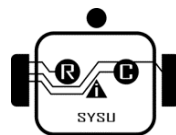


## 5.2.1 主存储器逻辑设计

### 1. 存储容量的扩展

#### □ 位扩展

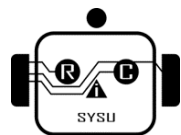
- 存储芯片( $m \times k \times n$ 位/片)构成存储器( $m \times k \times N$ 位)
- **特点**: 字数不变(存储单元个数不变), 位数扩展(字长加长)
  - 芯片地址码位数与存储器的地址码位数相同
  - 每个存储单元中所含存储位元数增加, 给出地址后, 该存储单元中所含芯片均工作
  - 需存储芯片数:  $\lceil N/n \rceil$ 片
  - 芯片间各端点(引脚)如何连接?
    - ◆ 地址端、 $-\text{CS}$ 、 $-\text{WE}$ : 分别并接
    - ◆ 数据输入、输出端: 各位单独引出



# 5.2.1 主存储器逻辑设计

## ■位扩展

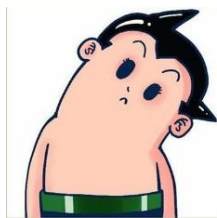
例：用 $1024 \times 4$ 位芯片构成 $1K \times 8$ 位存储器需几个芯片？地址范围各是多少？



# 5.2.1 主存储器逻辑设计

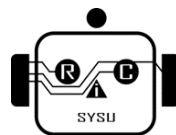
## ■位扩展

例：用 $1024 \times 4$ 位芯片构成 $1K \times 8$ 位存储器需几个芯片？地址范围各是多少？



需要几个芯片？

解：位方向扩展2倍，字方向无需扩展。即2个芯片



# 5.2.1 主存储器逻辑设计

## ■位扩展

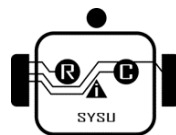
例：用 $1024 \times 4$ 位芯片构成 $1K \times 8$ 位存储器需几个芯片？地址范围各是多少？

地址范围分别  
是什么？



解：地址范围都一样：地址共10位， $000H \sim 3FFH$ ；全部作为片内地址

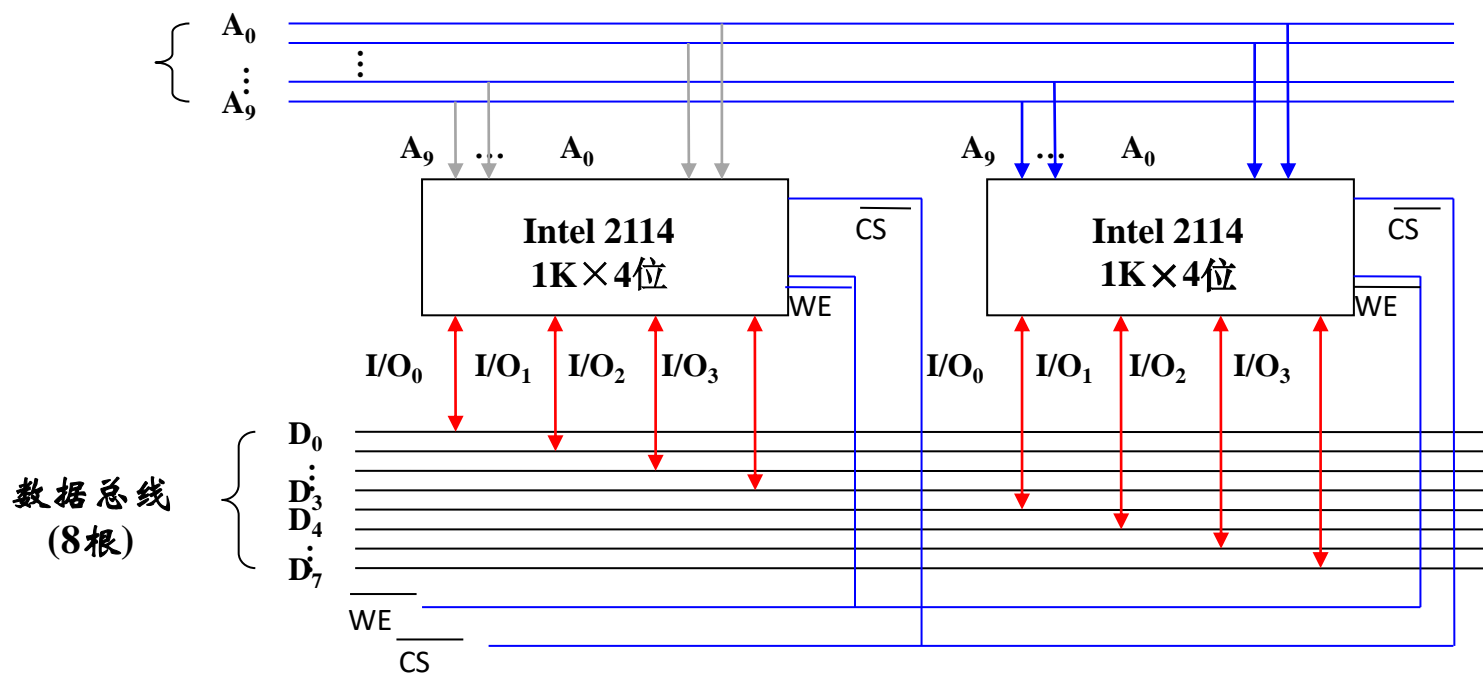
( $000H \sim 3FFH$ :  $0000\ 0000\ 0000_2 \sim 0011\ 1111\ 1111_2$ )



# 5.2.1 主存储器逻辑设计

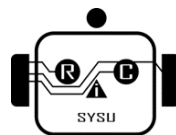
## ■ 位扩展(注意信号线的连接)

■ 芯片地址线及读/写控制线对应相接，而数据线单独引出，没有外部译码器



例：用1024×4位芯片构成1K×8位存储器需几个芯片？地址范围各是多少？

解：位方向扩展2倍，字方向不扩展，2个芯片，地址范围一样：000-3FFH地址共10位，全作为片内地址



# 5.2.1 主存储器逻辑设计

## 1. 存储容量的扩展

### □ 字扩展

- 存储芯片( $m \times n$ 位/片)构成存储器( $M \times n$ 位)
- **特点：**位数不变(字长不变)、扩充容量(存储单元个数增加);
  - 芯片地址码位数**小于**存储器的地址码位数
  - 芯片和存储器二者的存储单元中所含**位元数相同**
  - 给出地址后，选中芯片工作



# 5.2.1 主存储器逻辑设计

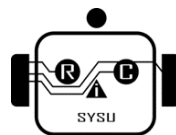
## 1. 存储容量的扩展

### □ 字扩展

- 存储芯片( $m_k \times n$ 位/片)构成存储器( $M_k \times n$ 位)
- 特点：位数不变(字长不变)、扩充容量(存储单元个数增加)；
  - 芯片地址码位数小于存储器的地址码位数
  - 芯片和存储器二者的存储单元中所含位元数相同
  - 给出地址后，选中芯片工作
- 需存储芯片数： $\lceil M/m \rceil$

例：由 $32K \times 8$ 位芯片组装成 $128K \times 8$ 位存储器需要：  
 $\lceil 128K/32K \rceil = 4$ (片)

此例需要多少芯片呢？

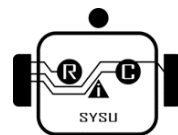


# 5.2.1 主存储器逻辑设计

## 1. 存储容量的扩展

### □ 字扩展

- 存储芯片( $m \times n$ 位/片)构成存储器( $M \times n$ 位)
- 特点：位数不变(字长不变)、扩充容量(存储单元个数增加)；
  - 芯片地址码位数小于存储器的地址码位数；芯片和存储器二者的存储单元中所含位元数相同；给出地址后，选中芯片工作
- 需存储芯片数： $\lceil M/m \rceil$
- 芯片间各端点如何连接
  - **A、-WE、数据输入输出端**：分别并接
  - **-CS**：单独引出，与增加的高位地址码(存储器地址码位数减芯片的地址码位数)的译码结果连接



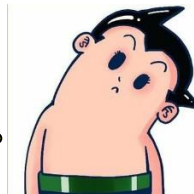


## 5.2.1 主存储器逻辑设计

### ■ 字扩展(注意信号线的连接)

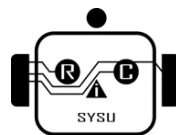
例：用 $2K \times 8$ 位芯片构成 $4K \times 8$ 位存储器需几个芯片？各个芯片的地址范围分别是多少？

地址范围分别是  
什么？



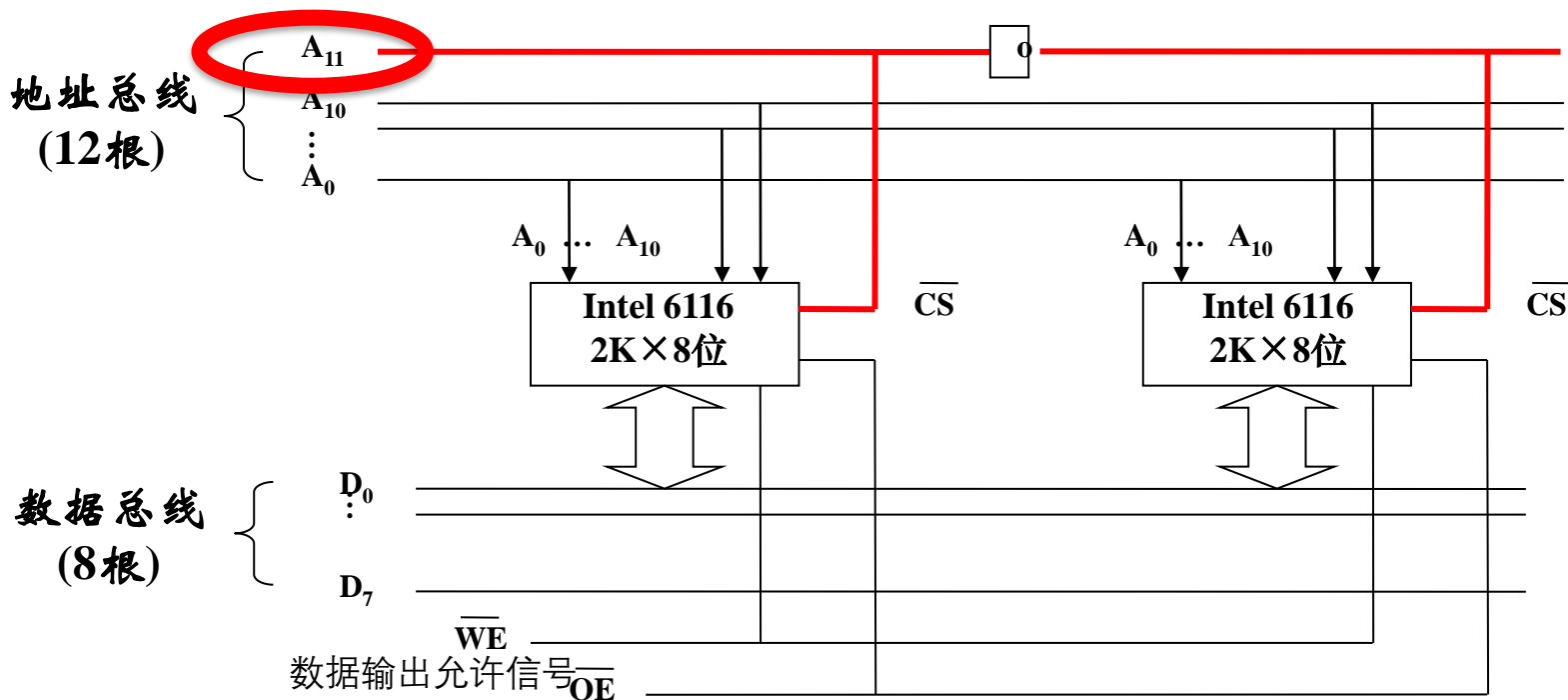
解：

- 字方向扩展2倍(需要2个芯片)
- 芯片内地址有11位； $4K$ 个存储单元共12位地址；
- 最高位地址信号由外部译码器译码生成2个输出，分别连到2个片选信号
- 2个芯片的地址范围分别为：**000H~7FFH**，**800H~FFFH**



## 字扩展(注意信号线的连接)

地址线、读/写控制线等对应相接，片选信号分别与外部译码器各输出端相连



**例：用2K×8位芯片构成4K×8位存储器需几个芯片？地址范围各是多少？**

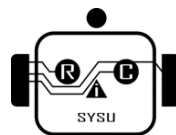
**解：字方向扩展2倍(2个芯片)。0000-7FFH, 800-FFFFH地址共12位，高位由外部译码器译码生成2个输出，分别连到2个片选信号，片内地址有11位**

# 5.2.1 主存储器逻辑设计

## 1. 存储容量的扩展

### □ 字、位同时扩展

- 存储芯片( $m \times k \times n$ 位/片)构成存储器( $M \times k \times N$ 位)
- **特点**: 存储单元个数, 字长同时增加, 即存储器地址码位数多于芯片地址码位数, 存储器存储单元中位数大于芯片存储单元中位数。给出地址后, 同行芯片均工作



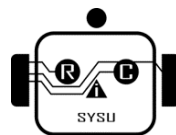
# 5.2.1 主存储器逻辑设计

## 1. 存储容量的扩展

### □ 字、位同时扩展

- 存储芯片( $m \times n$ 位/片)构成存储器( $M \times N$ 位)
- 特点：存储单元个数，字长同时增加，即存储器地址码位数多于芯片地址码位数，存储器存储单元中位数大于芯片存储单元中位数。给出地址后，同行芯片均工作
- 需存储芯片数： $\lceil M/m \rceil \lceil N/n \rceil$ 片

例：由 $16K \times 4$ 位芯片组装成 $128K \times 32$ 位存储器需要：  
 $\lceil 128K/16K \rceil \times \lceil 32/4 \rceil = 8 \times 8 = 64$ (片)

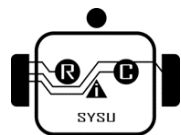


# 5.2.1 主存储器逻辑设计

## 1. 存储容量的扩展

### □ 字、位同时扩展

- 存储芯片( $m \times k \times n$ 位/片)构成存储器( $M \times N$ 位)
- 特点：存储单元个数，字长同时增加，即存储器地址码位数多于芯片地址码位数，存储器存储单元中位数大于芯片存储单元中位数。给出地址后，同行芯片均工作
- 需存储芯片数： $\lceil M/m \rceil \lceil N/n \rceil$ 片
- 芯片间各端点的连接
  - A、-WE：分别并接
  - -CS：位向(同行)并接，字向(不同行)独立引出
  - D、Q：位向(不同列)独立引出，字向(同列)并接

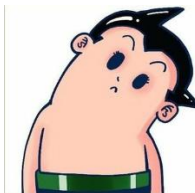


## 5.2.1 主存储器逻辑设计

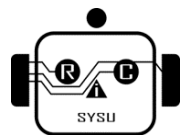
### ■字、位同时扩展

例：用 $1K \times 4$ 位芯片构成 $4K \times 8$ 位存储器需几个芯片，地址范围各是多少？

需要多少芯片呢？



解：字向扩展4倍、位向扩展2倍，需要8个芯片



# 5.2.1 主存储器逻辑设计

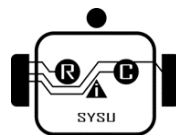
## ■字、位同时扩展

例：用1K×4位芯片构成4K×8位存储器需几个芯片，地址范围各是多少？

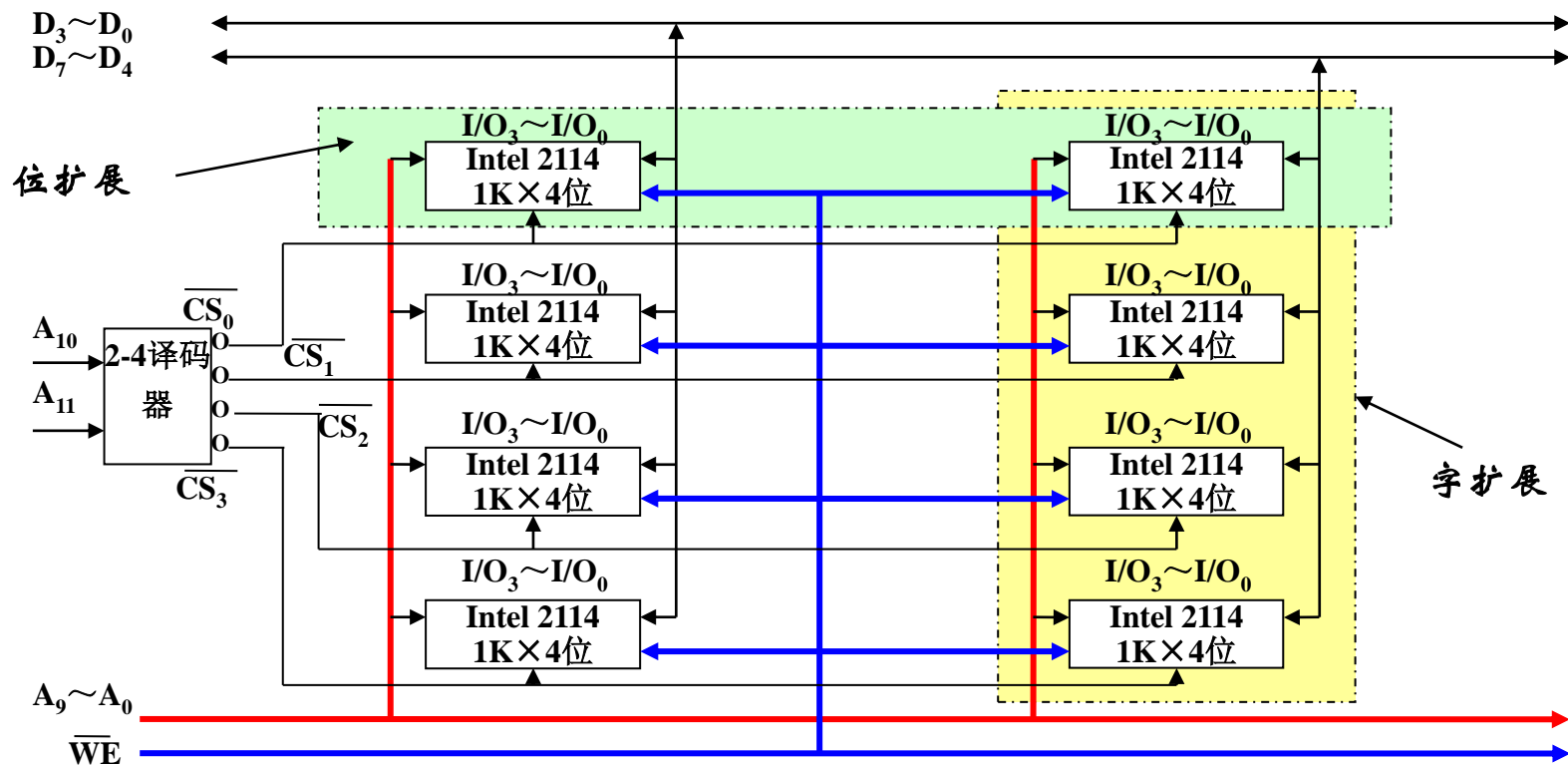
地址范围分别是什么？



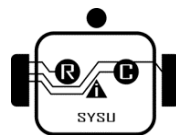
解：存储芯片1K ( $2^{10}$ )：地址码10位；存储器4K ( $2^{12}$ )：地址码：12位  
地址范围：**000~3FFH**、**400~7FFH**、**800~BFFH**、**C00~FFFH**



# 字、位同时扩展 (A、-WE: 分别并接)

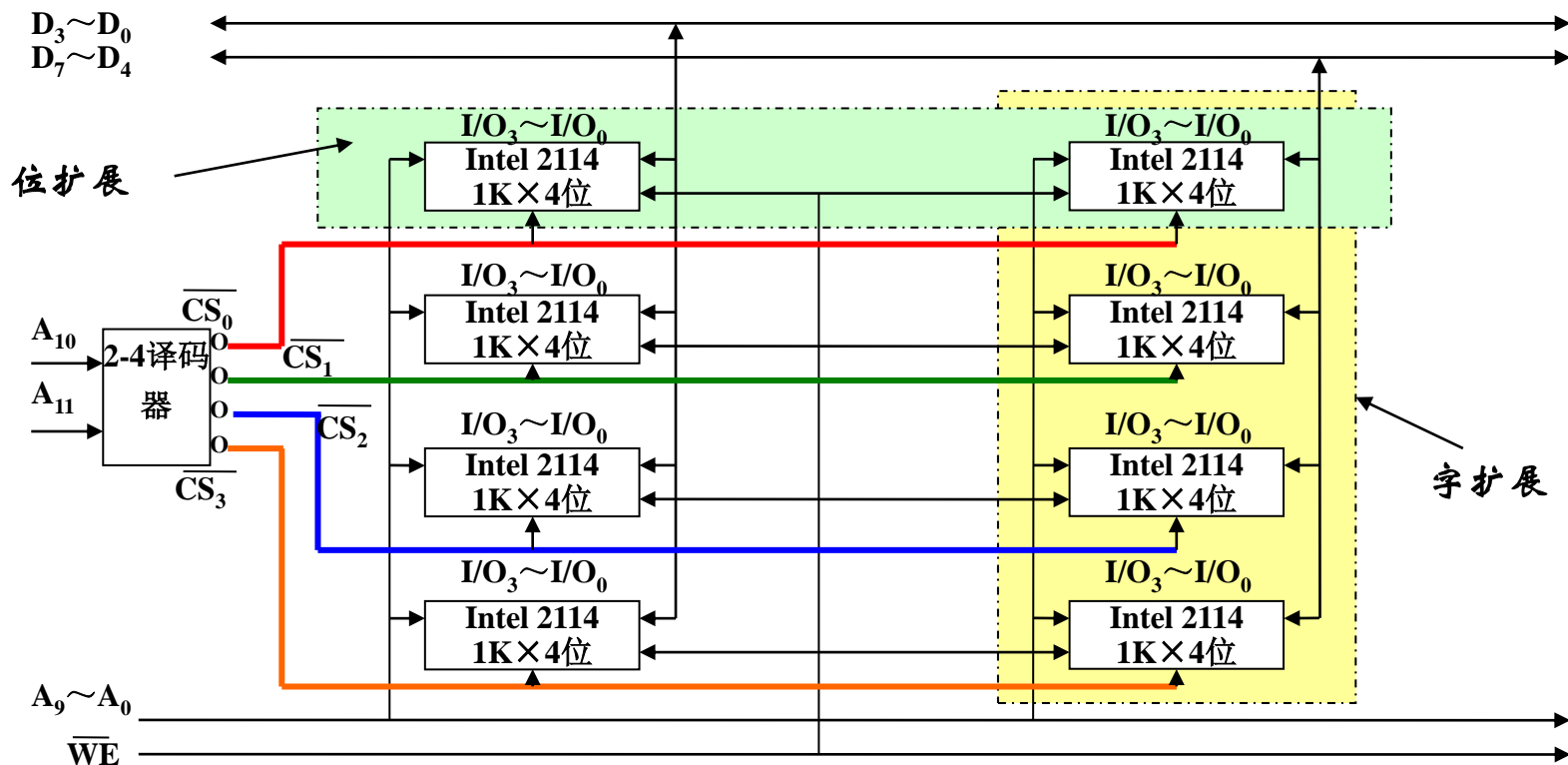


例：用1K×4位芯片构成4K×8位存储器，需要8个芯片，地址范围分别为：0000-3FFH，400-7FFH，800-BFFH，C00- FFFH；  
地址线、读/写控制线等对应相接，片选信号则分别与外部译码器各个译码输出端相连。



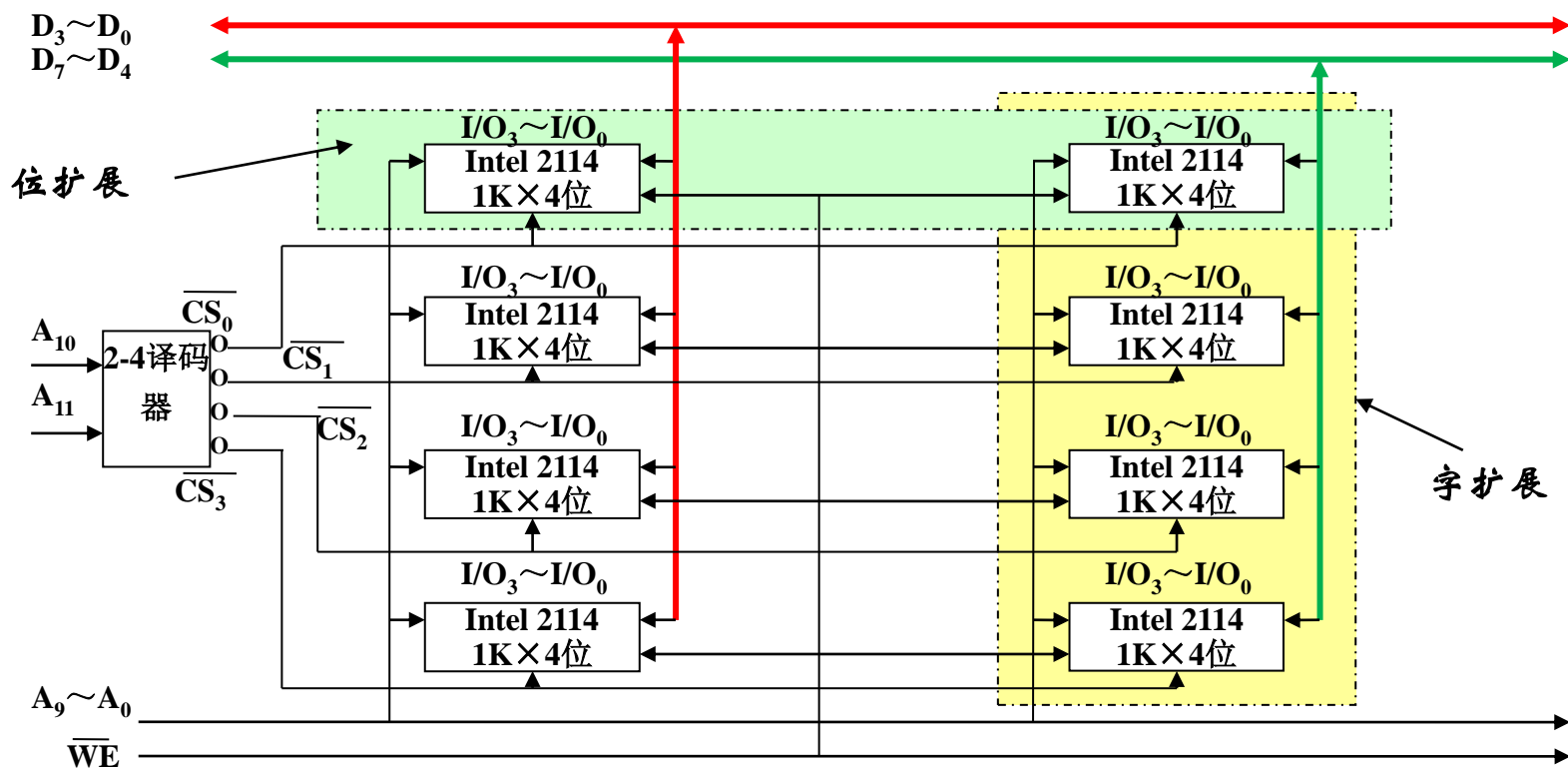


# 字、位同时扩展



例：用1K×4位芯片构成4K×8位存储器，需要8个芯片，地址范围分别为：0000-3FFH，400-7FFH，800-BFFH，C00- FFFH；地址线、读/写控制线等对应相接，片选信号则分别与外部译码器各个译码输出端相连。

# 字、位同时扩展（数据线D0~D7）



例：用1K×4位芯片构成4K×8位存储器，需要8个芯片，地址范围分别为：0000-3FFH，400-7FFH，800-BFFH，C00- FFFH；地址线、读/写控制线等对应相接，片选信号则分别与外部译码器各个译码输出端相连。

## 5.2.1 主存储器逻辑设计

### ——负载分析与速度估算

# 5.2.1 主存储器逻辑设计

## □ 设计步骤

1. 系统设计(提出总体方案)




2. 逻辑设计(实施总体方案)



3. 工艺设计(工程实现)

**重点!**

- 
1. 容量扩展
  2. 负载计算与分析
  3. 速度估算

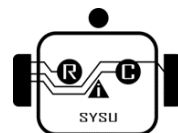
# 5.2.1 主存储器逻辑设计

## 2. 负载计算

### □ 驱动与负载的有关问题

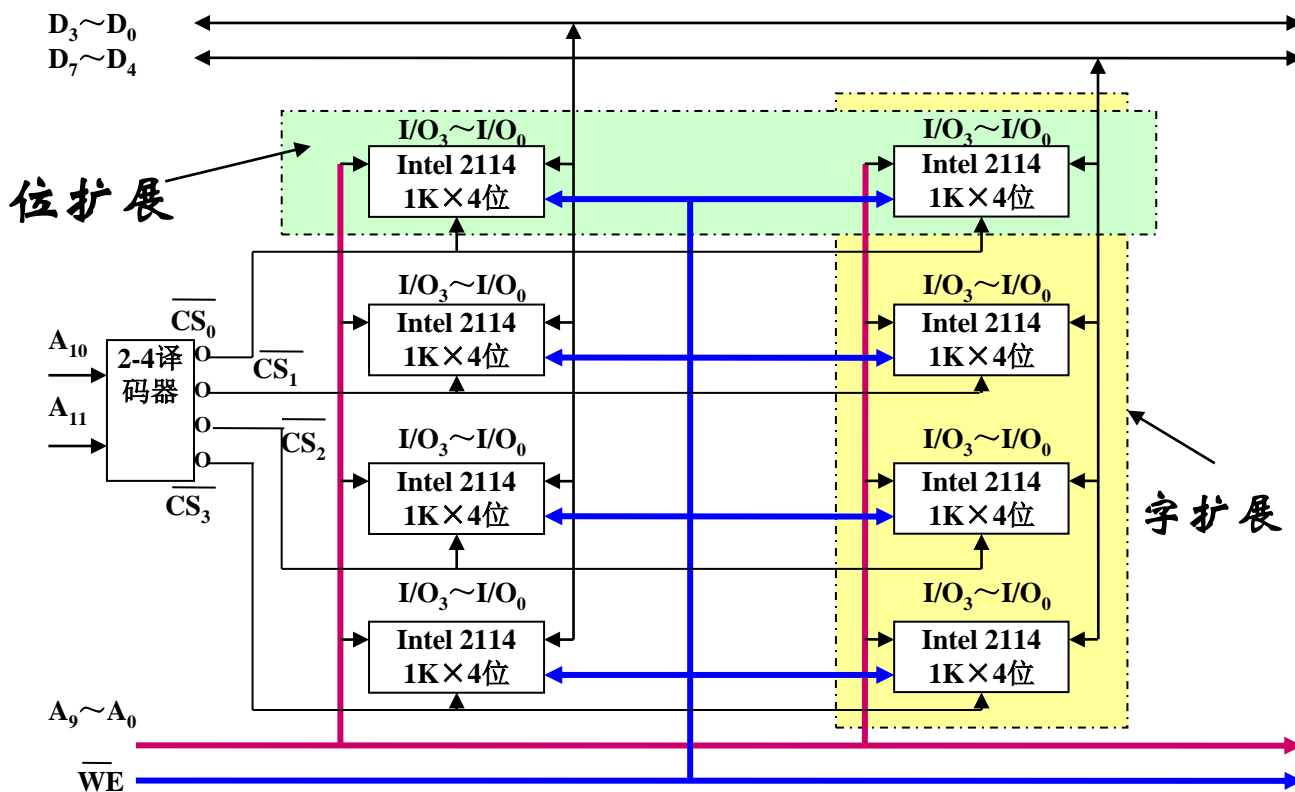
- 存储器的逻辑设计中，外围电路芯片是驱动，存储芯片的各端点就是负载
- 逻辑电路的负载能力是**有限的**
- **双极型芯片各端点为电流负载；MOS型芯片各端点为电容负载**
- 负载因数 $f_{\text{端点名}}$ ：存储芯片某种端点中的一个端点的负载量称为该种端点的负载因数

例如：用  $f_A$  表示地址端的负载因数



# 5.2.1 主存储器逻辑设计

## 2. 负载计算 (计算 $m \times n$ 位 $\rightarrow M \times N$ 位)

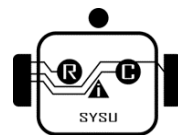


➤ 地址驱动线的负载

$$L_A = \lceil M/m \rceil \lceil N/n \rceil f_A$$

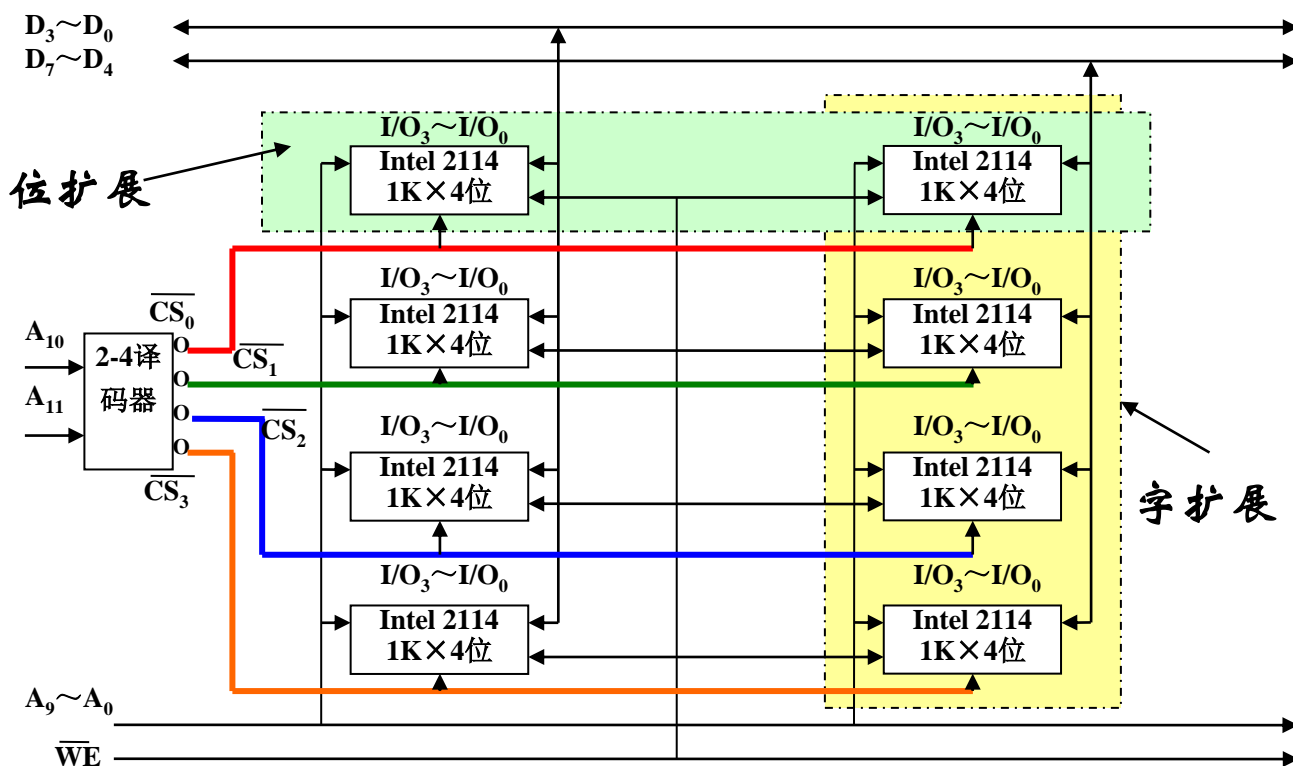
➤ 读写控制驱动线负载

$$L_{WE} = \lceil M/m \rceil \lceil N/n \rceil f_{we}$$



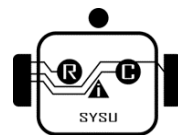
# 5.2.1 主存储器逻辑设计

## 2. 负载计算 (计算 $m \times k \times n$ 位 $\rightarrow$ $M \times k \times N$ 位)



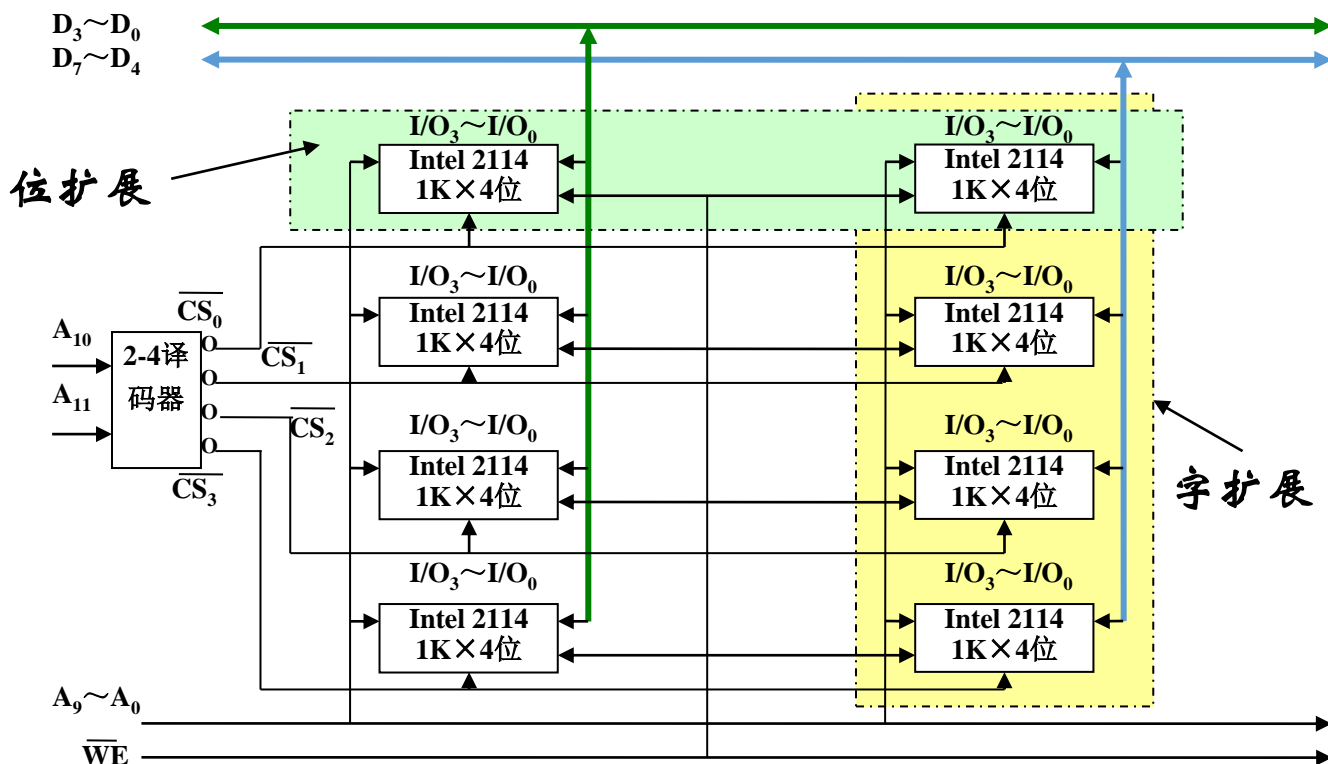
➤ 行片选驱动线负载:

$$L_{cs} = \lceil N/n \rceil f_{cs}$$



## 5.2.1 主存储器逻辑设计

### 2. 负载计算 (计算 $mk \times n$ 位 $\rightarrow$ $Mk \times N$ 位)



- 数据输入线的负载:  

$$L_{DI} = \lceil M/m \rceil f_{DI}$$
- 数据输出线的负载:  

$$L_{DO} = \lceil M/m \rceil f_{DO}$$



# 5.2.1 主存储器逻辑设计

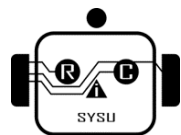
## 2. 负载计算

### □ 驱动与负载的有关问题

- 存储器的逻辑设计中，外围电路芯片是驱动，存储芯片的各端点就是负载
- 逻辑电路的负载能力是**有限**的

问题：当外围逻辑电路需要驱动负载端加重，以致超出其驱动能力时，怎么办？

“分载”，可以  
扩大驱动能力

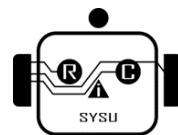


## 5.2.1 主存储器逻辑设计

### 3. 速度估算

- 外围电路传输要引起时延，使存储器的系统存储周期、存取时间比存储芯片的存储周期、存取时间要长
  - 通常一级门延迟时间为**2.5ns**，走线1米延时**6ns**
  - 选择芯片的条件：系统的存储周期大于芯片的存储周期，系统的存储时间大于芯片的存取时间
- 速度估算要留有适当的余地以保证能够正常工作
  - 通常应比要求的快(小)10%左右

例：系统要求100ns，速度估算100ns不行，估算70ns也不宜，80~90ns合适



# 5.2.1 主存储器逻辑设计

## 3. 速度估算

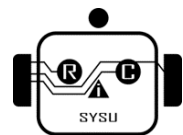
- 系统存储周期 $T_{SM}$

- $T_{SM} = T_M + t_D + t_R$

- $T_M$ 为芯片存储周期：查芯片数据手册

- $t_D$ 为系统传输时延：由外围电路逻辑级数确定

- $t_R$ 为系统恢复时间：通过系统测试获得



## 5.2.1 主存储器逻辑设计

### ——主存设计举例

# 5.2.1 主存储器逻辑设计

## □ 逻辑设计过程

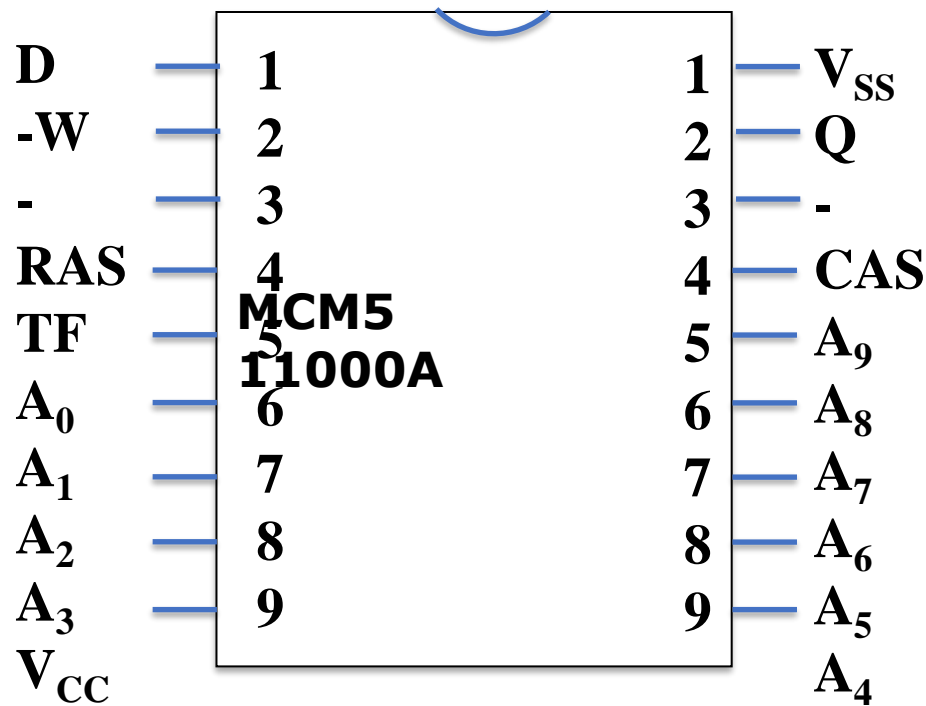
- 芯片手册或测试，获得芯片的有关参数
- 容量扩展（确定扩展方式、芯片数量、连接方式）
- 负载计算
- 速度估算
- 外围控制电路的设计



# 主存设计举例

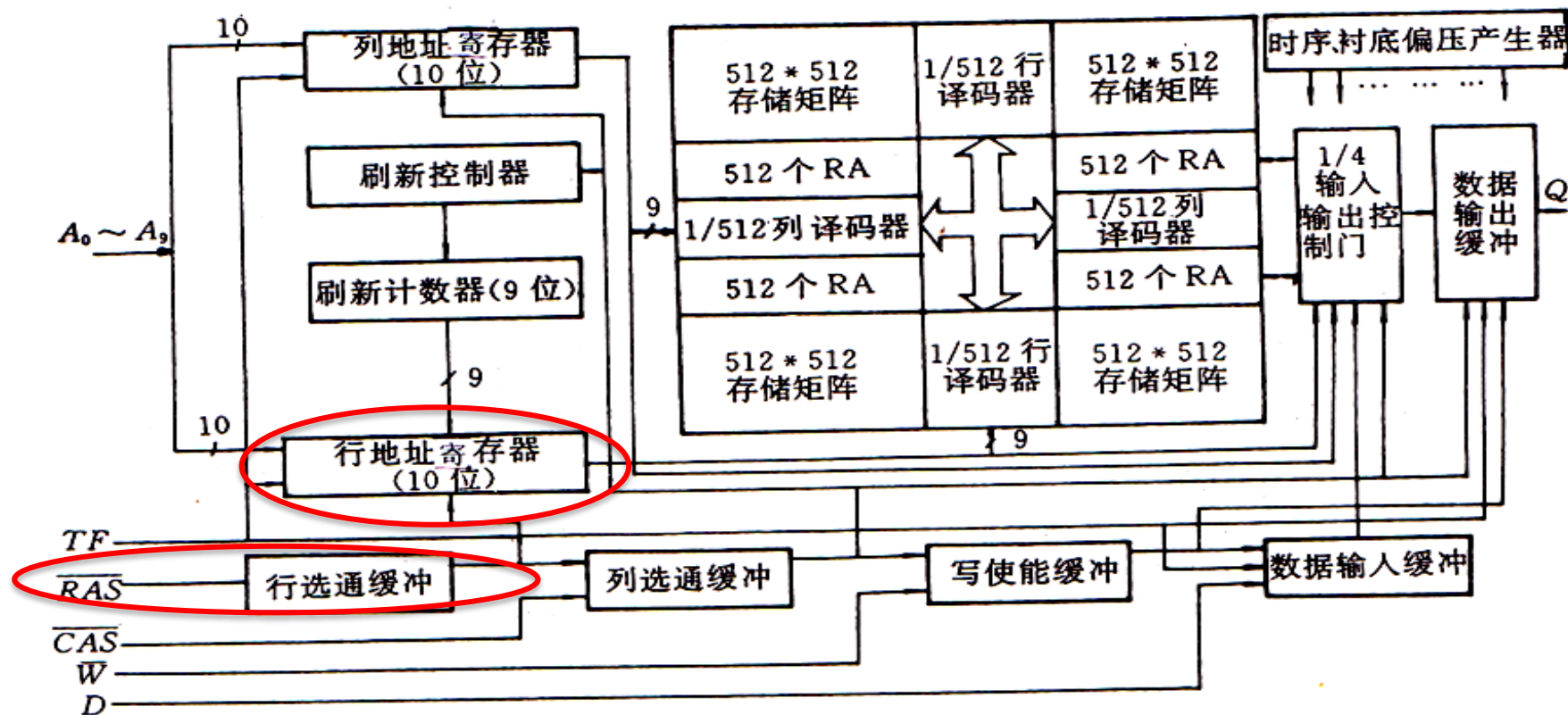
■ 例：用MCM511000A DRAM芯片(1M×1位)构成4M×32位的主存

■ 芯片的引脚图



# 主存设计举例

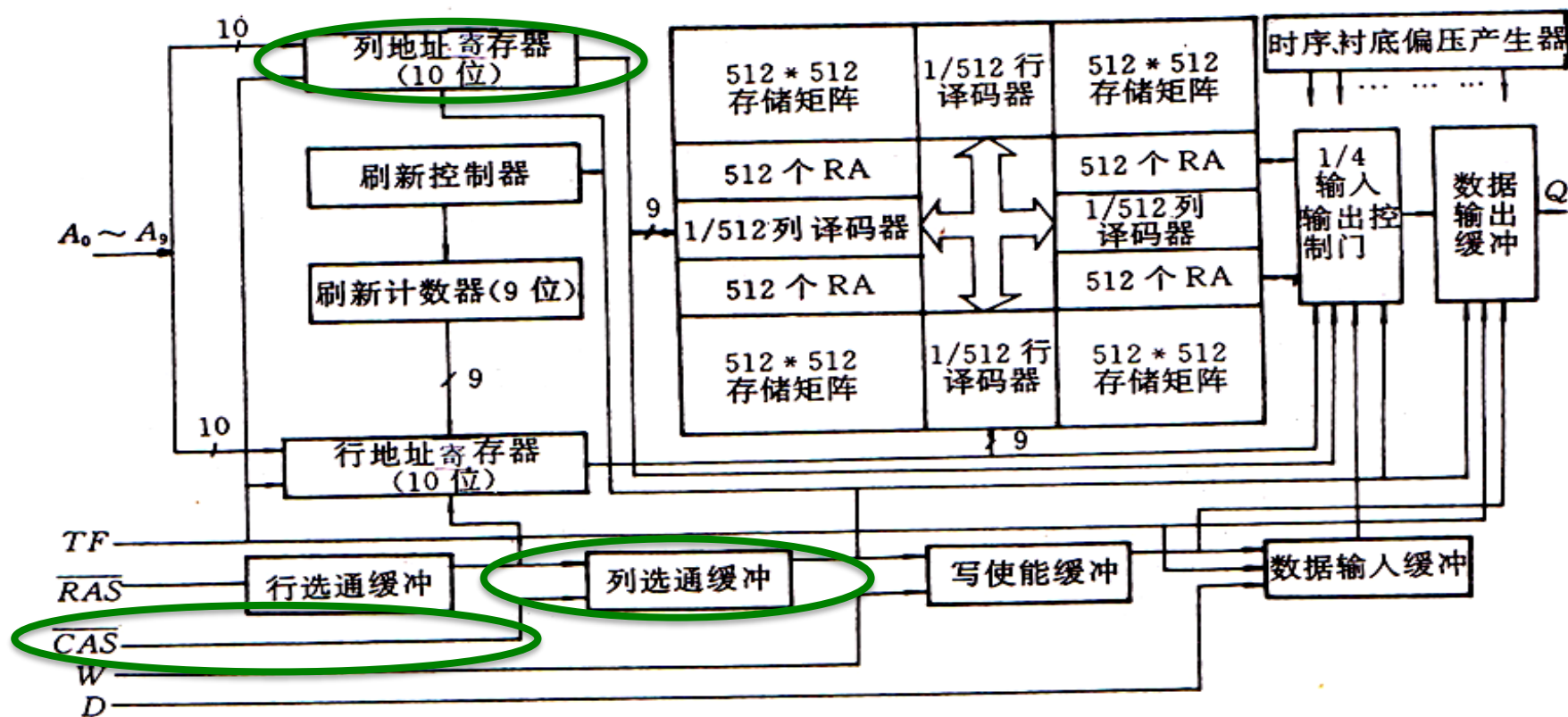
## □MCM511000A的逻辑组成



MCM511000A DRAM 逻辑框图

# 主存设计举例

□ MCM511000A 的逻辑组成

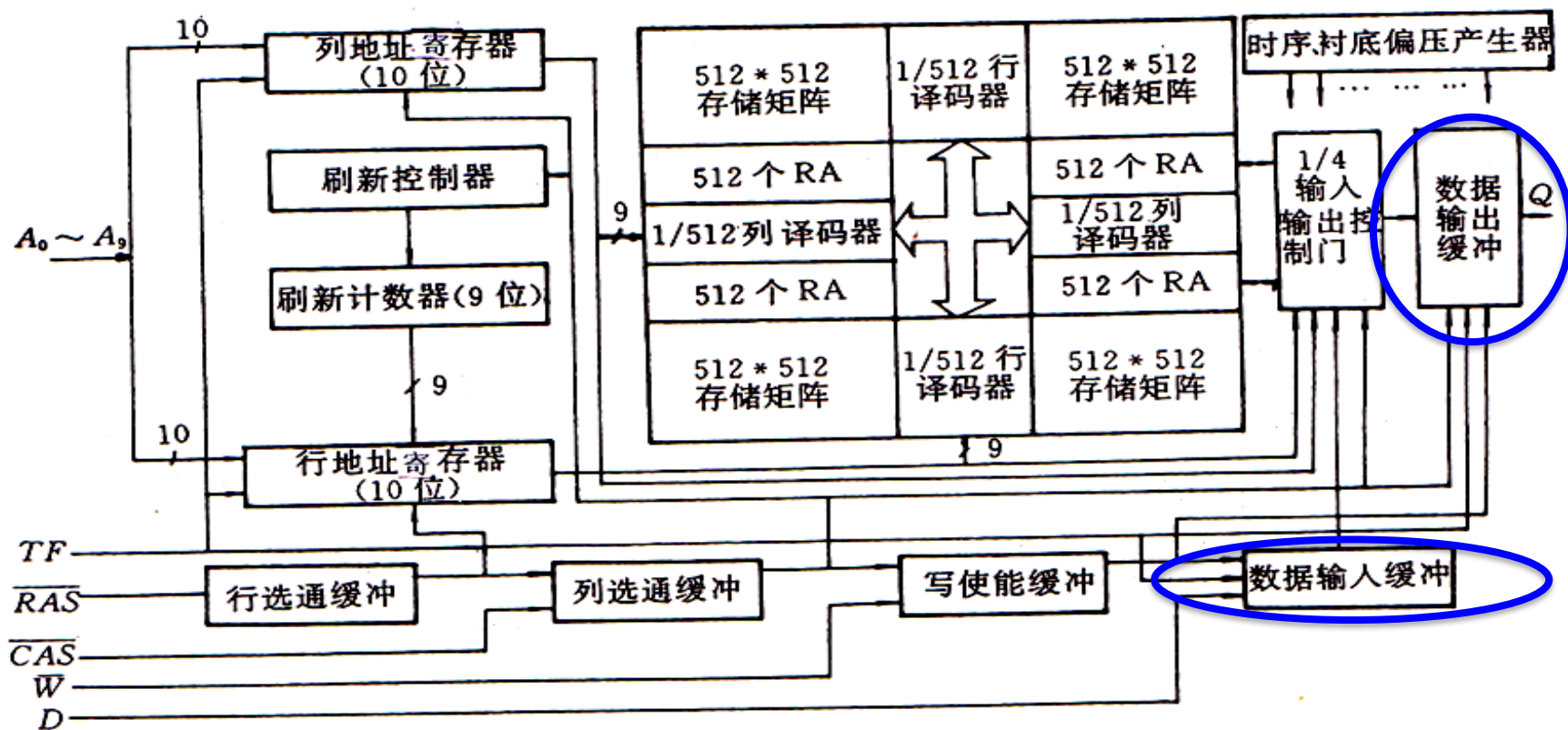


MCM511000A DRAM 逻辑框图



# 主存设计举例

□ MCM511000A 的逻辑组成



MCM511000A DRAM 逻辑框图

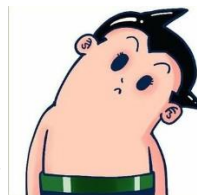


# 主存设计举例

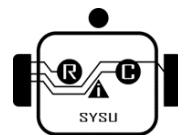
■ 例：用MCM511000A DRAM芯片( $1\text{M} \times 1\text{位}$ )构成  
 $4\text{M} \times 32\text{位}$ 的主存

任务分解？

解题步骤？



- 1、确定存储芯片数量
- 2、确定芯片的连接
- 3、负载计算与分配
- 4、速度估算

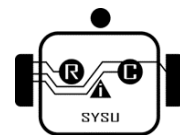


# 主存设计举例

- 例：用MCM511000A DRAM芯片(1M×1位)构成4M×32位的主存

## 1、确定存储芯片数量

- $\lceil M/m \rceil \lceil N/n \rceil = \lceil 4M/1M \rceil \lceil 32\text{位}/1\text{位} \rceil = 128\text{片}$
- 字位同时扩展，字扩展4倍，位扩展32倍



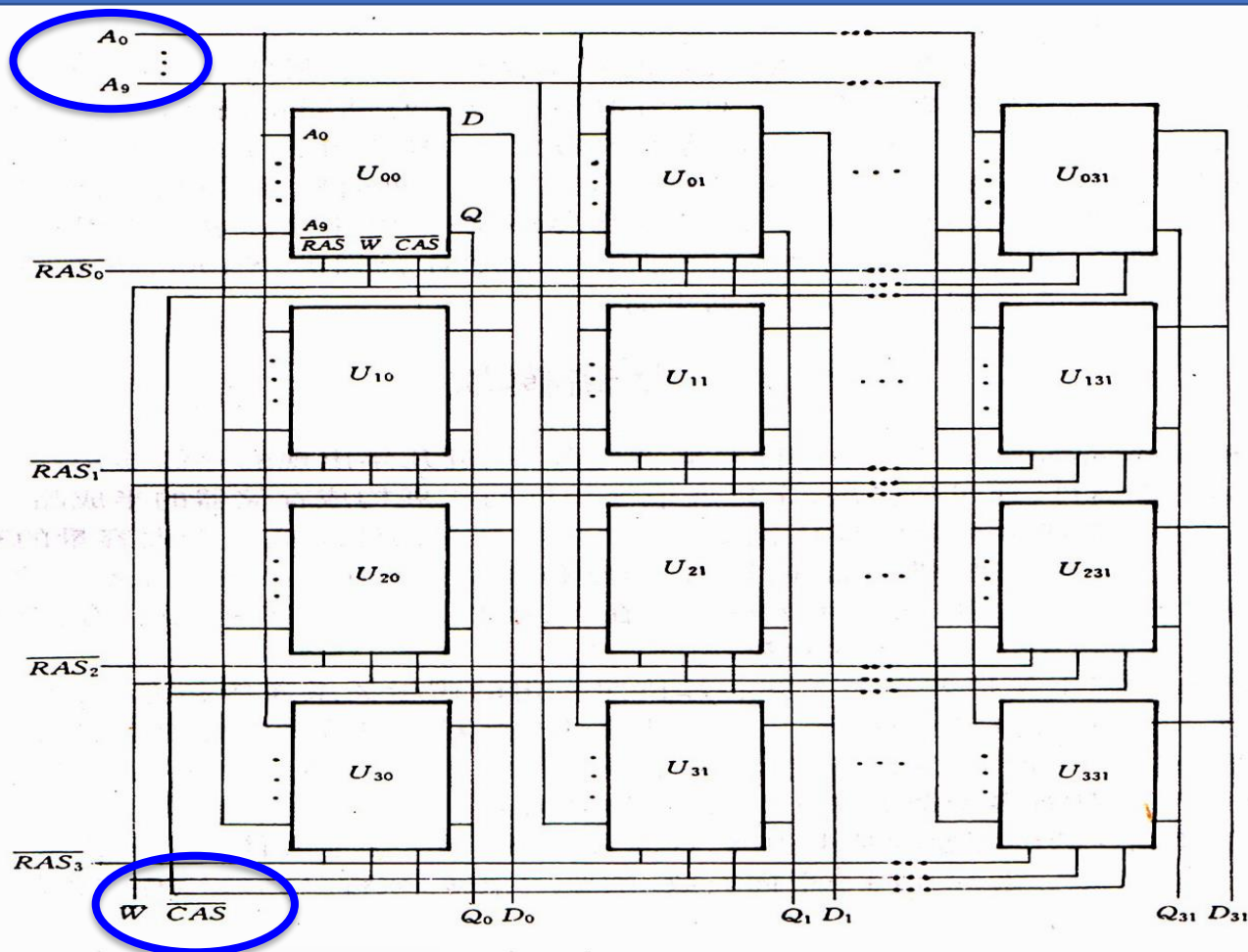
# 主存设计举例

## 2、确定芯片的连接

■4行：每行32片  
MCM511000A

■32列：每列4片  
MCM511000A

■-W、-CAS、A<sub>1</sub>  
并接



4M x 32 位 DRAM 存储矩阵示意



# 主存设计举例

## 2、确定芯片的连接

■4行：每行32片

MCM511000A

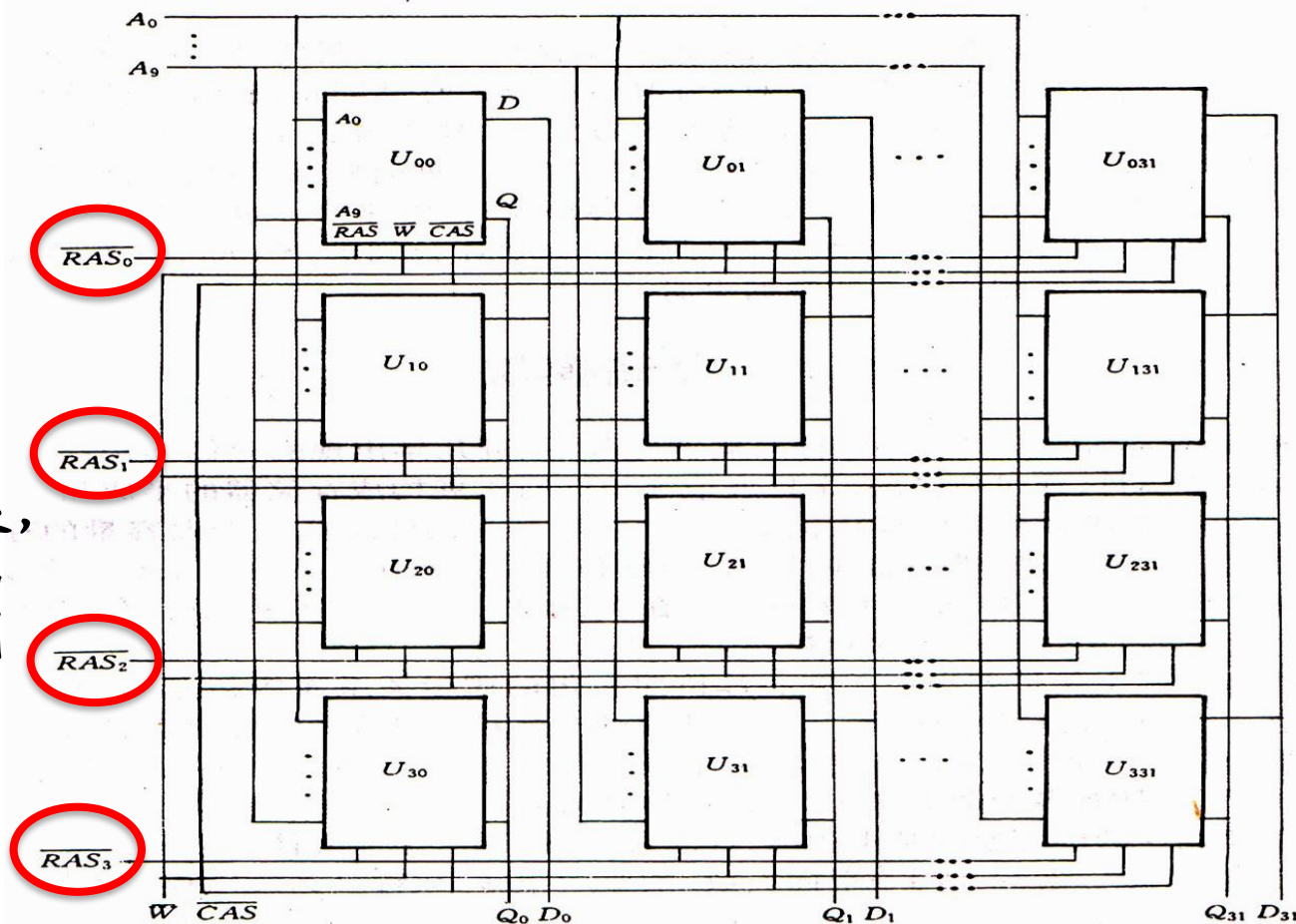
■32列：每列4片

MCM511000A

■-W、-CAS、A<sub>0</sub>、

并接

■-RAS：作字扩展，  
各行独立，受最高  
两位地址译码控制



4M×32 位 DRAM 存储矩阵示意

# 主存设计举例

## 2、确定芯片的连接

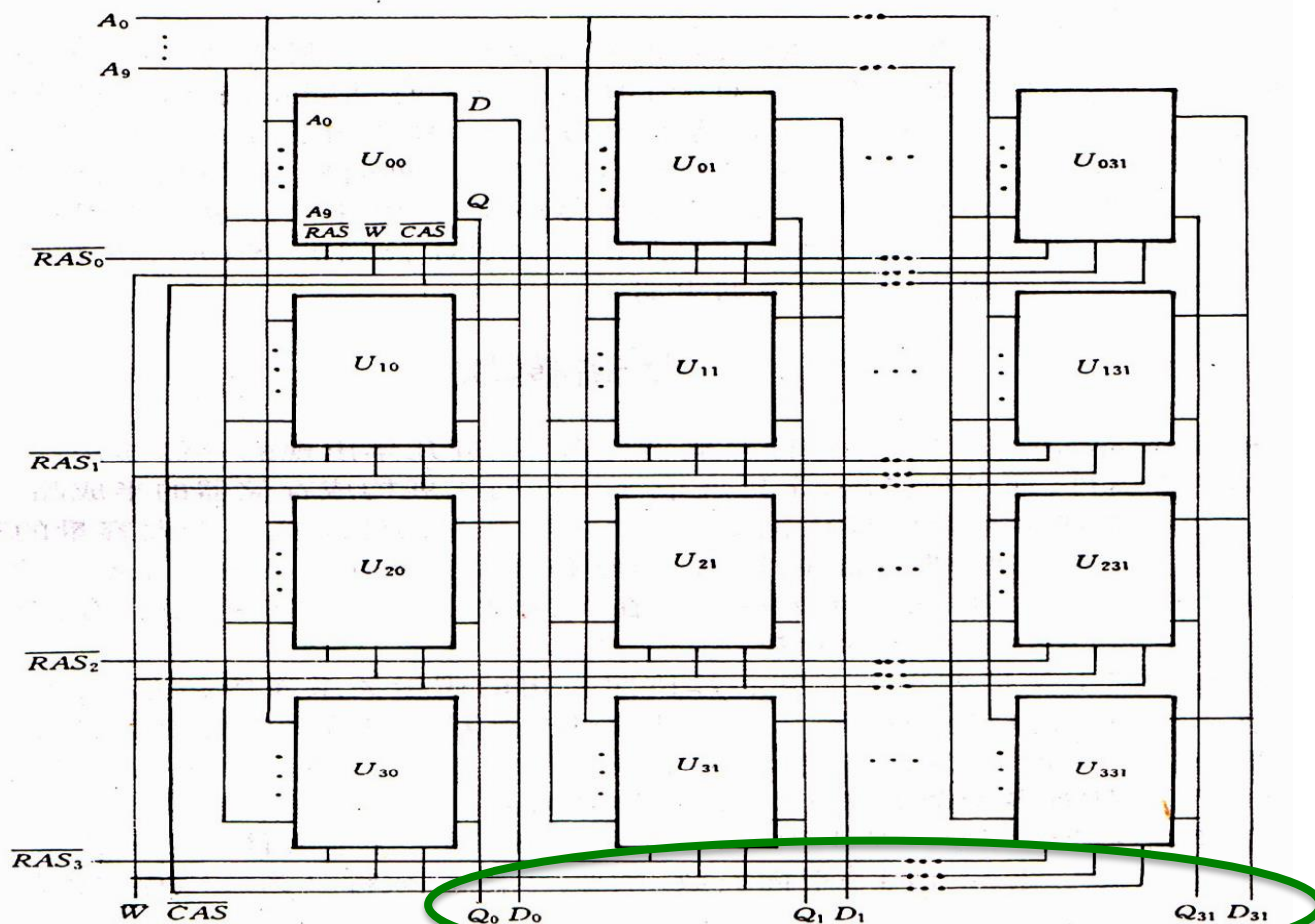
■4行：每行32片  
MCM511000A

■32列：每列4片  
MCM511000A

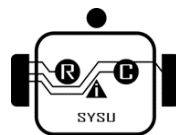
■-W、-CAS、A：  
并接

■-RAS：作字扩展，  
各行独立，受最高  
两位地址译码控制

■D、Q同列并接，  
不同列单独引出



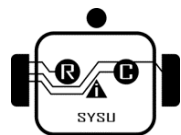
4M×32 位 DRAM 存储矩阵示意



# 主存设计举例

## 3、负载计算与分配

- 地址端负载、数据输入端负载为5PF；-RAS、-CAS、-W端负载为7PF
- 假定一个门的负载能力为40PF(门本身的输入电容为5PF), 则
  - 一个门可驱动地址端:  $40\text{PF}/5\text{PF}=8(\text{个})$
  - 一个门可驱动-RAS(-CAS、-W):  $\lfloor 40\text{PF}/7\text{PF} \rfloor = 5(\text{个})$
  - 一个门可驱动8个门:  $40\text{PF}/5\text{PF}=8(\text{个})$





# 主存设计举例

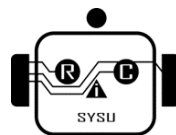
## 3、负载计算与分配

- 地址端负载、数据输入端负载为5PF；-RAS、-CAS、-W端负载为7PF
- 假定一个门的负载能力为40PF(门本身的输入电容为5PF), 则
  - 一个门可驱动地址端:  $40\text{PF}/5\text{PF}=8(\text{个})$
  - 一个门可驱动-RAS(-CAS、-W):  $\lfloor 40\text{PF}/7\text{PF} \rfloor = 5(\text{个})$
  - 一个门可驱动8个门:  $40\text{PF}/5\text{PF}=8(\text{个})$

### a. 地址驱动 的负载与分配

- 每根地址线要接到所有存储芯片的相应引脚, 即每根地址线要带128个地址端, 一个门可带8个端, 需要多少个门?

$128/8=16$ , 因  $16 > 8$ , 需再加一级门  $16/8=2$ ; 共需  $16+2=18(\text{个})$



# 主存设计举例

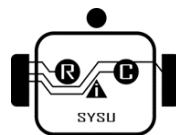
## 3、负载计算与分配

- 地址端负载、数据输入端负载为5PF；-RAS、-CAS、-W端负载为7PF
- 假定一个门的负载能力为40PF(门本身的输入电容为5PF)，则
  - 一个门可驱动地址端： $40\text{PF}/5\text{PF}=8(\text{个})$
  - 一个门可驱动-RAS(-CAS、-W)： $\lfloor 40\text{PF}/7\text{PF} \rfloor = 5(\text{个})$
  - 一个门可驱动8个门： $40\text{PF}/5\text{PF}=8(\text{个})$

### b. -W驱动的负载与分配

- 驱动线要带128个端，一个门可带5个端，需要多少个门？

$\lceil 128/5 \rceil = 26$ ；因 $26 > 8$ ， $\lceil 26/8 \rceil = 4$ ；故需两级门共 $26+4=30(\text{个})$



# 主存设计举例

## 3、负载计算与分配

### a. 地址驱动负载与分配

- 每个地址码的输出要带128个地址端，一个门可带8个端，故： $128/8=16$ 。因 $16>8$ ，需加一级门 $16/8=2$ 。共需 $16+2=18$ (个)

### b. -W驱动的负载与分配

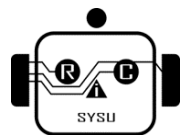
- 驱动线要带128个端，一个门可带5个端： $\lceil 128/5 \rceil = 26$ ；因 $26>8$ ， $\lceil 26/8 \rceil = 4$ 。故需两级门共 $26+4=30$ (个)

### c. -RAS驱动的负载与分配

- 分四行驱动，每行32个-RAS端，需 $\lceil 32/5 \rceil = 7$ (个)
- 四行共需 $4 \times 7 = 28$ (个)

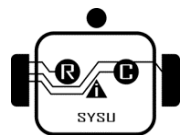
### d. -CAS同-W，亦需30(个)

### e. D、Q直接连接，可以直接驱动，不需另加门



# 5.2.1 主存储器逻辑设计

- 系统存储周期 $T_{SM}$ 
  - $T_{SM} = T_M + t_D + t_R$
  - $T_M$ 为芯片存储周期：查芯片数据手册
  - $t_D$ 为系统传输时延：由外围电路逻辑级数确定
  - $t_R$ 为系统恢复时间：通过系统测试获得



# 主存设计举例

## 4、速度估算

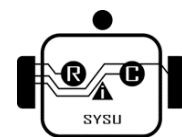
假定每级门延迟为2.5ns，系统恢复时间 $t_R$ 为2ns，忽略走线延时：

■ 系统随机读/写存储周期：

$$T_{RM} = T_{RC} + t_D + t_R = 130 + 2 \times 2.5 + 2 = 137ns$$

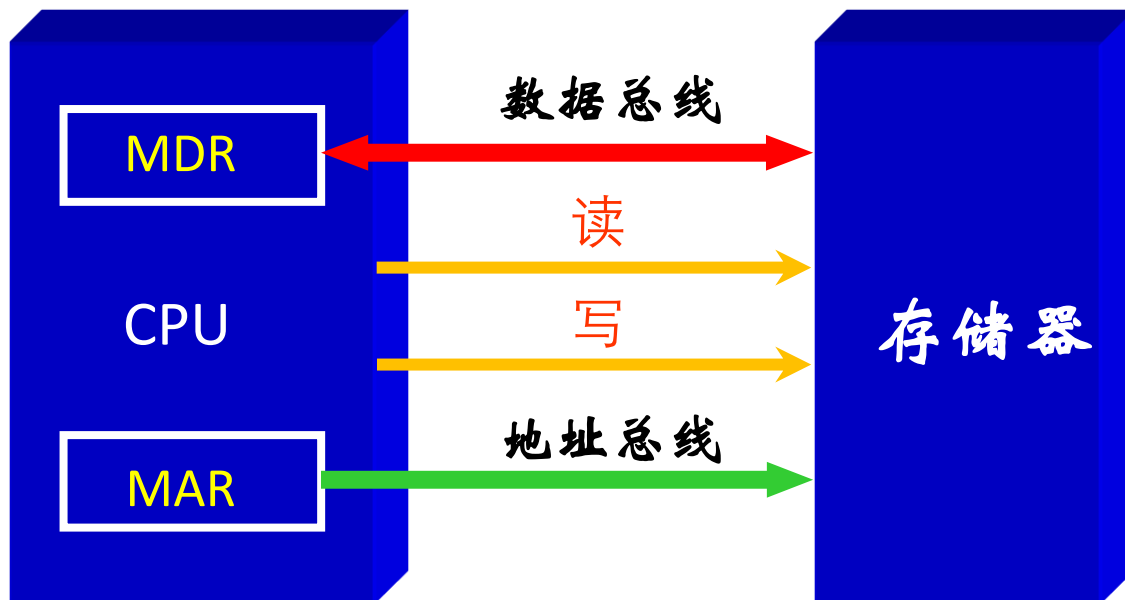
功耗	P = 600mW
随机读/写周期	$T_{RC} = 130ns$ (最小)
-RAS取数时间	$t_{RAC} = 70ns$ (最大)
-CAS取数时间	$t_{CAC} = 20ns$ (最大)
地址取数时间	$t_{AA} = 35ns$ (最大)

表 MCM511000A DRAM芯片  
(1M×1位)的主要性能参数



## 5.2.2 存储器与CPU的连接

## 5.2.2 存储器与CPU的连接



### 总线连接方式

- 地址线的连接
- 数据线的连接
- 控制线的连接

# 5.2.2 存储器与CPU的连接

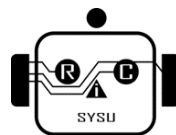
## 总线连接方式

- 地址线的连接
- 数据线的连接
- 控制线的连接

- CPU地址线数决定了整个主存空间的寻址范围

CPU地址线数 > 存储芯片地址引脚线

- 通常将CPU地址线的低位和存储芯片地址线相连，高位用作字扩展时的片选信号的译码





## 5.2.2 存储器与CPU的连接

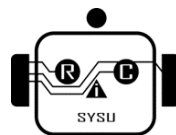
### 总线连接方式

- 地址线的连接
- 数据线的连接
- 控制线的连接

- CPU数据线数决定了一次可读写的最大数据宽度

CPU数据线数 > 存储芯片数据引脚线

- 通常将CPU数据线连到多个位扩展的芯片中, 使扩展后的位数与CPU数据线数相等



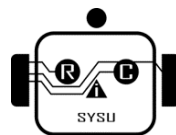
## 5.2.2 存储器与CPU的连接

### 总线连接方式

- 地址线的连接
- 数据线的连接
- 控制线的连接

- 若CPU读/写命令线和存储芯片的读/写控制线是一根，且电平信号一致，则可直接相连
- 若CPU读/写命令线分开，则需分别进行连接

CPU中的访存信号线 $\overline{\text{MREQ}}$ 用来确定是访问主存还是I/O端口  
( $\overline{\text{MREQ}}$ 信号为低电平时才选择存储芯片)



## 5.2.2 存储器与CPU的连接

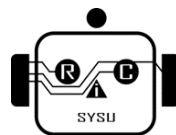
### CPU和主存之间的两种通信方式

#### □ 异步方式过程(需握手信号)

写操作过程类似

##### □ 读操作

- CPU送地址到地址线，主存进行地址译码
- CPU发读命令，然后等待存储器发回“完成”信号
- 主存收到读命令后开始读数，完成后发“完成”信号给CPU
- CPU接收到“完成”信号，从数据线取数

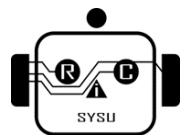


# 5.2.2 存储器与CPU的连接

## CPU和主存之间的两种通信方式

### □ 同步方式的特点

- CPU和主存由**统一时钟信号**控制，无需应答信号
- 主存总是在确定的时间内准备好数据
- CPU送出地址和读命令后，总是在确定的时间取数据
- 存储器芯片必须支持同步方式



## 5.2.2 存储器与CPU的连接

### 存储器芯片和CPU的连接举例

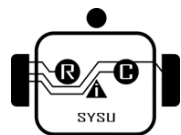
#### □ 主存空间的划分

##### ◆ 主存空间包括ROM和RAM区

- ROM区用来存放系统程序、标准子程序等，选ROM芯片构造；

- RAM区用来存放用户程序，选RAM芯片构造

##### ◆ 选择存储芯片的类型和数量时，须先确定ROM区和RAM区的地址范围



## 5.2.2 存储器与CPU的连接

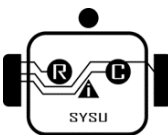
### 存储器芯片和CPU的连接举例

例：设CPU有16根地址线，8根数据线，并用 $\overline{MREQ}$ 作访存控制信号，用 $\overline{WR}$ 作读/写控制信号；

现有下列存储芯片：1K × 4位RAM、4K × 8位RAM、8K × 8位RAM，2K × 8位ROM、4K × 8位ROM、8K × 8位ROM及74LS138(3-8译码器)和各种门电路；

要求主存地址空间满足如下条件：7000H~77FFH为系统程序区；7800H~7BFFH为用户程序区；

试合理选择上述存储芯片，并画出CPU与存储器的连接图。



## 5.2.2 存储器与CPU的连接

### 存储器芯片和CPU的连接举例

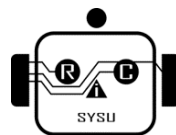
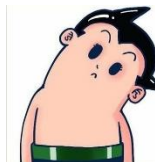
例：设CPU有16根地址线，8根数据线，并用 $\overline{MREQ}$ 作访存控制信号，用 $\overline{WR}$ 作读/写控制信号；

现有下列存储芯片：1K × 4位RAM、4K × 8位RAM、8K × 8位RAM，2K × 8位ROM、4K × 8位ROM、8K × 8位ROM及74LS138(3-8译码器)和各种门电路；

要求主存地址空间满足如下条件：7000H~77FFH为系统程序区；7800H~7BFFH为用户程序区；

试合理选择上述存储芯片，并画出CPU与存储器的连接图。

解题思路？



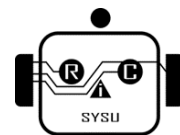
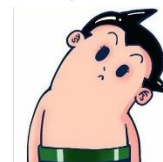
# 5.2.2 存储器与CPU的连接

## 存储器芯片和CPU的连接举例

(1) 写出对应的二进制地址码，确定总容量

$A_{15}$	$A_{14}$	$A_{13}$	$A_{12}$	$A_{11}$	$A_{10}$	$A_9$	...	$A_7$	...	$A_4$	$A_3$	...	$A_0$	
0	1	1	1	0	0	0	0	0	0	0	0	0	0	7000H
⋮														~
0	1	1	1	0	1	1	1	1	1	1	1	1	1	77FFH
0	1	1	1	1	0	0	0	0	0	0	0	0	0	7800H
⋮														~
0	1	1	1	1	0	1	1	1	1	1	1	1	1	7BFFH

系统程序区和  
用户程序区的  
空间大小分别  
为多少？





## 5.2.2 存储器与CPU的连接

### 存储器芯片和CPU的连接举例

(1) 写出对应的二进制地址码，确定总容量

$A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_9 \dots A_7 \dots A_4 A_3 \dots A_0$

0 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0

⋮

0 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1

0 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0

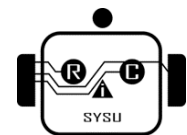
⋮

0 1 1 1 1 0 1 1 1 1 1 1 1 1 1 1

} ROM  
2K × 8位

} RAM  
1K × 8位

(2) 确定芯片的类型及数量



# 5.2.2 存储器与CPU的连接

## 存储器芯片和CPU的连接举例

(1) 写出对应的二进制地址码，确定总容量

$A_{15}$	$A_{14}$	$A_{13}$	$A_{12}$	$A_{11}$	$A_{10}$	$A_9$	...	$A_7$	...	$A_4$	$A_3$	...	$A_0$
0	1	1	1	0	0	0	0	0	0	0	0	0	0
⋮													
0	1	1	1	0	1	1	1	1	1	1	1	1	1
⋮													
0	1	1	1	1	0	0	0	0	0	0	0	0	0
⋮													
0	1	1	1	1	0	1	1	1	1	1	1	1	1

(2) 确定芯片的类型及数量

1片  $2K \times 8$ 位

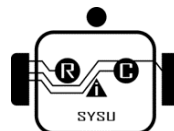
ROM  
 $2K \times 8$ 位

RAM  
 $1K \times 8$ 位

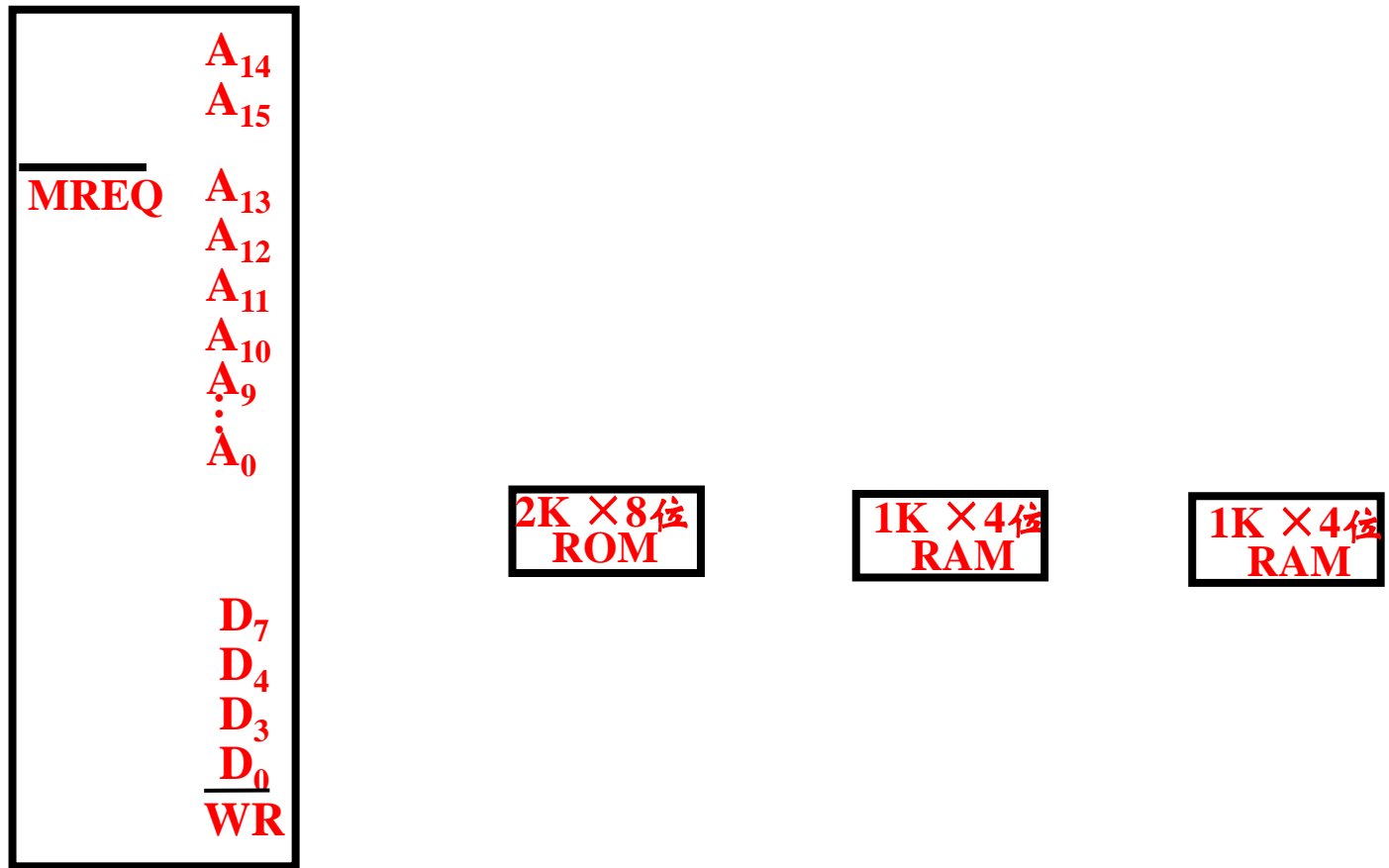
2片  $1K \times 4$ 位

现有下列存储  
芯片:

$1K \times 4$ 位RAM;  
 $4K \times 8$ 位RAM;  
 $8K \times 8$ 位RAM;  
 $2K \times 8$ 位ROM;  
 $4K \times 8$ 位ROM;  
 $8K \times 8$ 位ROM



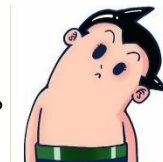
## 5.2.2 存储器与CPU的连接



# 5.2.2 存储器与CPU的连接

## (3) 分配地址线

地址线和存储芯片怎么连接?



$A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_9 \dots A_7 \dots A_4 A_3 \dots A_0$

0 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0

⋮

0 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1

0 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0

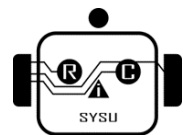
⋮

0 1 1 1 1 0 1 1 1 1 1 1 1 1 1 1

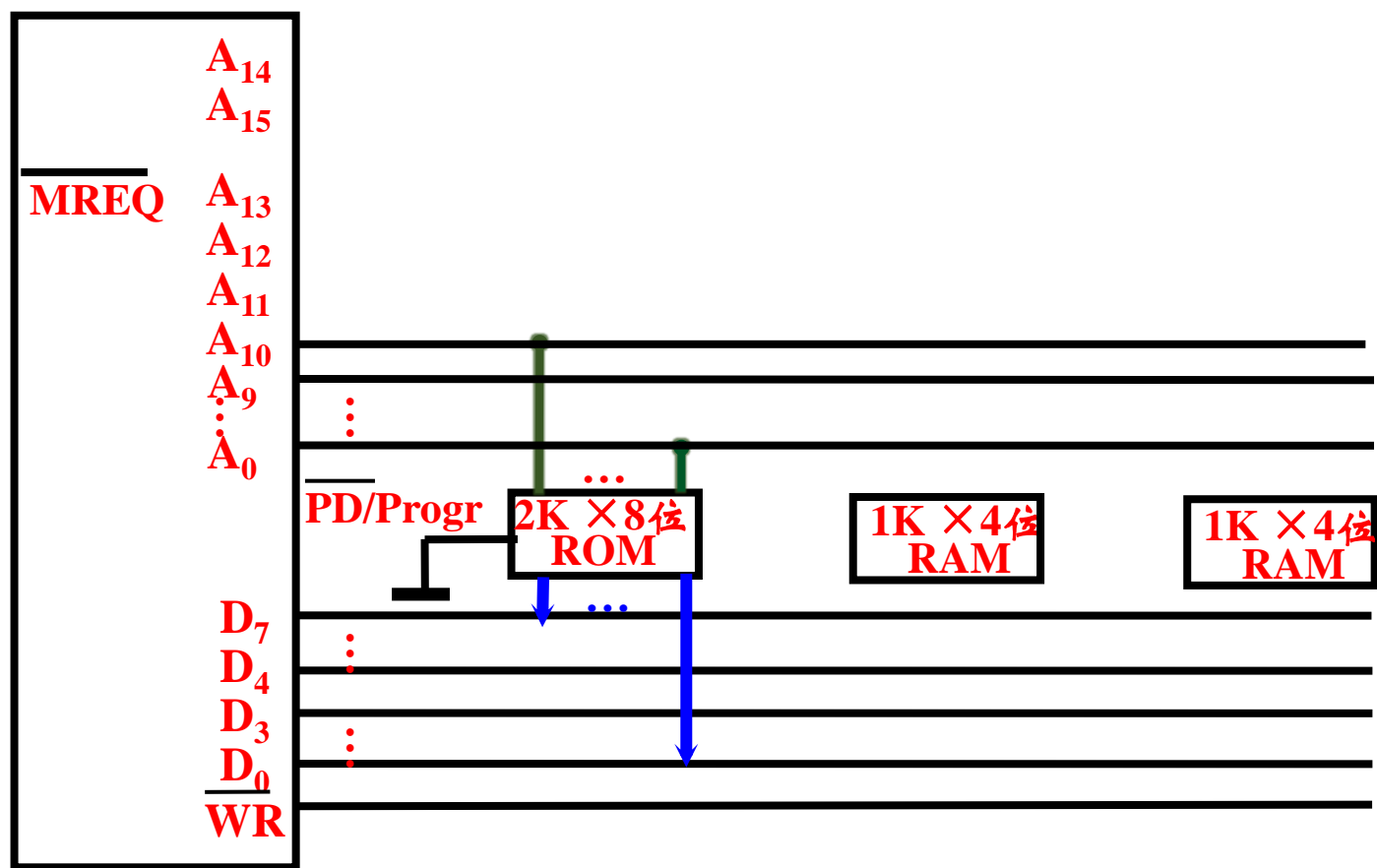
} ROM  
2K × 8位

} 2片RAM  
1K × 4位

$A_{10} \sim A_0$  接 2K × 8位 ROM 的地址线



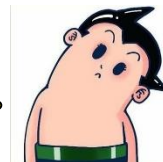
## 5.2.2 存储器与CPU的连接



# 5.2.2 存储器与CPU的连接

## (3) 分配地址线

地址线和存储芯片怎么连接?



$A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_9 \dots A_7 \dots A_4 A_3 \dots A_0$

0 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0

⋮

0 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1

0 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0

⋮

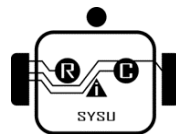
0 1 1 1 1 0 1 1 1 1 1 1 1 1 1 1

} ROM  
2K × 8位

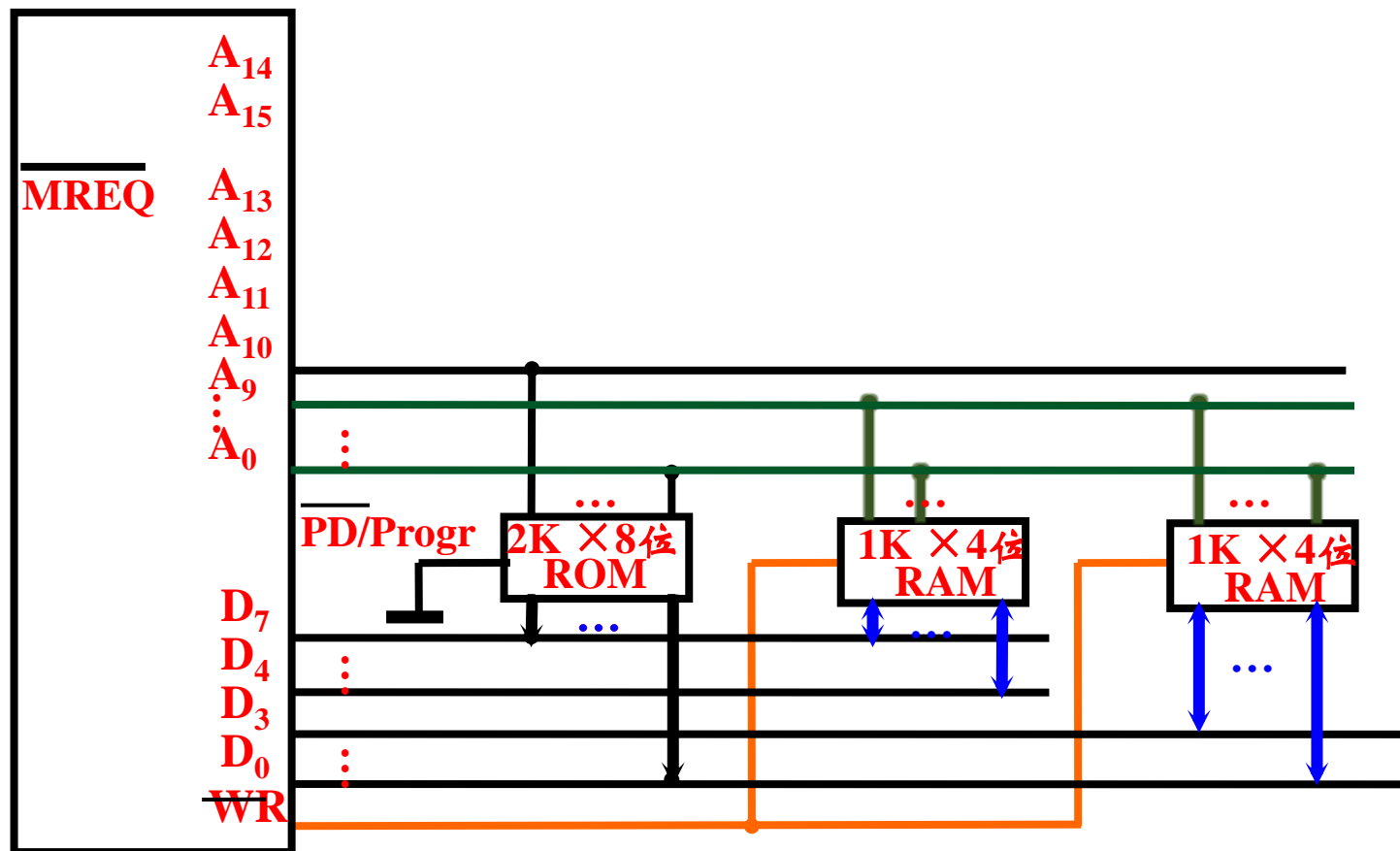
} 2片RAM  
1K × 4位

$A_{10} \sim A_0$  接 2K × 8位 ROM 的地址线

$A_9 \sim A_0$  接 1K × 4位 RAM 的地址线

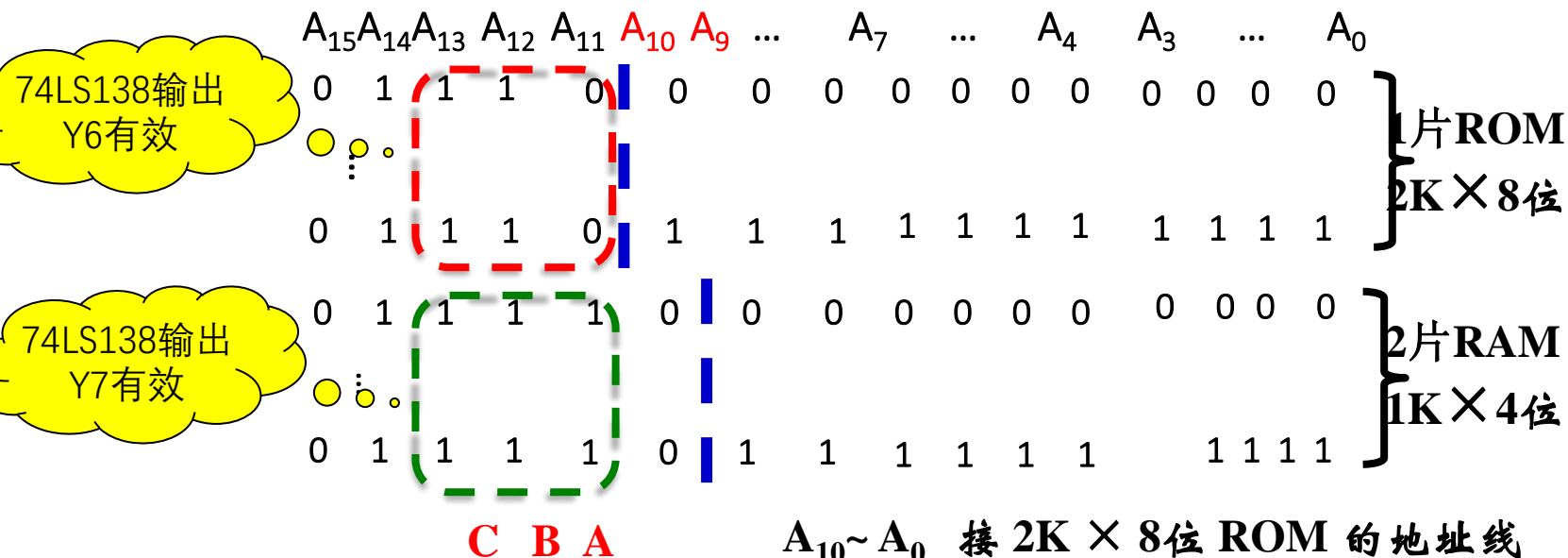


## 5.2.2 存储器与CPU的连接



## 5.2.2 存储器与CPU的连接

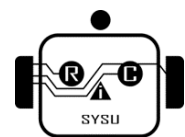
### (3) 分配地址线



A<sub>10</sub> ~ A<sub>0</sub> 接 2K × 8位 ROM 的地址线

A<sub>9</sub> ~ A<sub>0</sub> 接 1K × 4位 RAM 的地址线

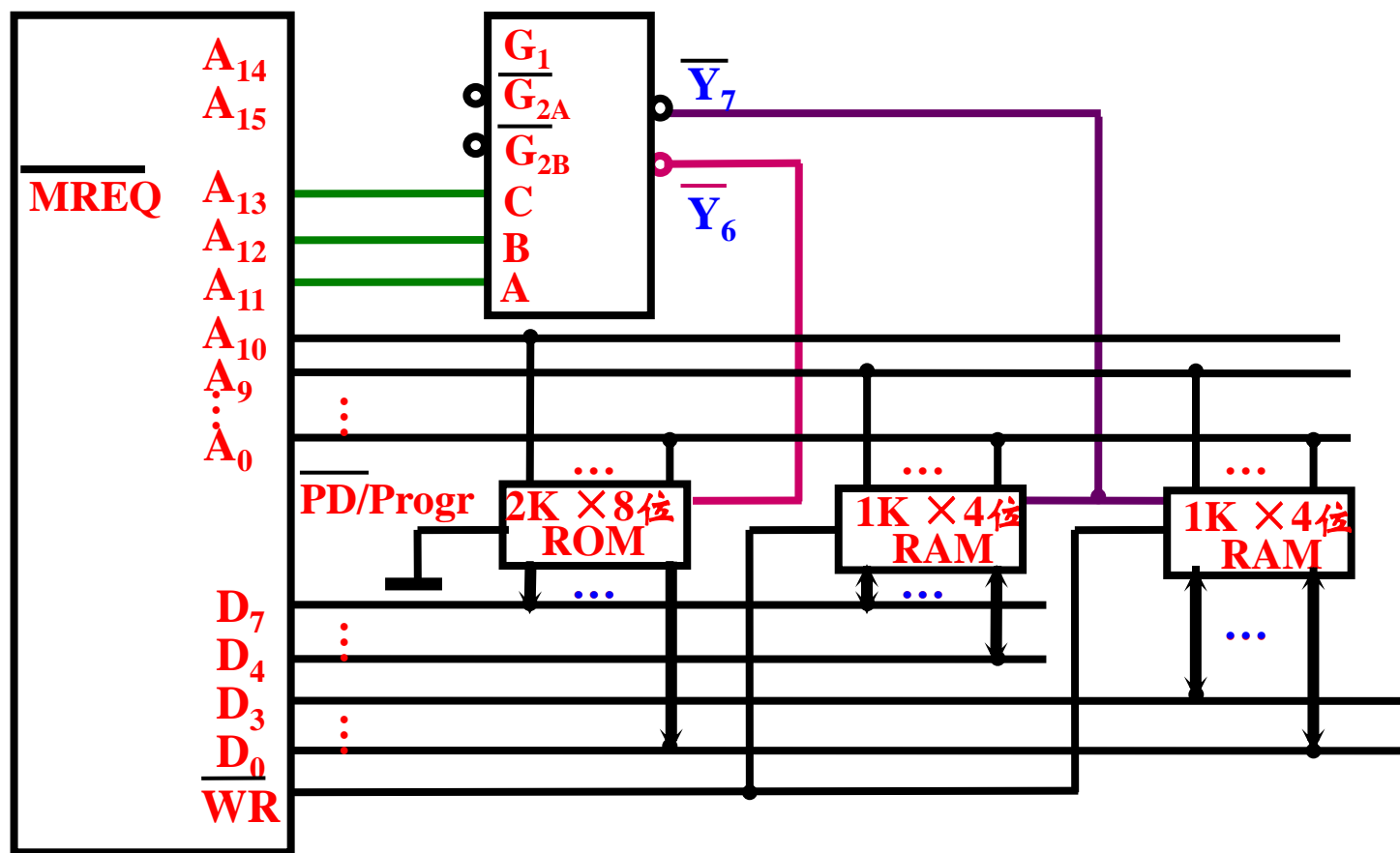
### (4) 确定片选信号





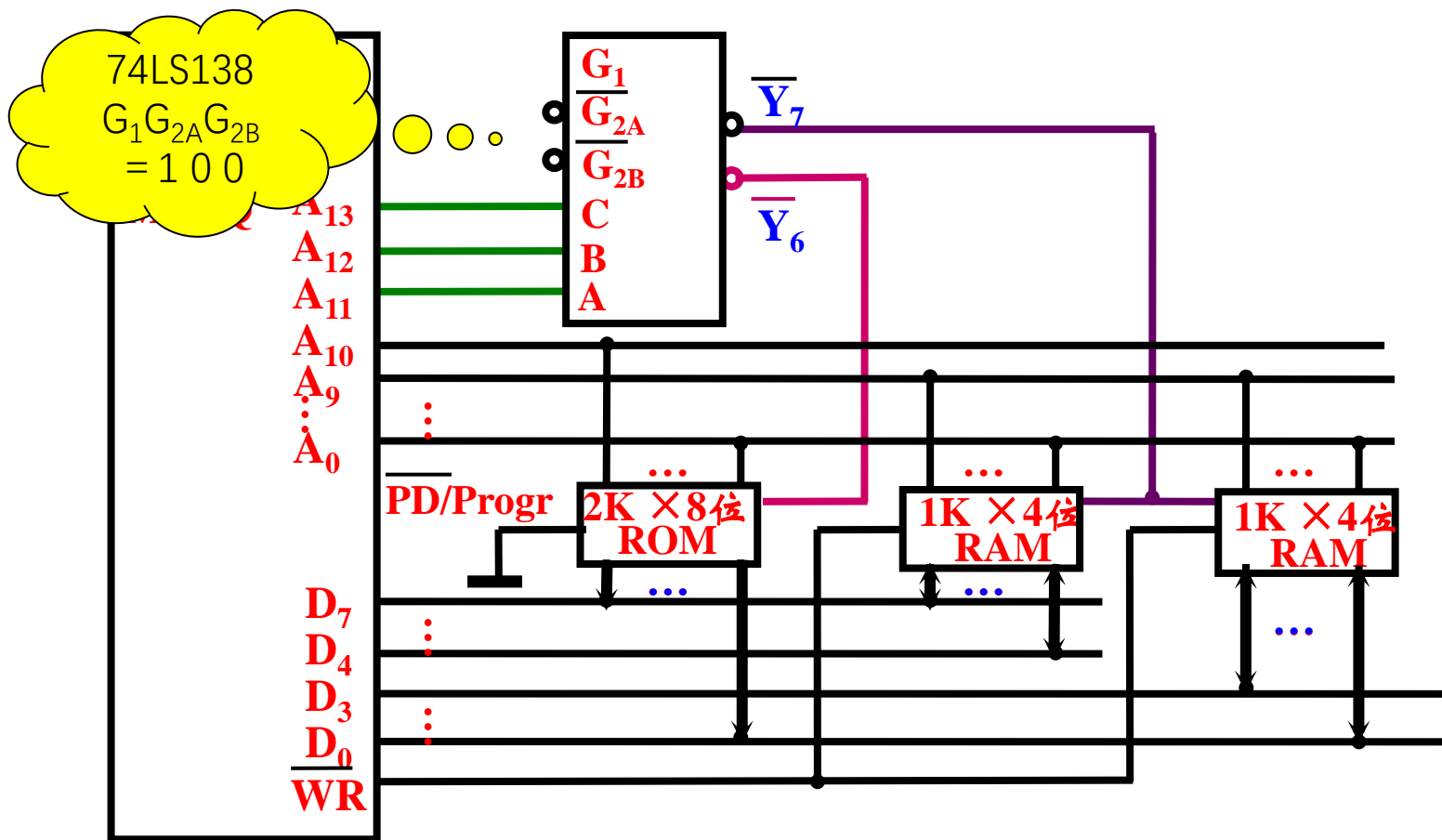
## 5.2.2 存储器与CPU的连接

(5) 画出CPU与存储器的连接图



## 5.2.2 存储器与CPU的连接

(5) 画出CPU与存储器的连接图



## 5.2.2 存储器与CPU的连接

74LS138

$G_1 G_2 A G_2 B$   
 $= 100$

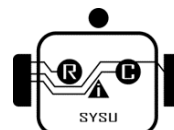
$A_{15}$	$A_{14}$	$A_{13}$	$A_{12}$	$A_{11}$	$A_{10}$	$A_9$	...	$A_7$	...	$A_4$	$A_3$	...	$A_0$	
0	1	1	1	0	0	0	0	0	0	0	0	0	0	1片ROM
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	2K×8位
0	1	1	1	0	1	1	1	1	1	1	1	1	1	2片RAM
0	1	1	1	1	0	0	0	0	0	0	0	0	0	1K×4位
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
0	1	1	1	1	0	1	1	1	1	1	1	1	1	

$A_{10} \sim A_0$  接  $2K \times 8$  位 ROM 的地址线

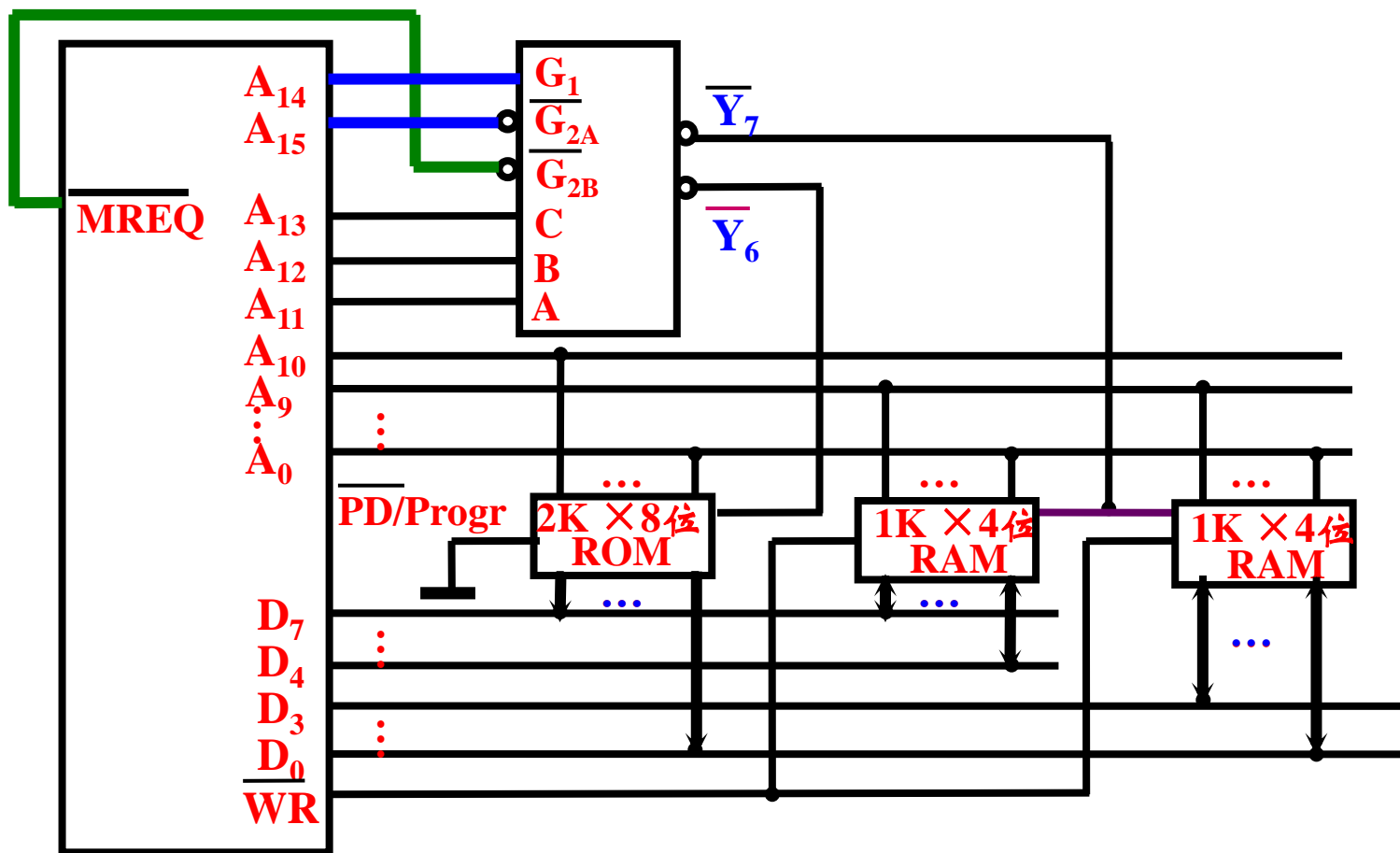
$A_9 \sim A_0$  接  $1K \times 4$  位 RAM 的地址线

(4) 确定片选信号

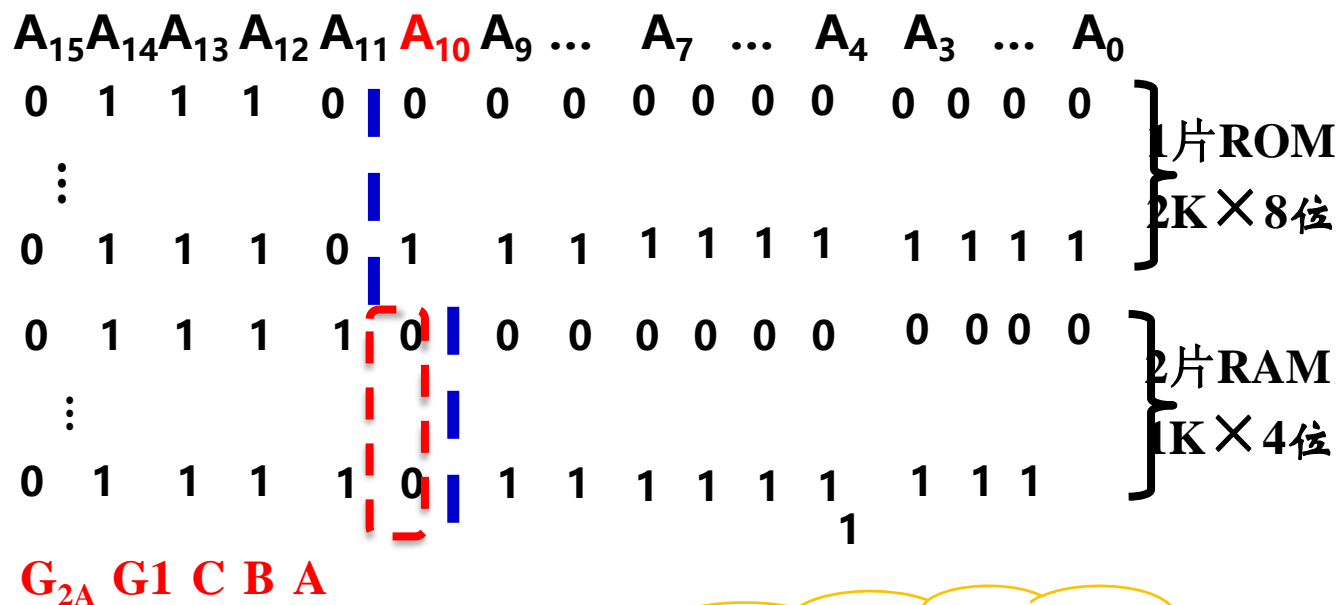
CPU用MREQ作访存  
控制信号



## 5.2.2 存储器与CPU的连接

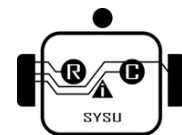
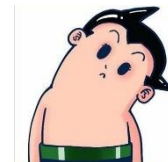


## 5.2.2 存储器与CPU的连接



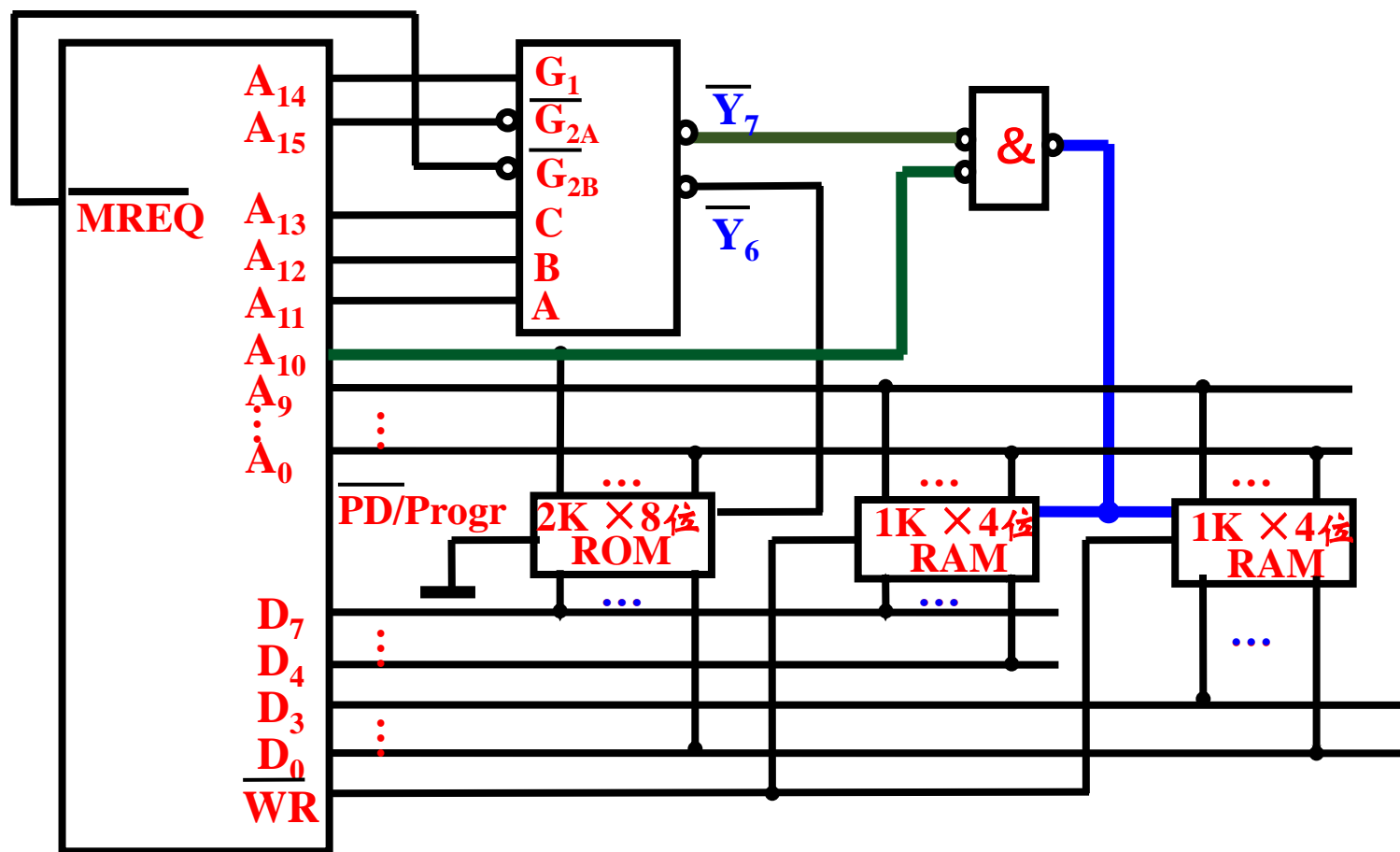
(4) 确定片选信号

当CPU的地址 $A_{10}$ 为  
“1”时，会怎样？



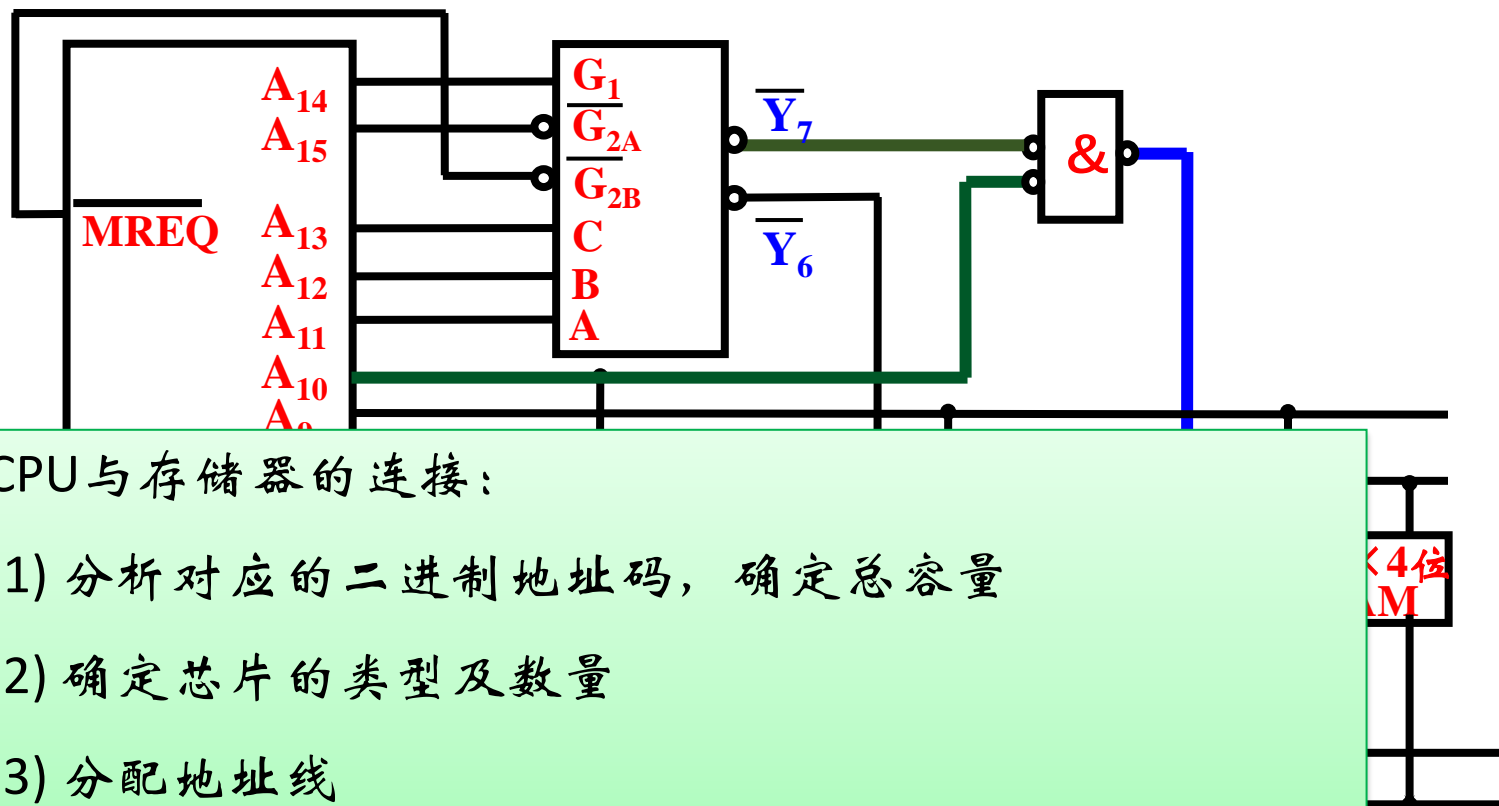
## 5.2.2 存储器与CPU的连接

(5) 画出CPU与存储器的连接图



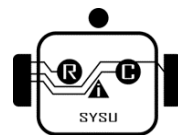
## 5.2.2 存储器与CPU的连接

(5) 画出CPU与存储器的连接图



CPU与存储器的连接:

- (1) 分析对应的二进制地址码, 确定总容量
- (2) 确定芯片的类型及数量
- (3) 分配地址线
- (4) 确定片选信号



# 补充题

1. 假定8位计算机具有24 位地址A<sub>23</sub>-A<sub>0</sub>，按其最大寻址能力配置主存储器，采用字节编址方式，请回答下列问题：

- 存储器的容量是多少？
- 如果用2M×1 位的存储器芯片构造该存储器，共需多少个芯片？
- 该存储器需要多少个片选信号？用哪几位地址信号生成这些片选信号？

2、某CPU地址线A<sub>15</sub> ~ A<sub>0</sub>，数据线D<sub>7</sub> ~ D<sub>0</sub>，WR为读/写信号，MREQ为访存请求信号。0000H ~ 3FFFH为系统程序区，4000H ~ FFFFH为用户程序区。请用8K×4位ROM芯片和16K×8位RAM芯片构成该存储器，要求说明地址译码方案，并画出ROM芯片、RAM芯片与CPU的连接。



# 联系方式

## □ Acknowledgements:

## □ This slides contains materials from following lectures:

- Computer Architecture (ETH, NUDT, USTC, SYSU)

## □ Research Area:

- 计算机视觉与机器人应用计算加速,
- 人工智能和深度学习芯片及智能计算机

## □ Contact:

- 中山大学计算机学院
- 管理学院D101 (图书馆右侧)
- 机器人与智能计算实验室
- [cheng83@mail.sysu.edu.cn](mailto:cheng83@mail.sysu.edu.cn)

