

计算机组成原理

-实验2: Verilog实践以及数字系统搭建

陈刚，副教授
人工智能与无人系统研究所
计算机学院
中山大学



中山大學

SUN YAT-SEN UNIVERSITY

数据科学与计算机学院

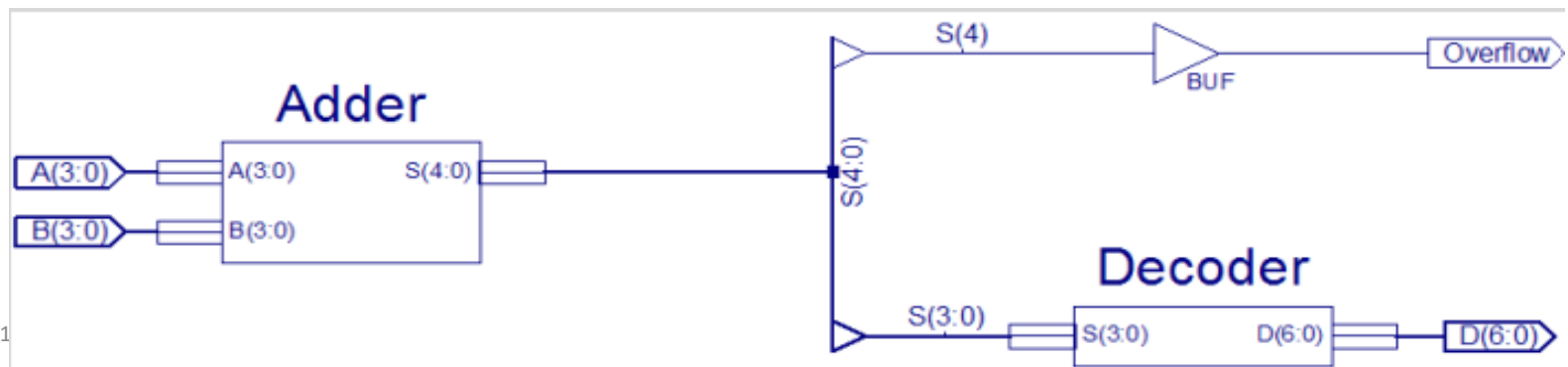
School of Data and Computer Science

实验目的

- 熟悉使用Xilinx vivado软件
 - 熟悉流程
 - 仿真和程序下载
- 掌握组合逻辑和时序逻辑Verilog实现方式
- 实践整体工程设计能力（top文件）

实验内容1

- 修改实验1的实验结果，做一个加法器，然后把加法的结果显示在7段数码管上，用1个LED灯显示加法器是否有溢出；
- 如图所示，输入A[3:0]和B[3:0]两个数，通过加法器之后，输出结果S[3:0]和溢出overflow信号；
- 其中： S[3:0]接到一位7段数码管上，溢出overflow信号接到1个LED灯上；



实验内容2

- 将上面的实验扩展到16位，输入A[15:0]和B[15:0]，输出结果S[15:0]和溢出overflow信号；

实验要求

- 给出完整的设计
- 给出完整的测试仿真程序：TestBench代码
- 验收仿真结果和上板子结果
- 提交完整的实验报告
- 9月21号实验课前提交实验报告

Questions?

Comments?

Discussion?