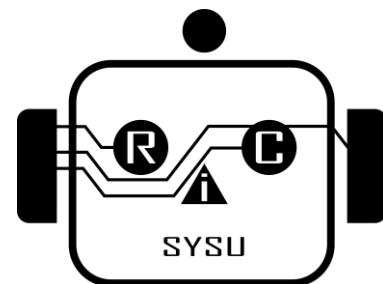


计算机组成原理实验

-课程介绍



中山大学
计算机学院
陈刚



2022年秋季



中山大學
SUN YAT-SEN UNIVERSITY

关于我们（简单）

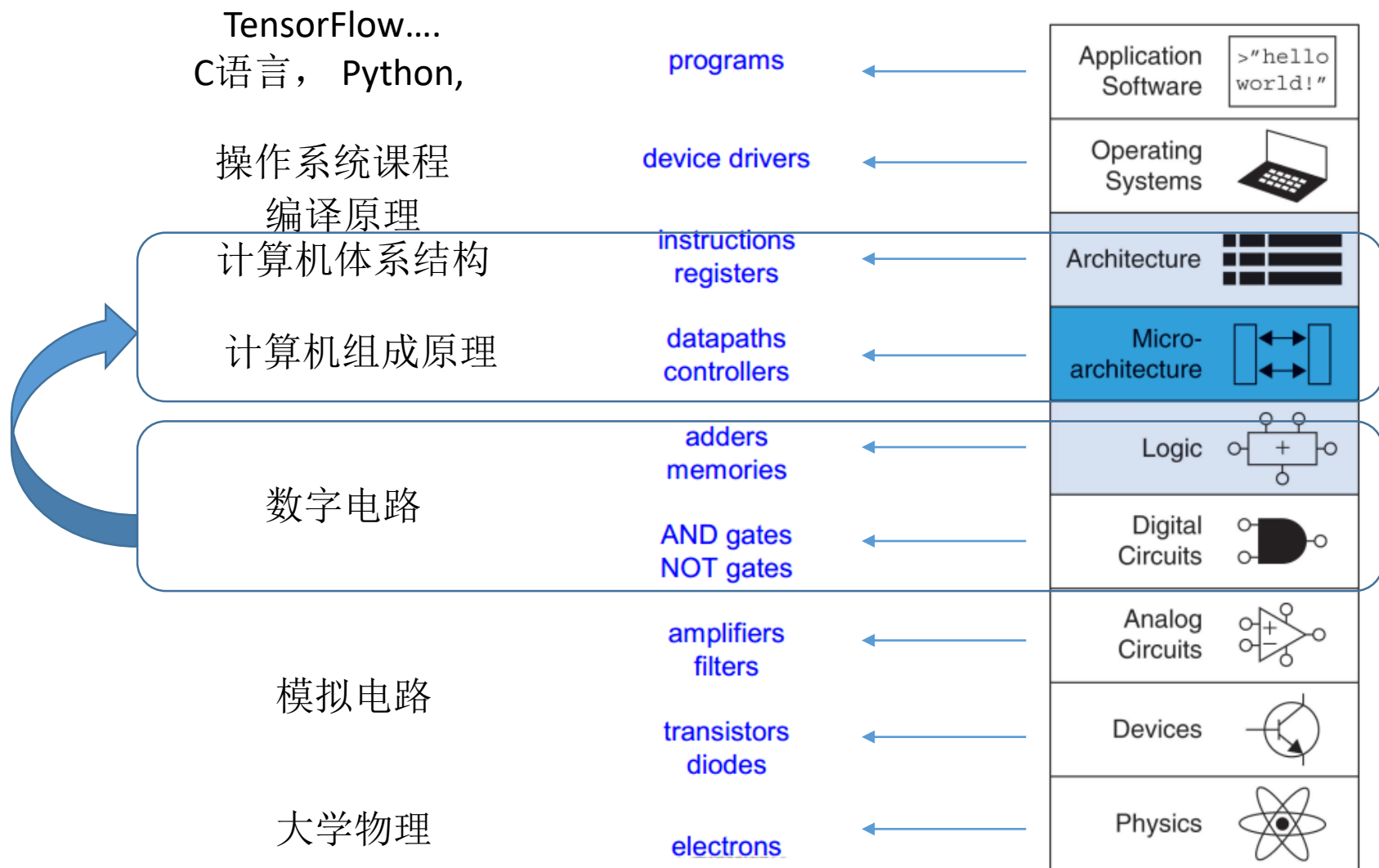
- 教师：陈刚

- 中山大学无人系统研究所, 副教授
- 研究方向：智能计算系统与加速器设计
- Email: cheng83@mail.sysu.edu.cn

- 助教（2个博士+3个硕士）

- 张余，林文蔚，中山大学RIC实验室博士研究生，
- 严远星，郑奕，汪钰深，中山大学无人系统研究所硕士研究生
- 主要负责收取并整理试验报告，辅助线上答疑工作

数字逻辑到计算机组成原理



前几届课程问题

- 数字逻辑是组成原理和体系结构的前导课（数电不熟）
- 仿真、综合工具使用不熟（Vivado）
 - 简单->复杂（按着例子去操作）
- 平时习惯于用高层次语言（i.e., Python）
 - 不会用Verilog
 - 硬件设计思路缺乏
- 对硬件设计比较恐惧
- 要会造CPU，不是只会考试，只会拿高分

写在前面的话

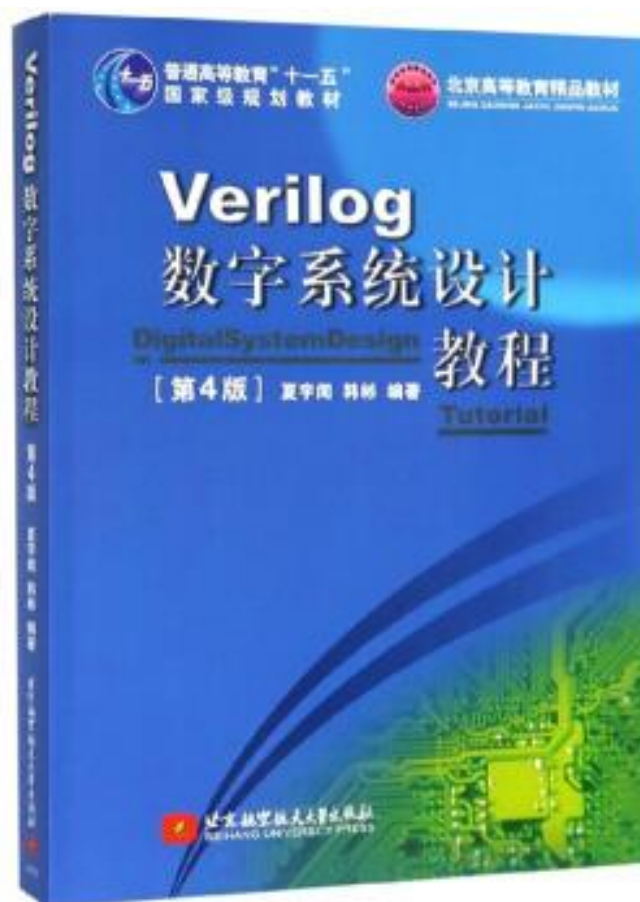
- 复习数电知识
- 根据给的操作说明书，按照成熟的例子一步一步操作
 - 熟悉并学会用vivado和编辑器
- 搞清楚原理
- 多动手，先仿真，在上板

数字电路设计

- 问下自己，下面电路你会设计吗？
- 译码器、数据选择器
- 加法器：全加器和串行进位多位全加器
- 锁存器与触发器
- 触发器时序分析：触发器的Setup延迟、Hold延迟和Clock-to-Q 延迟的含义及原理
- 状态机设计：如何用Verilog来写一个状态机
- 计数器设计
- 移位寄存器设计
- 组合逻辑电路和时序逻辑电路的原理

实验课需要用的语言：Verilog

- 硬件描述语言：VHDL和Verilog
- 学习： Verilog



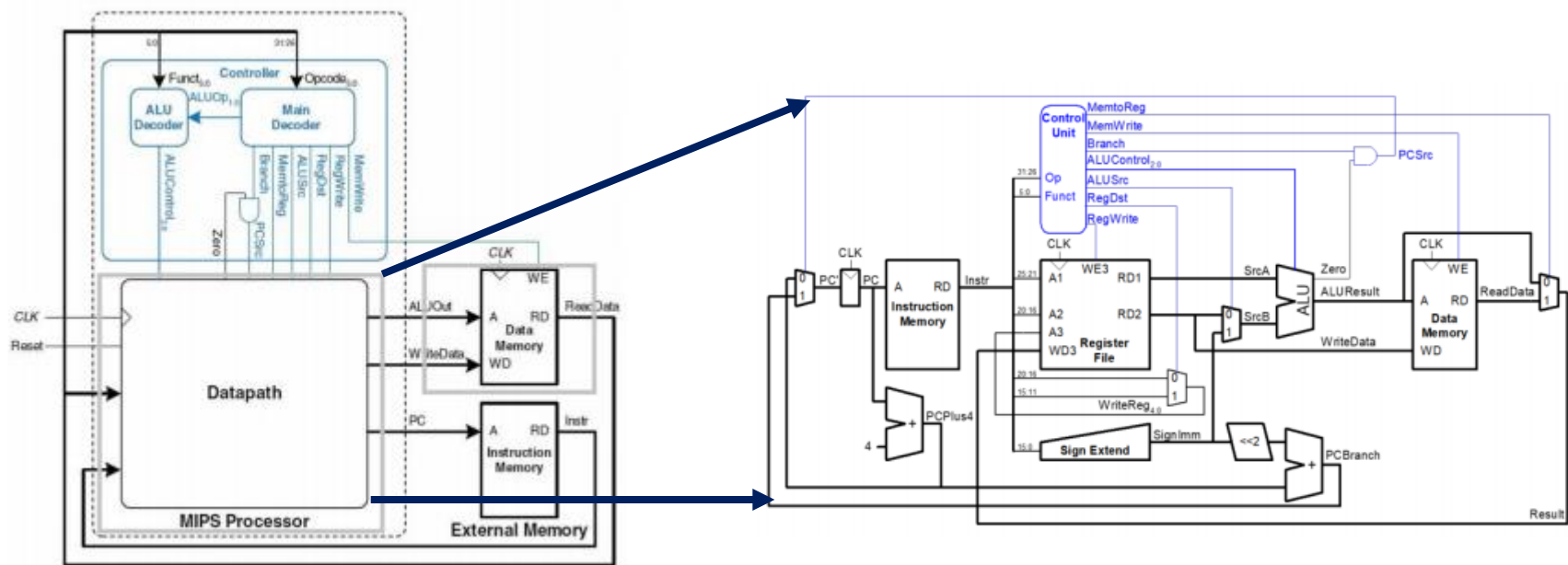
实验课需要用的语言：Verilog

- 需要有面向硬件的设计思想
- 类似C语言，但不是C语言
- 代码风格问题：代码必须可综合
- 怎么学

面向硬件电路的设计思路

- 时刻谨记这不是在写代码，而是在设计电路（并行）
- 先进行电路结构设计，再进行Verilog代码编写
- “自顶向下、模块划分、逐层细化”的设计步骤
- 写一个模块，测试一个模块

什么叫做自顶向下？



可综合代码

- 模块声明 **module, endmodule**
- 端口声明 **input, output, inout**
- 线网数据类型 **wire**
- 变量数据类型 **reg, integer**
- 参数常量 (**parameter constants**)
- 整型数 (**literal integer numbers**)
- 模块实例化
- 连续赋值语句 **assign**
- **always**结构化过程语句 **always**
 - @信号敏感列表
- **begin ... end**块
- 阻塞赋值 (=) 和非阻塞赋值 (<=)
- 条件判断语句 **if, if...else, case**
- **for**循环
 - 和generate 联用
- 多维数组
 - 最多两个维度 (Verilog 2015)

代码风格建议（要求）

- 组合逻辑用**assign**
 - 当然也可以用**always**写，需要用允许出现阻塞赋值（=）
- 写时序逻辑的**always**语句中只允许出现非阻塞赋值（<=）
- **case**语句任何情况下都要有**default**分支。
 - 莫名报错
- 模块实例化与调用：参数和端口传输

```
module top;

wire [15:0] btm_a;
wire [ 7:0] btm_b;
wire [ 3:0] btm_c;
wire [ 3:0] btm_y;
wire      btm_z;

bottom #(
    .A_WIDTH (16),
    .B_WIDTH ( 7),
    .Y_WIDTH ( 3)
)
inst_btm(
    .a (btm_a), //I
    .b (btm_b), //I
    .c (btm_c), //I
    .y (btm_y), //O
    .z (btm_z) //O
);

endmodule

module bottom #
(
    parameter A_WIDTH = 8,
    parameter B_WIDTH = 4,
    parameter Y_WIDTH = 2
)
(
    input  wire [A_WIDTH-1:0] a,
    input  wire [B_WIDTH-1:0] b,
    input  wire [ 3:0] c,
    output wire [Y_WIDTH-1:0] y,
    output reg          z
);

// internal logic

endmodule
```

• 译码器

```
module decoder_4_16(  
    input  [ 3:0] in,  
    output [16:0] out  
);  
    // one-hot  
    assign out[ 0] = (in == 3'd0 );  
    assign out[ 1] = (in == 3'd1 );  
    assign out[ 2] = (in == 3'd2 );  
    assign out[ 3] = (in == 3'd3 );  
    assign out[ 4] = (in == 3'd4 );  
    assign out[ 5] = (in == 3'd5 );  
    assign out[ 6] = (in == 3'd6 );  
    assign out[ 7] = (in == 3'd7 );  
    assign out[ 8] = (in == 3'd8 );  
    assign out[ 9] = (in == 3'd9 );  
    assign out[10] = (in == 3'd10);  
    assign out[11] = (in == 3'd11);  
    assign out[12] = (in == 3'd12);  
    assign out[13] = (in == 3'd13);  
    assign out[14] = (in == 3'd14);  
    assign out[15] = (in == 3'd15);  
  
endmodule
```

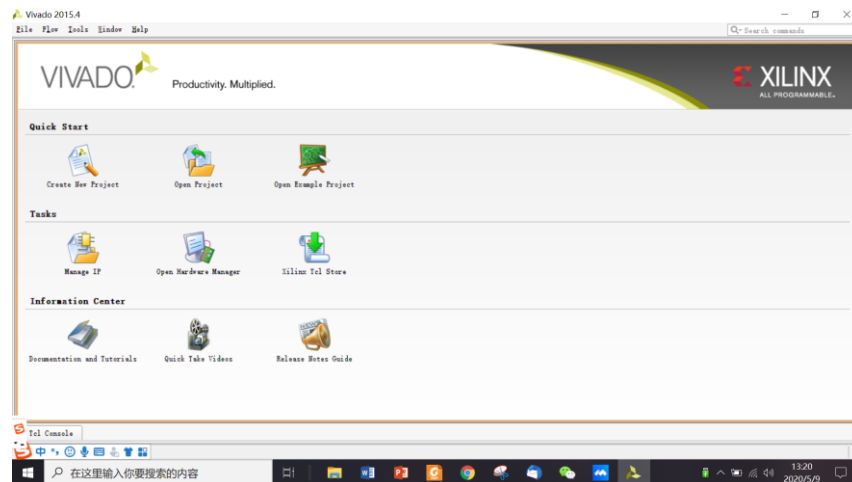
```
module decoder_5_32(  
    input  [ 4:0] in,  
    output [31:0] out  
);  
    genvar i;  
    generate for (i=0; i<32; i=i+1) begin : gen_for_dec_5_32  
        assign out[i] = (in == i);  
    end endgenerate  
endmodule
```

课程前期准备

- 仿真环境安装
 - **Xilinx Vivado**
- 试验平台介绍
 - **Basys3** 实验开发板
- 基本概念建立

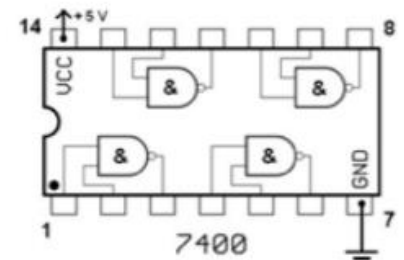
课程前期准备

- **Xilinx FPGA** 开发工具简介及其安装
 - Vivado 设计套件，是 FPGA 厂商 Xilinx 公司 2012 年开始发布的集成设计环境
 - 版本号：Vivado
 - 官方下载地址：<https://china.xilinx.com/support/download.html>
 - 官方安装视频：<https://china.xilinx.com/video/hardware/vivado-design-suite-installation-overview.html>
 - 可以先下载适用版，尝试使用



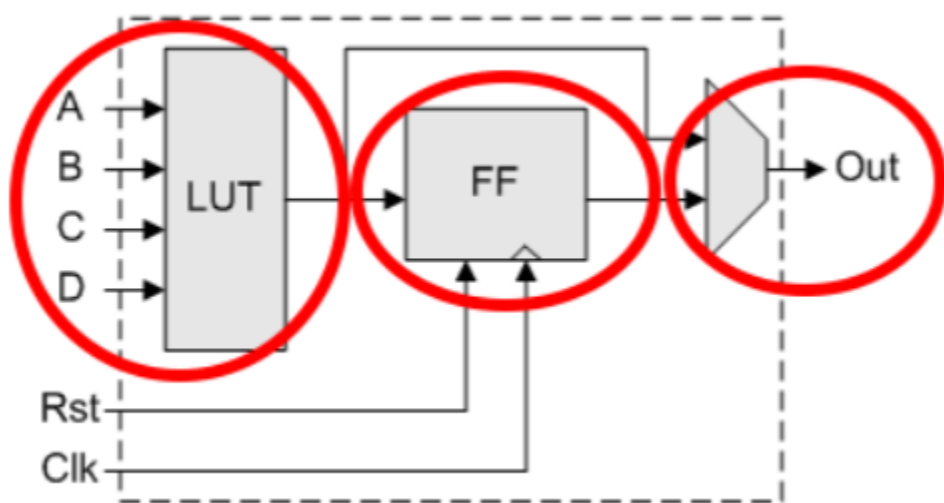
FPGA 实验平台介绍

- 仿真到实际器件：FPGA试验平台
 - 什么是FPGA
 - 可编程逻辑阵列：FPGA (Field Programmable Gate Array)
 - Xilinx于1985年研制出来第一块FPGA芯片
 - User-level：可编程硬件
 - Logic circuits are implemented as „program“
 - Verilog or VHDL语言
- 传统硬件开发模式
 - 需要独立的IC芯片搭建电路，接线复杂
 - 试验昂贵，容易出错

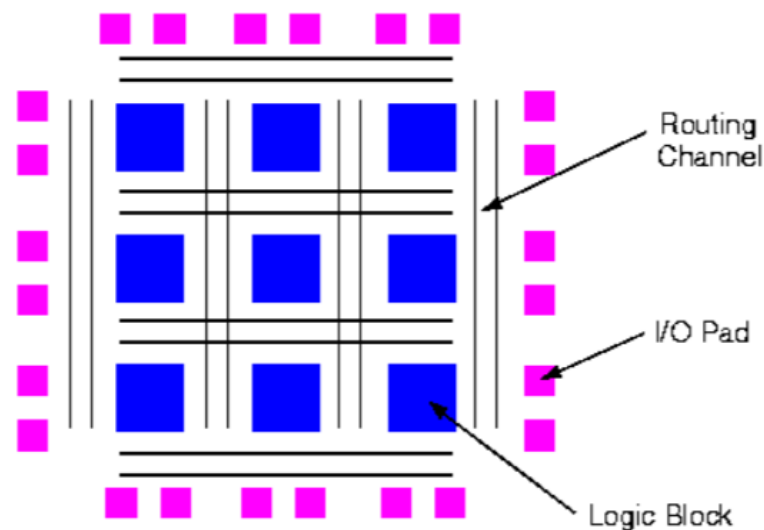


FPGA 实验平台介绍

- 仿真到实际器件：**FPGA**试验平台
 - **FPGA**基本单元
 - 逻辑单元（**Logic Element**）：查找表、触发器、选择器



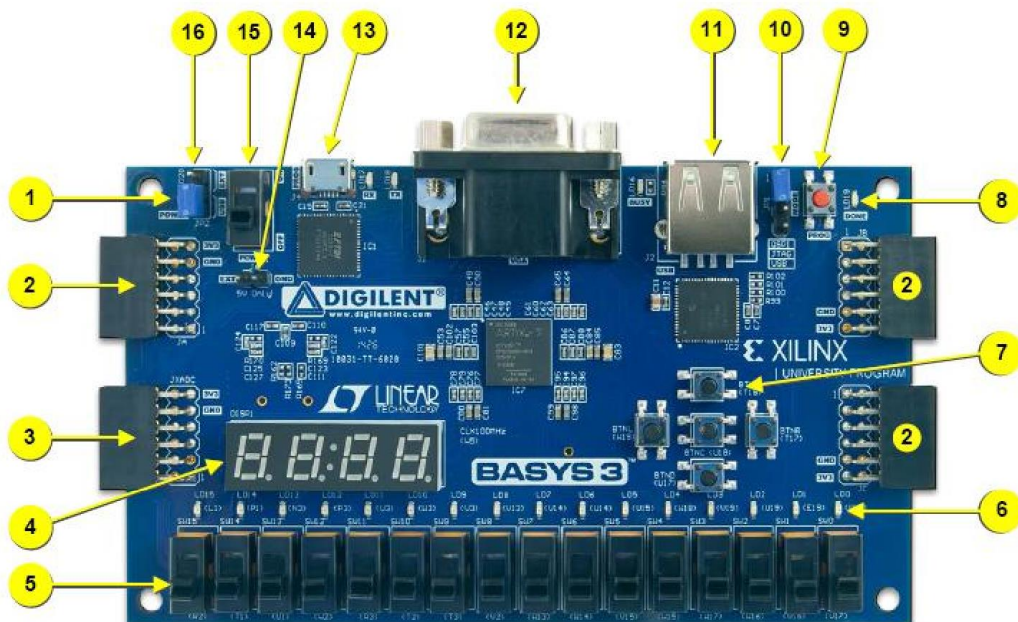
逻辑单元构成



FPGA 实验平台介绍

- **Xilinx公司的 ARTIX-7 系列芯片 XC7A35T-1CPG236C**
 - **33,280 个逻辑单元, 六输入LUT结构**
 - **1,800 Kbits 快速RAM块**
 - **5个时钟管理单元, 均各含一个锁相环 (PLL)**
 - **90个DSP slices**
 - **内部时钟最高可达450MHz**
 - **1个片上模数转换器 (XADC)**

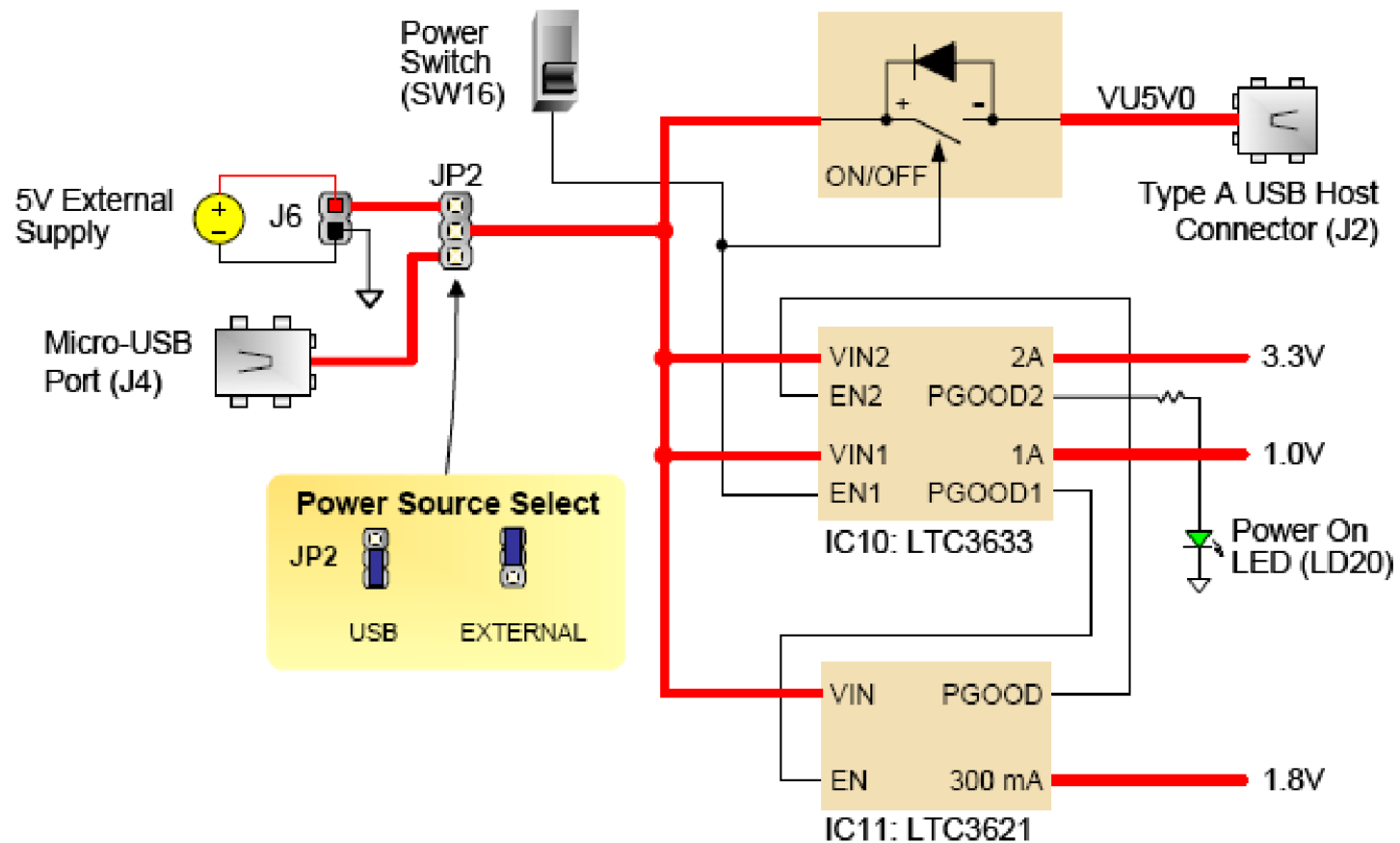
FPGA 实验平台介绍



序号	描述	序号	描述
1	电源指示灯	9	FPGA配置复位按键
2	Pmod接口	10	编程模式跳线柱
3	专用模拟信号Pmod接口	11	USB连接口
4	4位7段数码管	12	VGA连接口
5	16个拨键开关	13	UART/JTAG共用USB接口
6	16个LED	14	外部电源接口
7	5个按键开关	15	电源开关
8	FPGA编程指示灯	16	电源选择跳线柱

FPGA 实验平台介绍

- 电源



FPGA 实验平台介绍

- FPGA 调试及配置电路

编程下载：

下载程序 3 种方式：

- 用Vivado通过JTAG方式下载.bit文件到FPGA芯片。
- 用Vivado通过QSPI方式下载.bit文件到Flash芯片，实现掉电不易失。
- 用U盘或移动硬盘通过J2的USB端口下载.bit文件到FPGA芯片（建议将.bit文件放到U盘根目录下，且只放1个），该U盘应该是FAT32文件系统。

注意：1、下载方式通过JP1的短路帽进行选择；
2、系统默认主频率为100MHz

FPGA 实验平台介绍

- FPGA是可编程的‘通用’电路，通过Verilog或者VHDL
- 电路功能写好之后，需要把电路的引脚MAP到外面的物理管脚上(PIN) (重要)

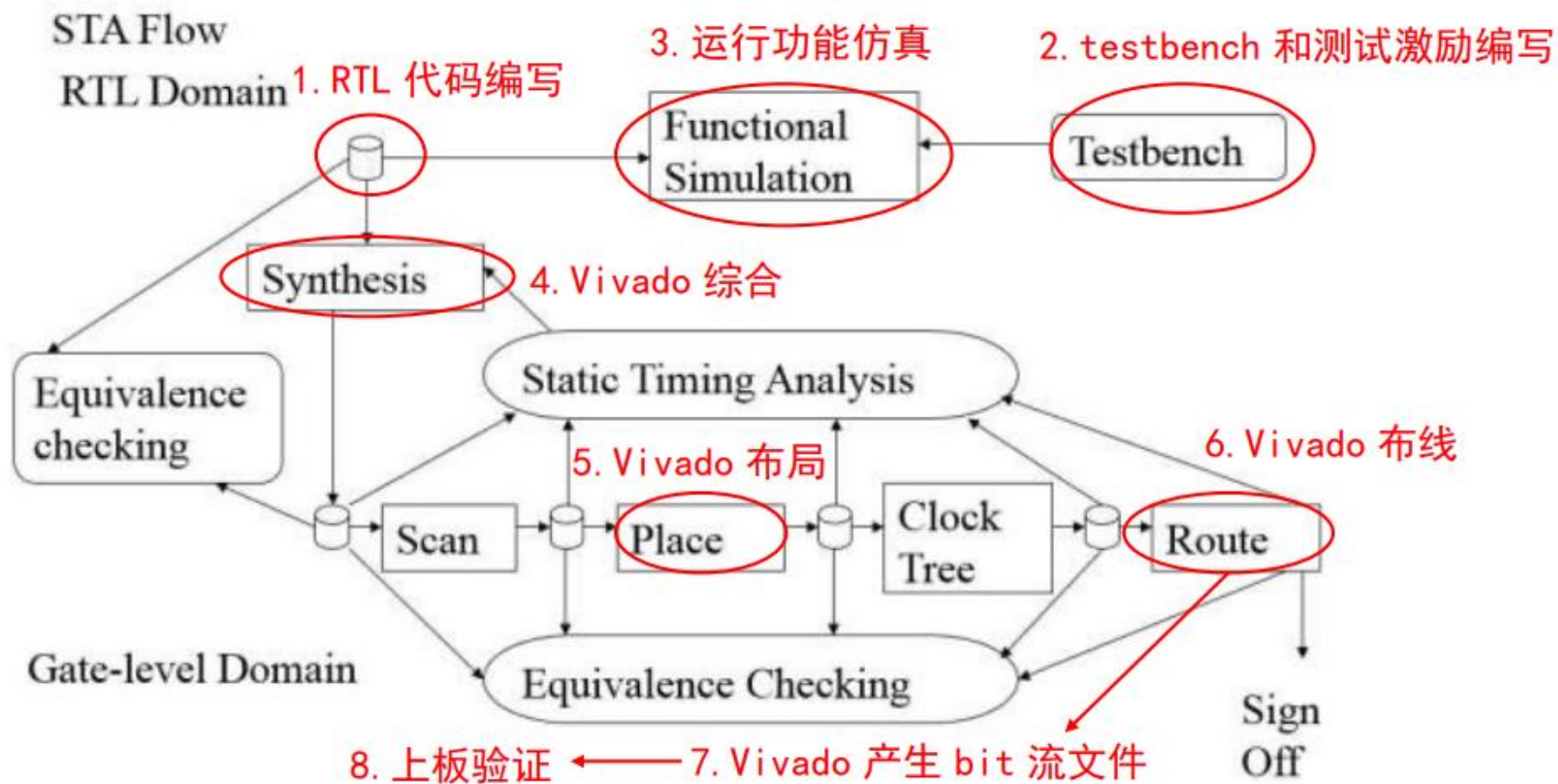
LED	PIN	CLOCK	PIN	SWITCH	PIN	BUTTON	PIN	Seven-segment digital tube	PIN
LD0	U16	MRCC	W5	SW0	V17	BTNU	T18	AN0	U2
LD1	E19			SW1	V16	BTNR	T17	AN1	U4
LD2	U19			SW2	W16	BTND	U17	AN2	V4
LD3	V19			SW3	W17	BTNL	W19	AN3	W4
LD4	W18			SW4	W15	BTNC	U18	CA	W7
LD5	U15			SW5	V15			CB	W6
LD6	U14			SW6	W14			CC	U8
LD7	V14			SW7	W13			CD	V8
LD8	V13	USB (J2)	PIN	SW8	V2			CE	U5
LD9	V3	PS2_CLK	C17	SW9	T3			CF	V5
LD10	W3	PS2_DAT	B17	SW10	T2			CG	U7
LD11	U3			SW11	R3			DP	V7
LD12	P3			SW12	W2				
LD13	N3			SW13	U1				
LD14	P1			SW14	T1				
LD15	L1			SW15	R2				

FPGA 实验平台介绍

- FPGA是可编程的‘通用’电路，通过Verilog或者VHDL
- 电路功能写好之后，需要把电路的引脚MAP到外面的物理管脚上(PIN)

VGA	PIN	JA	PIN	JB	PIN	JC	PIN	JXADC	PIN
RED0	G19	JA0	J1	JB0	A14	JC0	K17	JXADC0	J3
RED1	H19	JA1	L2	JB1	A16	JC1	M18	JXADC1	L3
RED2	J19	JA2	J2	JB2	B15	JC2	N17	JXADC2	M2
RED3	N19	JA3	G2	JB3	B16	JC3	P18	JXADC3	N2
GRN0	J17	JA4	H1	JB4	A15	JC4	L17	JXADC4	K3
GRN1	H17	JA5	K2	JB5	A17	JC5	M19	JXADC5	M3
GRN2	G17	JA6	H2	JB6	C15	JC6	P17	JXADC6	M1
GRN3	D17	JA7	G3	JB7	C16	JC7	R18	JXADC7	N1
BLU0	N18								
BLU1	L18								
BLU2	K18								
BLU3	J18								
HSYNC	P19								
YSYNC	R19								

设计流程



课程安排

- 每周三上午1-2节，C201
- 实验课会有11次实验
- 实验课形式：讲解-说明示范-动手实现-现场答疑-现场验收
- 每一次实验都有实验文档和代码框架，大家需要按照文档完成实验任务
- 按照时间节点验收并提交实验报告
- 作业提交邮箱：assignmentSYSU@163.com
- 作业提交方式
 - 邮件主题命名：姓名-学号-班级-理论（或者实验）-第XXXX次作业（或者实验报告）



Schedule

Lecture	Topic	Read before class	Keypoint
1	开发板实例代码运行	阅读Basys3入门指导手册，按照手册建立实例工程；安装vivado	实验：了解并熟悉vivado开发流程
2	Verilog讲解和状态机电路设计	阅读夏雨闻的《Verilog数字系统设计教程》	讲解：要求能读懂基本的Verilog代码
3	时序逻辑与状态机	阅读夏雨闻的《Verilog数字系统设计教程》	实验
4	存储器实验	实验手册	实验
5	寄存器堆与ALU设计实验	实验手册	实验
6	指令集ISA与MIPS编程1	MARS仿真器	实验
7	指令集ISA与MIPS编程2	MARS仿真器	实验
8	指令集ISA与MIPS编程3	MARS仿真器	实验
9	存储器与控制器实验	FPGA实验板	实验
10	单周期处理器实验	FPGA实验板	实验
11	多周期处理器实验	FPGA实验	实验
12*	流水线处理器实验	FPGA实验	实验

Questions?

Comments?

Discussion?