



实验10: 单周期处理器上板实验

-从仿真到上板

中山大学计算机学院 陈刚

2022年秋季

第一步:修改寄存器堆文件

□改写regfile.v增加一路读口,然后把新增加的读口地址连接到拨码开关,把新增加的读口接到七段数码管上显示(类似于前面的寄存器堆实验里面的做法,同学们可以参考一下);验证程序运行后,通过拨码开关选择不同的寄存器,通过七段数码管上显示查看每个寄存器的值是否符合预期。

```
module regfile (
     input wire clk,
     input wire we3,
     input wire[4:0] ra1,ra2,wa3,
     input wire[31:0] wd3,
     output wire[31:0] rd1,rd2
    //add for debug
    //input wire[4:0] ra debug, =>connect to top moudle, physically connect to switch
    //output wire[31:0] rd debug =>connect to top moudle, physically connect to seg7
     reg [31:0] rf[31:0];
     always @ (posedge clk) begin
         if(we3) begin
              rf[wa3] \le wd3;
        end
     end
    assign rd1 = (ra1 != 0) ? rf[ra1] : 0;
     assign rd2 = (ra2 != 0) ? rf[ra2] : 0;
    //add for debug
     //assign rd debug = (ra debug != 0) ? rf[ra debug] : 0;
endmodule
```

第二步:将debug引脚引出来

□将寄存器新增加的input和output通过层层模块引入到 top文件里面来

```
module regfile (
    input wire clk,
    input wire we3,
    input wire[4:0] ra1,ra2,wa3,
    input wire[31:0] wd3,
    output wire[31:0] rd1,rd2
    //add for debug
    //input wire[4:0] ra debug,
                                  =>connect to top moudle, physically connect to switch
    //output wire[31:0] rd debug =>connect to top moudle, physically connect to seg7
    reg [31:0] rf[31:0];
    always @ (posedge clk) begin
        if(we3) begin
             rf[wa3] \le wd3;
        end
    end
    assign rd1 = (ra1 != 0) ? rf[ra1] : 0;
    assign rd2 = (ra2 != 0) ? rf[ra2] : 0;
    //add for debug
    //assign rd debug = (ra debug != 0) ? rf[ra debug] : 0;
endmodule
```





第三步:通过添加while(1)来停止CPU

- □自己编写一个C语言程序(比如: 计算n!或者冒泡), 然后自己翻译成汇编代码;
- □程序的参数:全部放在内存里面(比如数组,和其他 输入参数):输出结果放在某个约定的寄存器里面
- □但是: 在C语言程序里面往往有return 0; 执行到 return 0; CPU就停止运行结束了; 这里我们需要用 while(1)来代替return 0,使得CPU能一直运行:
- □CPU一直运行就可以保证你可以通过拨码开关查看寄存 器的内容;
- □通过拨码开关选定特定的寄存器查看数值是否符合预 期





扩展内容

- □想想我们课堂上还有哪些指令没有实现,也可以尝试 加入
- □添加更多的指令
- □比如: jr和jal指令



