

TALLER 5

“IMPLEMENTACIÓN EN FPGA DE CIRCUITOS DIGITALES BÁSICOS”

Ejercicios

Para el desarrollo de este taller se considerarán dos de los ejercicios o problemas desarrollados y simulados (un problema secuencial y uno combinacional) hasta ahora. Los problemas seleccionados son los siguientes:

1. Detector de números formados por los dígitos del código de uno o dos integrantes del equipo de trabajo (ejercicio Taller2): tome los dígitos correspondientes a uno o dos códigos de los integrantes del grupo de trabajo y forme todas las combinaciones posibles y diferentes de números que se encuentren en el rango de 0 – 63, etiquetelos con un '1', y los restantes que no pertenecen a ninguna combinación con '0'. El total de combinaciones debe ser superior a 22 e inferior a 35, sino se encuentra en el rango puede descartar combinaciones.

Usted visualizará en los displays siete segmentos el número de entrada el cual se encuentra en binario (switches) y la salida se mostrará en un led. El esquema o diseño a utilizar puede ser cualquiera de los desarrollados en el Taller 2.

2. Implemente la secuencia de números que le correspondió diseñar para el taller 3, seleccione alguna de las soluciones diseñadas y simuladas previamente. Para ello es necesario que usted realice un divisor de frecuencia del reloj de la tarjeta (50Mhz) para visualizar en los displays la secuencia .

Actividades

- A. Simule sus bloques y el sistema completo, usando ModelSim.
- B. Mediante el archivo UCF, ubique los pines correspondientes a las salidas y las entradas de la tarjeta (pulsadores, switches, displays, led)
- C. Sintetice su descripción en el dispositivo SPARTAN2E XC2S200E-PQ208 o Spartan 3. Determine los recursos utilizados, tiempo de retardo y máxima frecuencia de reloj.
- D. Implemente en la tarjeta de desarrollo.
- E. Realice un informe de laboratorio en que se especifique el desarrollo de la práctica. En el informe incluya las modificaciones o ajustes que tuvo que realizar para implementar sus modelos.

Notas

- El taller es elaborado en los grupos de laboratorio y la entrega es en la semana del 5 al 10 de octubre, en la sesión de laboratorio que le corresponda.
- El informe de laboratorio debe ser entregado en el momento de presentar la práctica, este debe reflejar todo el desarrollo llevado para la ejecución de la misma. Tenga en cuenta que el objetivo de la materia es el diseño de sistemas digitales.

Referencias

- [1] Notas de clase y laboratorio
- [2] Brown y Vranesic: “Fundamentos de lógica digital con diseño VHDL”