

Circuitos Digitales II
Ingeniería Electrónica
Universidad Distrital Francisco José de Caldas
Profesor: Andrés Gaona

TALLER 3

“Modelado de circuitos secuenciales básicos usando VHDL”

Objetivos

- ⤴ Familiarizar al estudiante con el lenguaje de descripción de hardware (VHDL) y su aplicación a la descripción de bloques combinacionales.
- ⤴ Diseñar, especificar y sintetizar circuitos síncronos básicos utilizando un lenguaje de descripción de hardware (HDL).
- ⤴ Adquirir habilidades y destrezas en el diseño de sistemas digitales y en el manejo de herramientas software como ISE y ModelSim.

Problemas

1. Describir y simular el circuito que le corresponda según la Tabla 1. Su circuito debe tener la característica de ser genérico (“n bits”) y utilizar la instrucción *generate* para realizar su modelo.

<i>Dígito final de la sumatoria del último número de los códigos de los integrantes del grupo</i>	<i>Tipo de circuito secuencial</i>
Par	Registro de corrimiento con acceso paralelo ([1], pág. 401)
Impar	Contador con carga paralela ([1], pág. 409)

Tabla 1 Selección del circuito secuencial a modelar

2. Diseñe un contador cíclico que muestre la secuencia de los números que identificó para el Taller 2 e etiquetó con uno (‘1’), para ello obtenga el circuito canónico (ecuaciones de excitación) usando flip-flops T. Es necesario desarrollar su diseño utilizando el flip-flop en una descripción de tipo estructural (*no use el método de registro de estados*), en conjunto con las funciones de excitación para el flip-flop.

Actividades.

- a. Para cada uno de los problemas y a lo largo del semestre aplique la siguiente metodología:
 - Análisis del problema y planteamiento de soluciones con el modelo de caja negra
 - Identifique puertos y señales internas
 - Especificación VHDL
 - Simulación
 - Análisis de resultados y conclusiones

Nota: para todas sus descripciones utilice el mismo dispositivo.

- b. En ISE seleccione un dispositivo y varíe el tamaño del sumador (2 - 64bits) y grafique el % porcentaje de slices usados en cada caso y retardo vs. Número de bits
- c. Plantee una arquitectura que resuelva el problema 2 y simúlela.
- d. Realice un informe de laboratorio en que se especifique el desarrollo de la práctica. El informe debe ser entregado el día de presentación de la práctica.
- e. En día de entrega de la práctica presente las simulaciones funcionando en el laboratorio, para lo cual el monitor y/o profesor puede solicitarle cualquier tamaño de contador o registro.

Notas

- El taller es elaborado en los grupos de laboratorio y la entrega es en la semana del 14 - 18 de Septiembre, en la sesión que le corresponda al grupo de trabajo.
- El informe de laboratorio debe ser entregado en el momento de presentar la práctica, este debe reflejar todo el desarrollo llevado para la ejecución de la misma. Tenga en cuenta que el objetivo de la materia es el diseño de sistemas digitales.

Referencias

- [1] S. Brown y Z. Vranesic, Fundamentos de lógica digital con diseño VHDL, segunda edición, Mc. Graw Hill.
- [2] Notas de clase
- [3] Gajski, D., "Principios de diseño digital", Prentice Hall