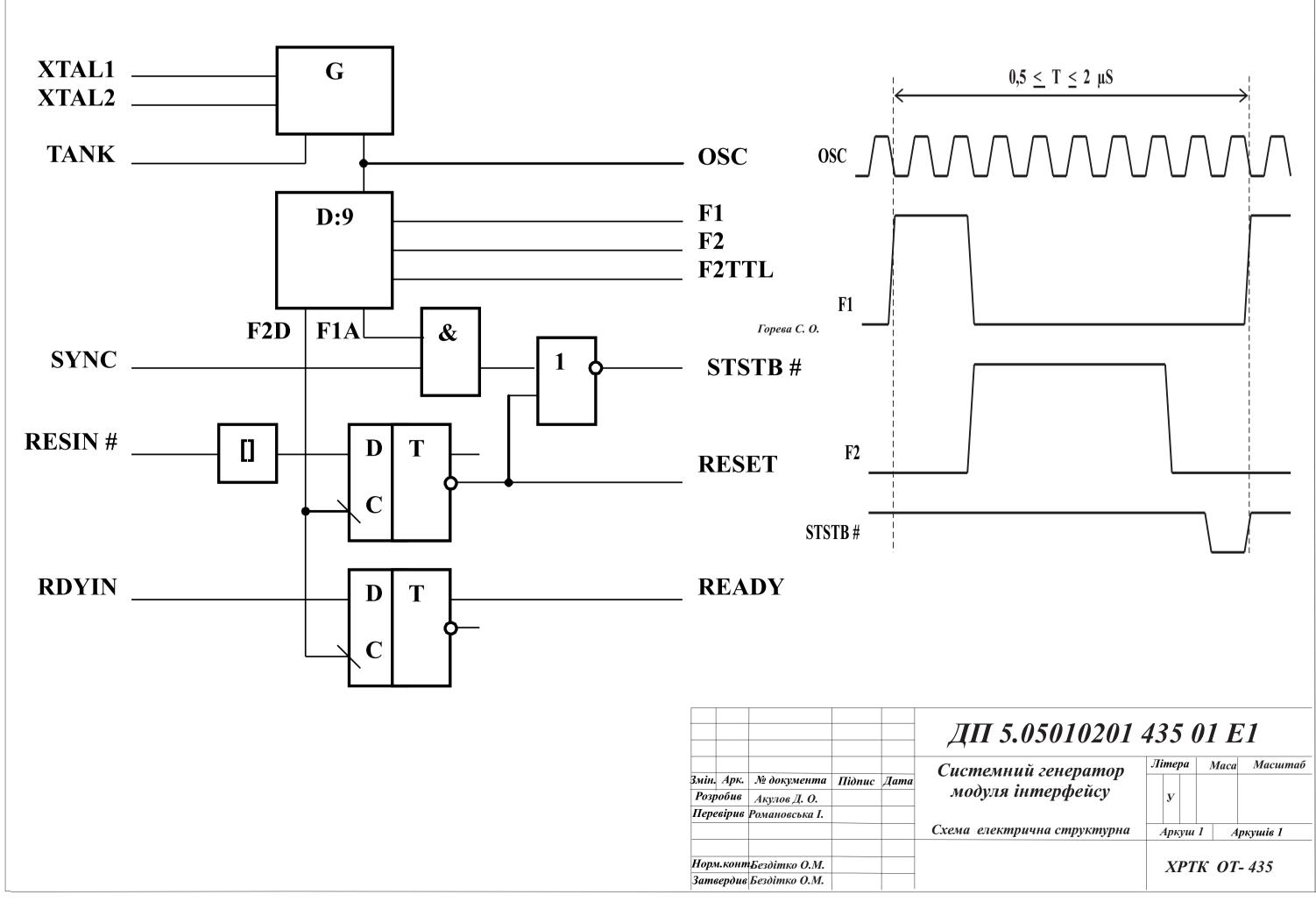
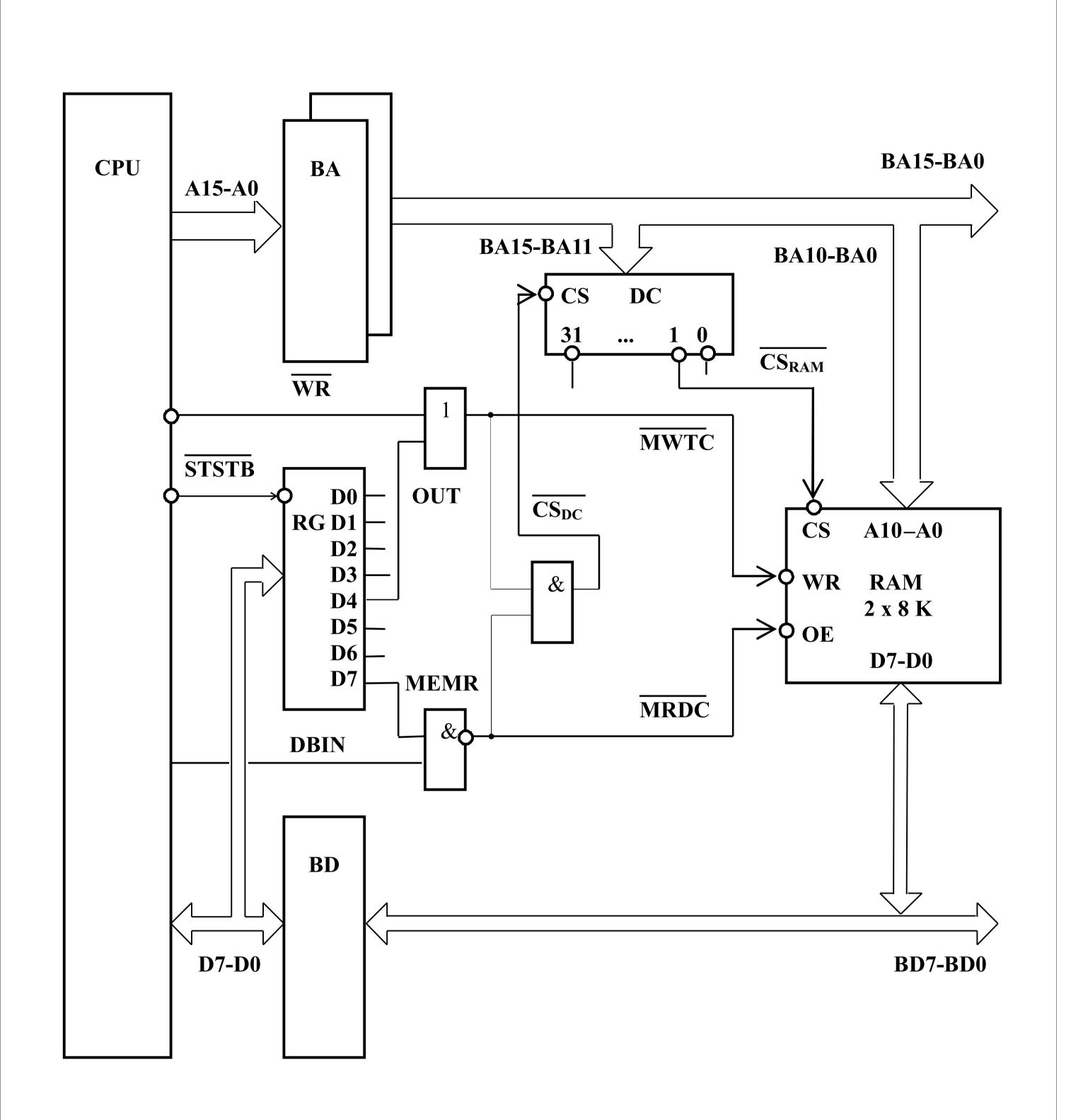


Bit	SW – Status Word processor			
DO	INTA	INTerupt Acknowledgment		
D1	WO #	Write Out		
D2	STACK	STACK		
D3	HLTA	HaLT Acknowledgment		
D4	OUT	OUTput		
D5	M1	Machine1		
D6	INP	INPut		
D7	MEMR	MEMory Read		

				ДП 5.0501020	1 43	35	01	<i>E1</i>
				Контролер магістралі	Літер	$a \mid I$	Маса	Масштаб
Змін. Арн	к. № документа	Підпис	Дата					
Розробие	з Акулов Д. О.			модуля інтерфейсу	y			
Перевіри	в Романовська I.							
				Схема електрична структурна	Арку	ш 1	Ap	ркушів 1
Норм.кон	т.Бездітко О.М.				X	PTK	CO7	T- 435
Затвепди	ив Бездітко О.М.				11			, , , ,





MRDC = MEMR & DBIN;

 $CS_{DC} = MRDC \vee MWTC;$

 $\overline{MRDC} = \overline{MEMR \& DBIN}$;

 $\overline{CS_{DC}} = \overline{MRDC} \& \overline{MWTC}.$

MWTC = OUT & WR;

 $\overline{MWTC} = \overline{OUT} \& WR = OUT \qquad \overline{WR}$.

					ДП 5.05010201	435	01	E1
Raju	Арк.	№ документа	Підпис	Лата	Інтерфейс пам'яті з	Літера	Maca	Масштаб
	обив	<i>Акулов Д. О.</i>	Honuc	дити	головним мікопроцесором	y		
Пере	евірив	Романовська I.						
					Схема електрична структурна	Аркуш	l Aj	ркушів 1
Норм	1. КОНИ	Бездітко О.М.				XPT	K O	T- 435
Затв	вердив	Бездітко О.М.						

