



Звіт

З лабораторної роботи № 1

З дисципліни «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx

ISE. Ознайомлення зі стендом Elbert V2 - Spartan 3A FPGA»

Виконав ст. гр. КІ-202
Гавриляк Д. В.

Прийняв:
Козак Н. Б.

Львів – 2023

Мета: ознайомлення з середовищем розробки Xilinx ISE та побудова дешифратора 3-7.

Виконання завдання:

Згідно завдання було розроблено схему дешифратора 3 в 7, використовуючи компоненти з бібліотеки, у новому, доданому до проекту Schematic файлу.

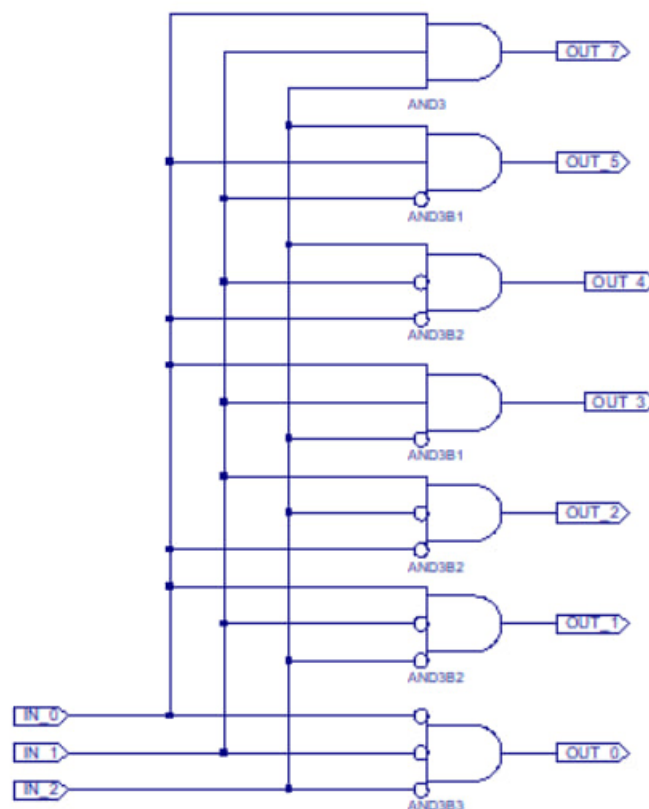


Рис 1. Схема дешифратора 3 в 7

Після цього додаю до проекту User Constraint файл, в якому було додано змінений вміст файлу elbertv2.ucf.

```

1  #+++++
2  # This file is a .ucf for ElbertV2 Development Board
3  # To use it in your project :
4  # * Remove or comment the lines corresponding to unused pins in the project
5  # * Rename the used signals according to the your project
6  #+++++
7  #
8  # UCF for ElbertV2 Development Board
9  #
10 CONFIG VOCAUX = "3.3" ;
11
12 # Clock 12 MHz
13 # NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
14 #+++++
15 # LED
16 #+++++
17 NET "OUT_0" LOC = P46 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
18 NET "OUT_1" LOC = P47 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
19 NET "OUT_2" LOC = P48 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
20 NET "OUT_3" LOC = P49 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
21 NET "OUT_4" LOC = P50 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
22 NET "OUT_5" LOC = P51 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_7" LOC = P54 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
24 # NET "LED[7]" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
25 #+++++
26 # DP Switches
27 #+++++
28 NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
29 NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
30 NET "IN_2" LOC = P68 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
31 # NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
32 # NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
33 # NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 # NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 # NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36

```

Рис. 2. User Constraint файл

Симулятором ISim у режимі Simulation перевірів роботу схеми

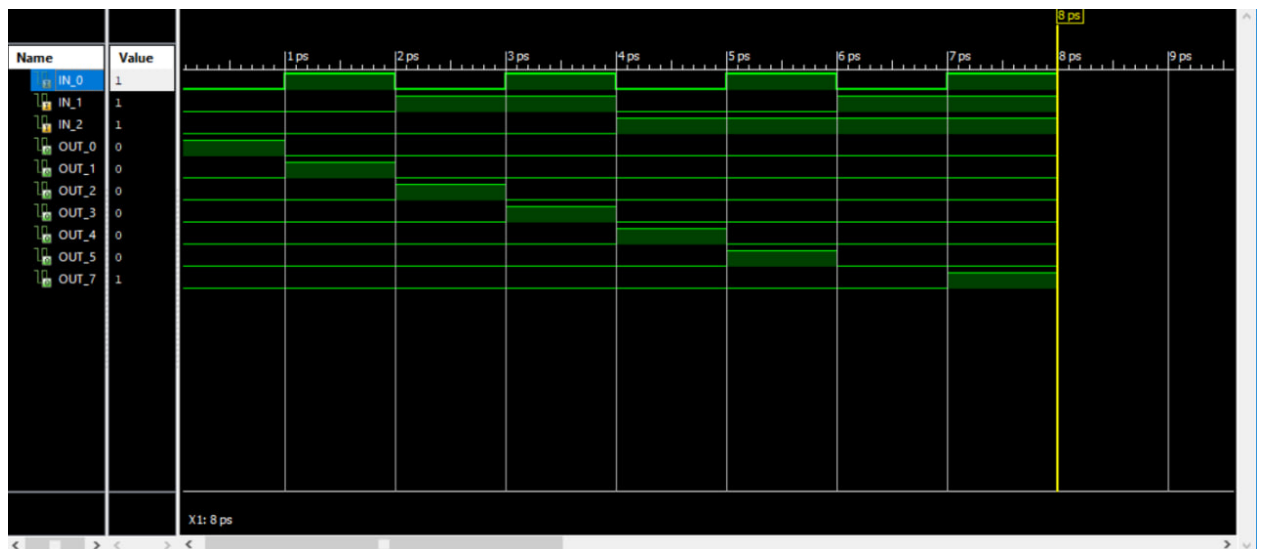


Рис. 3. Запуск симуляції

Після цього було створено конфігураційний файл і були послідовно запуснені процеси, щоб переконатися, що всі процеси успішно виконалися.

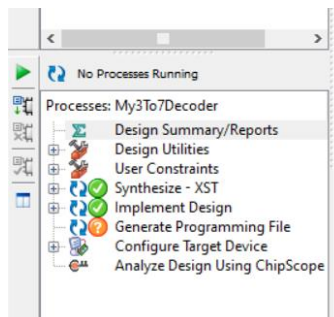


Рис. 4. Виконання процесів

Програмування лабораторного стенду отриманим файлом

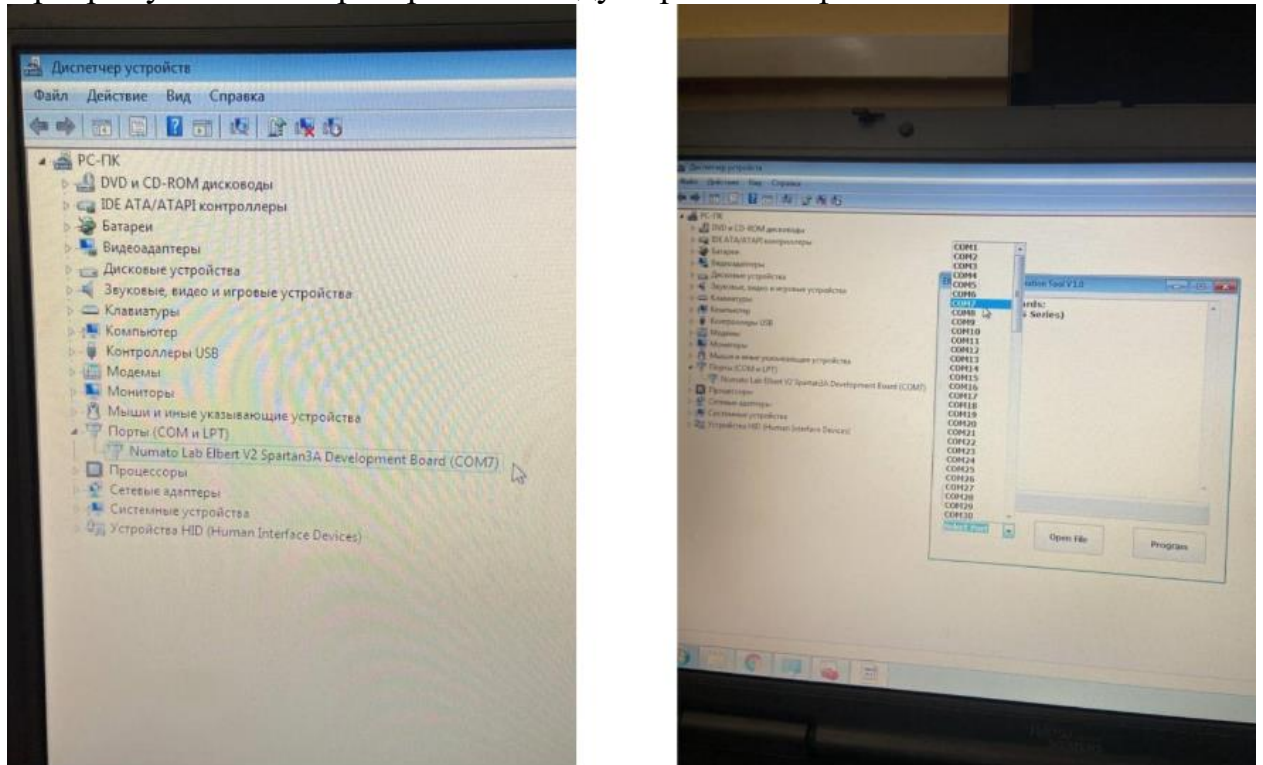


Рис. 5. Відкриття ВІТ файла

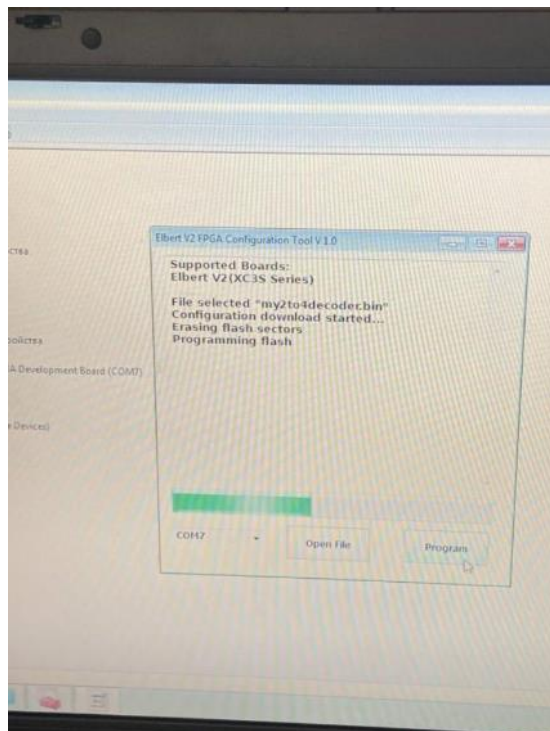


Рис. 6. Прошивка

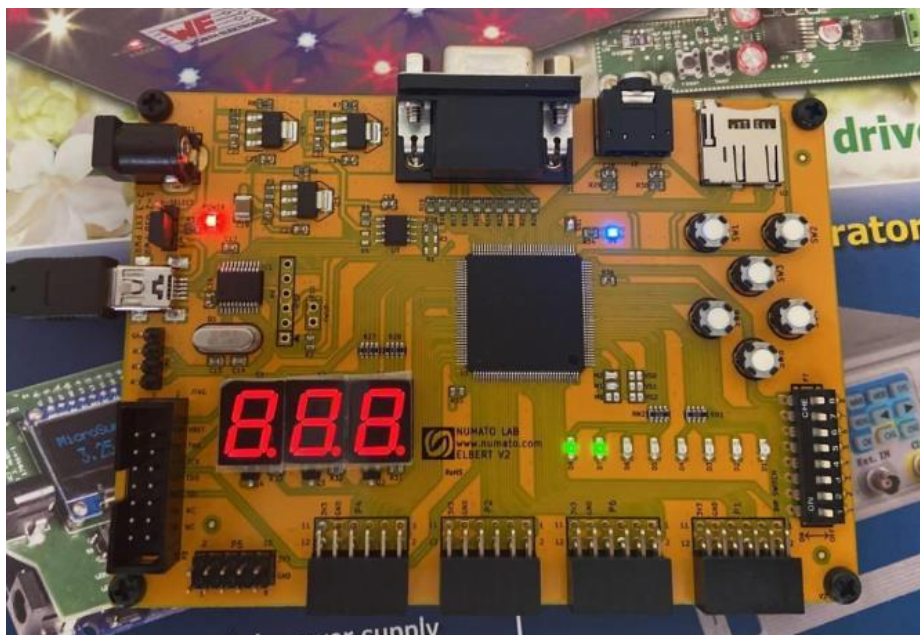


Рис. 7. Перевірка роботи проекту

Висновок: у цій лабораторній роботі побудував дешифратор 3 в 7 і ознайомився з середовищем Xilinx ISE.