

# 4<sup>η</sup> Εργαστηριακή Εργασία

Κατόπης Δημήτριος

ΑΜ:2124

09/05/2021



# Περιεχόμενα

- 1.Περίληψη ..... 3
- 2.Υλοποίηση ..... 4
- 3.Αποτελέσματα ..... 5
- 1η Άσκηση VHDL ..... 5
- 2η Άσκηση μετρητής BCD ..... 9



# Περίληψη

Στόχος της 4<sup>ης</sup> Εργαστηριακής Ενότητας είναι η εξοικείωση με το πρόγραμμα προσομοίωσης Quartus II καθώς και η επανάληψη βασικών συνδυαστικών κυκλωμάτων της Λογικής Σχεδίασης και από τα Ψηφιακά Ηλεκτρονικά .

Στο 1<sup>ο</sup> Μέρος της Εργαστηριακής Ενότητας ζητείτε η υλοποίηση ενός μετρητή 8 bit ο οποίος θα μετράει θετικά και αρνητικά ανάλογα με μια είσοδο επιλογής (1 –θετικά , 0- αρνητικά ) .Ο μετρητής μηδενίζει με μία ασύγχρονη είσοδο και υπάρχει ρολόι για την λειτουργία του κυκλώματος .

Στο 2<sup>ο</sup> μέρος της Εργαστηριακής Ενότητας ζητείτε η υλοποίηση ενός μετρητή BCD ο οποίος μετράει από το 0 έως το 99 , μηδενίζει και ξεκινάει από την αρχή .Το κύκλωμα διαθέτει ρολόι.Χρησιμοποιείται κύκλωμα σύγχρονου 4-bit μετρητή με jk flip-flop .

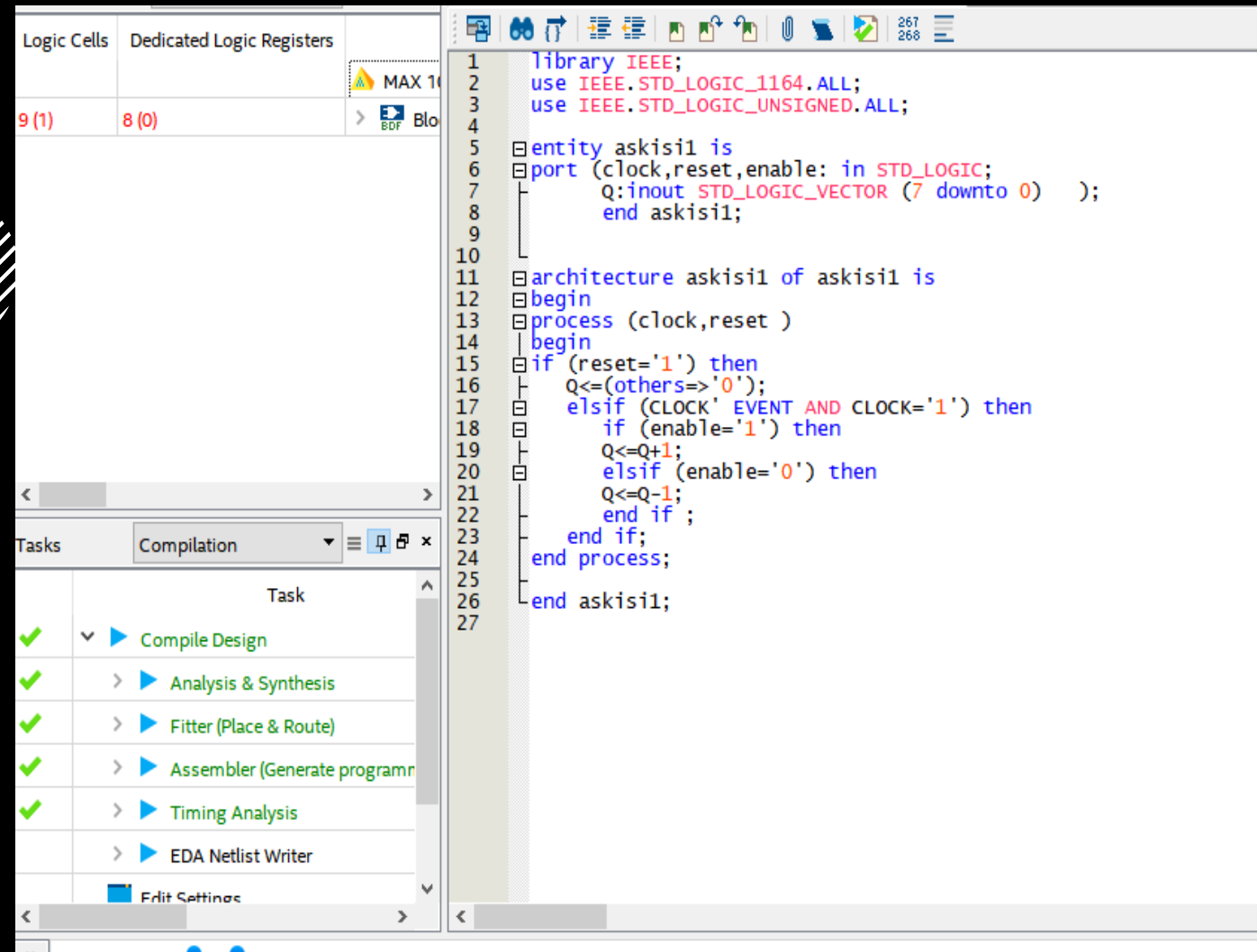


# ΥΛΟΠΟΙΗΣΗ

- Για την υλοποίηση των μερών της Εργαστηριακής Ενότητας χρησιμοποιήσαμε το πρόγραμμα Quartus II μέσω του οποίου αρχικά υλοποιήσαμε το αντίστοιχο μέρος με λογικές πύλες και flip-flops καθώς και κώδικα vhdl και έπειτα δημιουργήσαμε συμβολα και τρέξαμε τις κυματομορφές .

# ΑΠΟΤΕΛΕΣΜΑΤΑ

- 1<sup>ο</sup> Μέρος  
Κώδικας vhdl

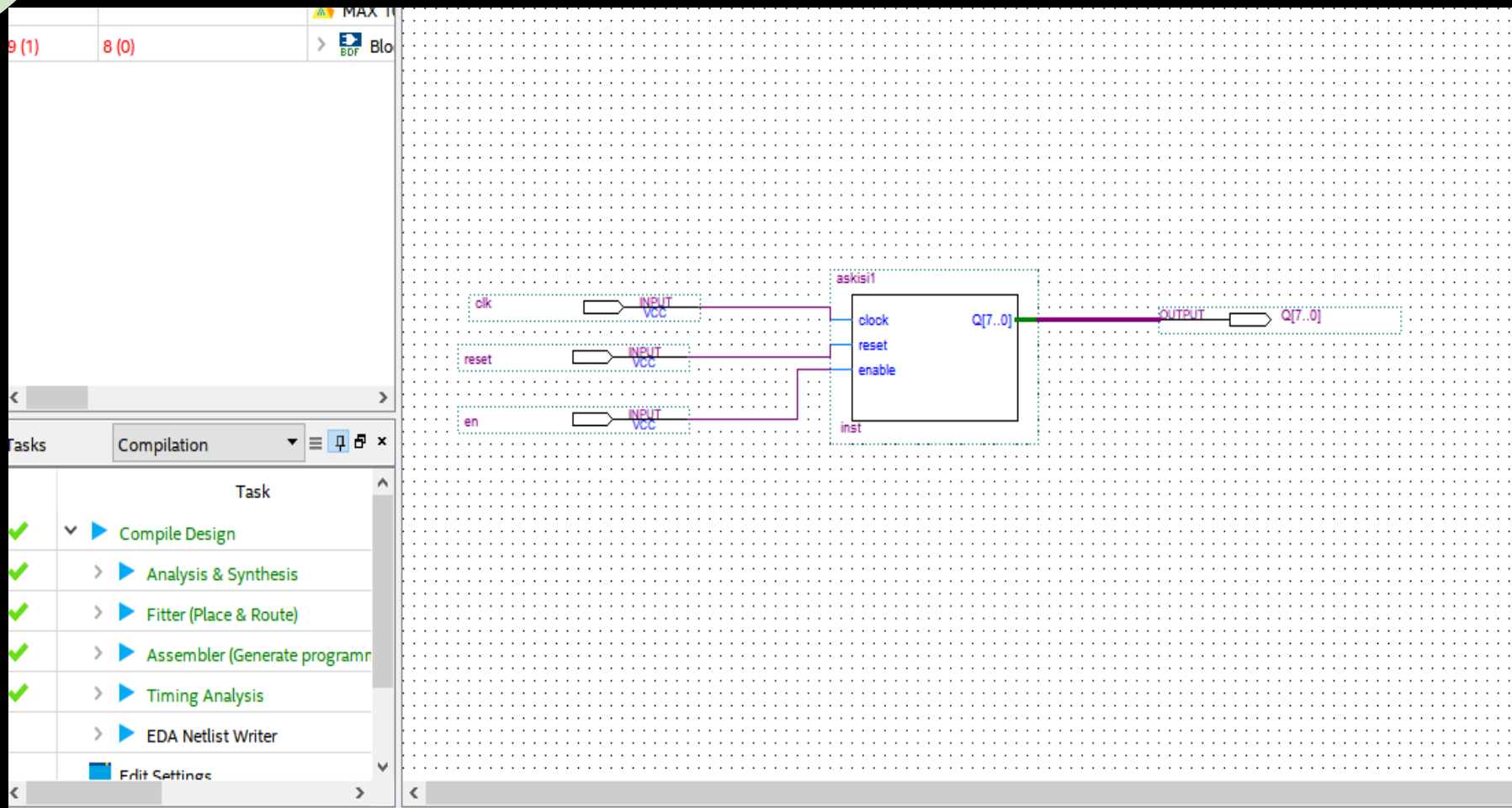


```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3 use IEEE.STD_LOGIC_UNSIGNED.ALL;
4
5 entity askisi1 is
6 port (clock,reset,enable: in STD_LOGIC;
7       Q:inout STD_LOGIC_VECTOR (7 downto 0) );
8 end askisi1;
9
10
11 architecture askisi1 of askisi1 is
12 begin
13 process (clock,reset )
14 begin
15 if (reset='1') then
16     Q<=(others=>'0');
17 elsif (CLOCK' EVENT AND CLOCK='1') then
18     if (enable='1') then
19         Q<=Q+1;
20     elsif (enable='0') then
21         Q<=Q-1;
22     end if ;
23 end if;
24 end process;
25
26 end askisi1;
27
```

Tasks

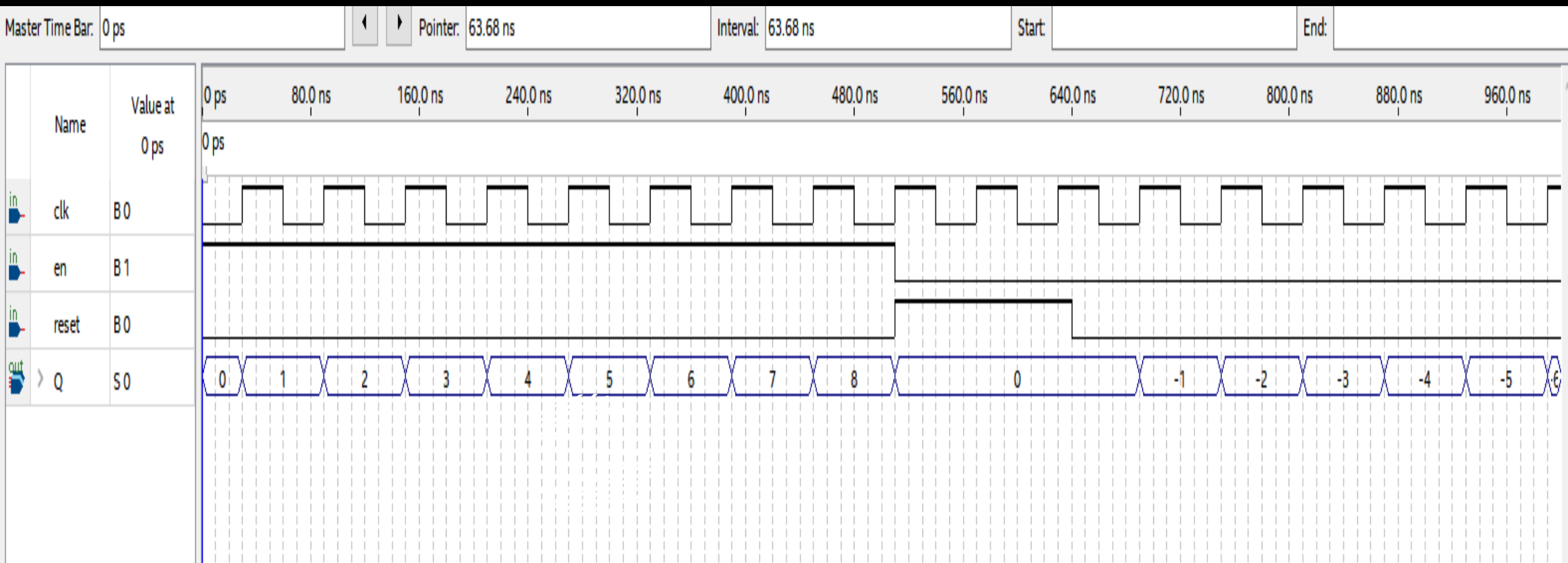
Task
✓ Compile Design
✓ Analysis & Synthesis
✓ Fitter (Place & Route)
✓ Assembler (Generate program)
✓ Timing Analysis
EDA Netlist Writer
Edit Settings

# Σύμβολο



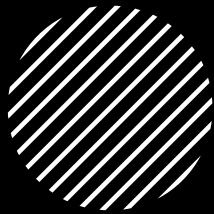


- Κυματομορφή





## Συμπεράσματα



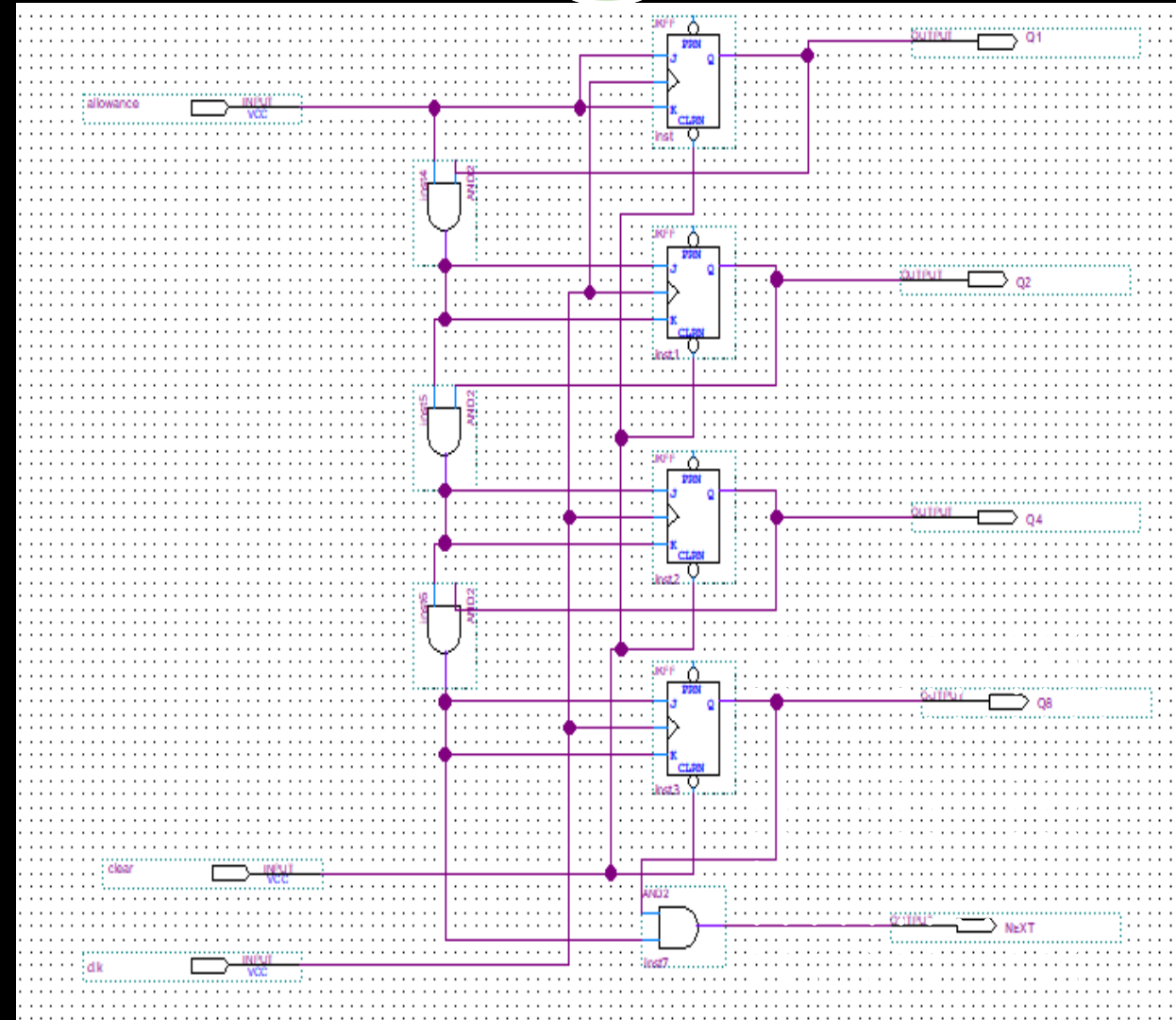
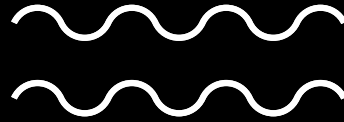
- Παρατηρούμε ότι το κύκλωμα δουλεύει ομαλά καθώς όσο το enable είναι 1 και το reset 0 ο μετρητής μετράει θετικά προς τα επανω ενώ όταν γίνεται reset στο κύκλωμα και το enable είναι 0 τότε ο μετρητής μετράει αρνητικά όπως επιθυμούμε



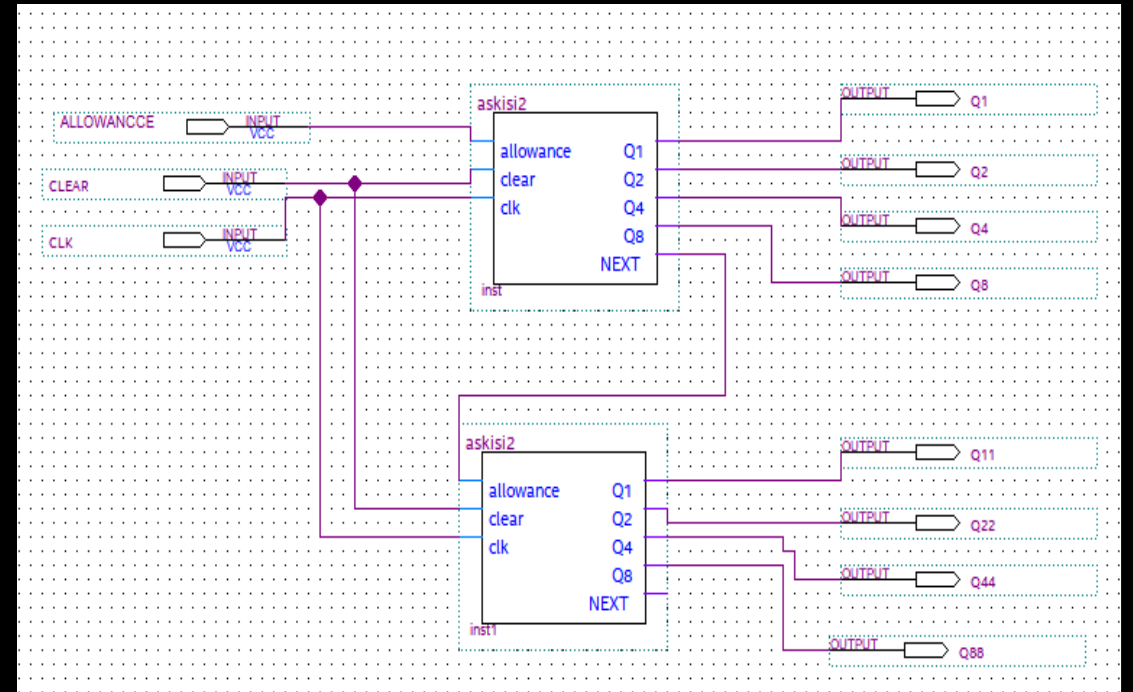


# 2<sup>ο</sup> Μέρος μετρητής BCD

Κύκλωμα 4 bit δυαδικού  
σύγχρονου μετρητή



- Υλοποίηση κυκλώματος με βοήθεια συμβόλων



- Κυματομορφή

