Schnittstelle

RS-232

im Selbstbau

Diese Bauanleitung ist ein wahrer Leckerbissen für alle DFÜ-Fans und andere Freunde der seriellen Datenübertragung. Der niedrige Preis und die universelle Einsetzbarkeit sollten Grund genug für die fortgeschrittenen Bastelfreaks sein, unverzüglich zum Lötkolben zu greifen.

Wie Sie aus der Schaltungsbeschreibung entnehmen können, ist dieser Beitrag für Hardware-Einsteiger wohl weniger geeignet; für diese wird jedoch in unserer Serie "SCHNEIDERWARE" eine ähnliche serielle Schnittstelle mit Grundlagenwissen von der Pike auf vorgestellt werden.

Der Selbstkostenpreis dieser seriellen Schnittstelle beläuft sich je nach Angebot auf ca. 50,- bis 70,- DM. Es wurde ein integrierter V-24-Treiber mit internen Spannungswandlern eingesetzt, wodurch kein zusätzliches Netzteil benötigt wird. Baudrate und Übertragungsformat werden mit INPund OUT- Befehlen per Software festgelegt. Eine Anpassung an verschiedene DFÜ-Programme ist somit unproblematisch.

Die Schnittstelle kann im Bereich &F0DC - &FFDC adressiert werden, wobei für den CPC die Adressen &F8DC, &F9DC, &FADC und &FBDC vorgesehen sind (siehe auch CPC-Handbuch).

Kernteil der Schaltung ist der "ACIA" MC6850, ein ASYNCHRONER ÇOM-MUNICATIONS INTERFACE

ADAPTER aus der 6800-uP-Familie, der wegen seines relativ niedrigen Preises von ca. 5,- DM auch für Z-80-Systeme von Interesse ist. Der Schaltkreis besteht aus einem seriellen Sender und Empfänger, je einem Datenregister, einem Statusregister und einem Steuerregister mit einer entsprechenden Steuerlogik.

Schaltungsbeschreibung

STEUERREGISTER

Mit dem im Steuerregister abgelegten

8-Bit-Wort "wxxyyyzz" werden alle notwendigen Betriebsparameter eingestellt.

RESET und BAUDRATE "zz":

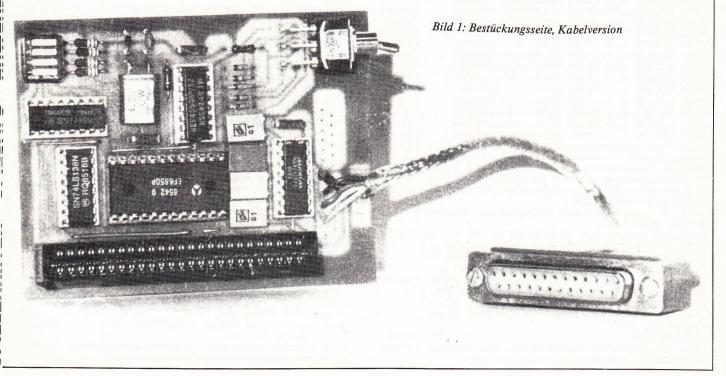
Bit 0 und Bit 1 legen die Baudrate fest bzw. führen einen Reset durch. Die Baudrate wird gebildet, indem die Taktfrequenz intern durch 64, 16 oder 1 geteilt wird. Bei 19.2 kHz (38.4 kHz), wie in der vorliegenden Schaltung, sind folgende Baudraten möglich:

wxxyyy10 ->Clk/64	300 Bd
int.Syn.	(600 Bd)
wxxyyy01 ->Clk/16	1200 Bd
int.Syn.	(2400 Bd)
wxxyyy00- >Clk/1	19200 Bd
ext.Syn.	(38400 Bd)
wxxvvv11- >RESET	

ÜBERTRAGUNGSFORMAT "vvv":

Bit 2, 3 und 4 bestimmen das Übertragungsformat. Insgesamt können 8 verschiedene Ü-Formate vereinbart werden:

- 1. wxx000zz->7-Bit, 2 Stopbits gerade Parität
- 2. wxx001zz->7-Bit, 2 Stopbits ungerade Parität
- 3. wxx010zz->7-Bit, 1 Stopbit gerade Parität
- 4. wxx011zz->7-Bit, 1 Stopbit ungerade Parität
- 5. wxx100zz->8-Bit, 2 Stopbits
- 6. wxx101zz->8-Bit, 1 Stopbit
- 7. wxx110zz->8-Bit,,1 Stopbit gerade Parität
- 8. wxx111zz->8-Bit, 1 Stopbit ungerade Parität



dillo

Halall

4,44

INTERRUPTSTEUERUNG "xx": Senderseitig

Mit Bits 5 und 6 wird festgelegt, wie sich die Statusregistermeldung "SEN-DERDATENREGISTER leer" auswirken soll. Es sind 4 verschiedene Kombinationen möglich:

- 1. $w00yyyzz->\overline{RTS}=L$ kein Interrupt
- 2. w01yyyzz $> \overline{RTS} = L$
- $\frac{\text{Interrupt}}{3. \text{ w10yyyzz->} \overline{\text{RTS}} = H}$
- kein Interrupt
- 4. w11yyyzz->RTS = L
 kein Interrupt
 Leerzeichenausgabe

Der Ausgang IRQ blieb in der Schaltung unberücksichtigt, kann jedoch über die Abfrage des Statusregisters softwaremäßig behandelt werden.

INTERRUPTSTEUERUNG:

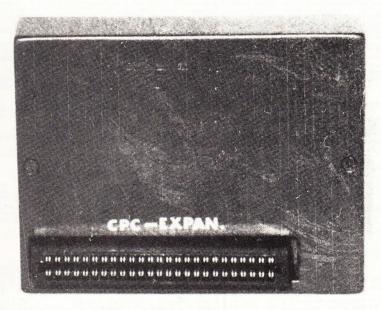
Empfängerseitig

"w"

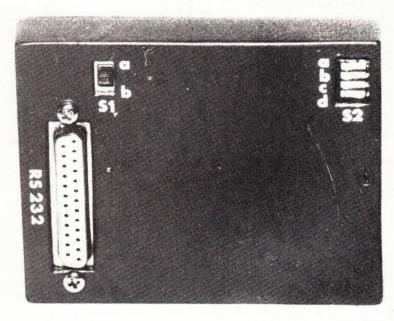
1xxyyyzz

Wird dieses Bit gesetzt, erfolgt ein Interrupt bei folgenden Statusmeldungen:

- 1. EMPFÄNGERDATENREGISTER voll
- 2. EMPFÄNGERDATENREGISTER Überlauf
- 3. DCD-Eingang L->H (Data-Carrier-Detect)



Auch im Gehäuse ...



... ist die Schnittstelle sehr kompakt

In der vorliegenden Schaltung liegt DCD fest auf L-Pegel.

Statusregister

Das Statusregister kann nur gelesen werden. Dieses geschieht im einfachsten Fall durch den Basic-Befehl:

"PRINT INP (Adr.)". Man erhält eine Zahl, die erst nach einer Umwandlung in ein 8-Bit-Binärformat eine übersichtliche Aussage über die Betriebszustände des ACIA zuläßt.

Bit 0 ->1:

Datenregister des Empfängers ist voll. Das übertragene Wort ist komplett und kann im Rechner weiterverarbeitet werden.

Bit 1 ->1:

Datenregister des Senders ist leer. Es kann ein neues Zeichen gesendet werden.

Bit 2 ->1:

Ein Modem hat signalisiert, daß kein Datenträger auf der Ü-Strecke vorhanden ist. In der vorliegenden Schaltung ist jedoch Bit 2 immer auf 0.

Bit 3: Es wird der logische Zustand des CTS-Einganges angezeigt.

Bit 3 -> 0:

Modem signalisiert: "CLEAR TO SEND"

Bit 3 -> 1:

Sender stoppt die Übertragung von Daten

Bit 4 ->1:

Synchronisation oder Datenübertragung der Ü-Strecke ist nicht in Ordnung.

Bit 5 ->1:

Datenüberlauf auf der Empfangsstrecke. Daten wurden zwar empfangen, aber nicht im Datenregister abgespeichert.

Bit 6 ->1:

Es liegt ein Paritätsfehler vor. Die Parität der empfangenen Bits entspricht nicht der vereinbarten Parität.

Bit 7 ->1:

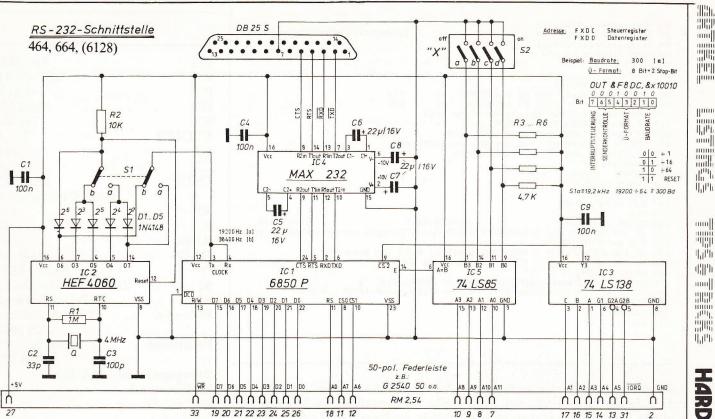
Der Interruptausgang ist aktiviert (L-Pegel). Dieses Bit wird zurückgesetzt entweder durch das Schreiben des Senderdatenregisters oder durch das Lesen des Empfangsregisters.

Programmierung des ACIA

Beispiel:

Adresse F8DCh Adresse F8DDh

Steueregister Datenregister



Schaltplan: die komplette Schaltung. Per Adapterkabel ist natürlich auch ein Anschluß an den 6128 möglich.

Einfachste Befehlssequenz:

- 1. OUT &F8DC,3 Masterreset
- 2. Out &F8DC,20+1 Ü-Format vereinbaren: kein Interrupt 8-Bits 1 Stopbit 1200 Baud
- 3. IF BIN\$(INP(&F8DC)) AND 2

THEN OUT &F8DD,'Datum' Abfrage des Statusregisters, ob Senderegister leer, wenn ja, dann Zeichen aussenden.

4. IF BIN\$(INP(&F8DC)) AND 1

THEN 'Datum'=INP(&F8DD) Abfrage des Statusregisters, ob Empfangsregister voll, wenn ja, dann Zeichen einlesen.

Aufbau und Inbetriebnahme

Die Platine wird bis auf die IC's nach Bestückungsplan bestückt. Die 25polige D-Buchse und der 2-polige Schiebeschalter werden von der Lötseite aufgelötet (siehe Bestückungsplan). Um die mechanische Belastung des Erweiterungsports möglichst gering zu halten, empfiehlt es sich, die D-Buchse mit einem Kabelschwanz anzuschließen (Foto). Steht keine Federleiste (Slot) in Wire-Wrap-Ausführung mit langen Anschlußstiften zur Verfügung, sollte man auf eine minimale Bauteilhöhe achten, damit beim Aufstecken der Schaltung auf den Erweiterungsbus des CPC keine Platzprobleme auftreten. Zwangsläufig muß dann auch auf IC-Sockel verzichtet werden. Die IC's sollten in folgender Reihenfolge eingelötet und die einzelnen Schaltungsteile separat auf ihre Funktion überprüft werden:

1. IC2 HEF 4060 (Taktgenerator).

An IC1 Pin 3, 4 muß eine Rechteckspannung mit der Frequenz 19.2 kHz (S1a) bzw. 38.4 kHz (S1b) anstehen.

2. IC3 74LS138 (Adressdecoder):

Pin 9/IC1 muß bei offenen Eingängen auf H-Pegel liegen. Legt man Pin 4, 5/ IC3 auf GND, wechselt Pin 9/IC1 auf L-Pegel.

3. IC574LS85 (Adressdecoder), (4-Bit Komparator):

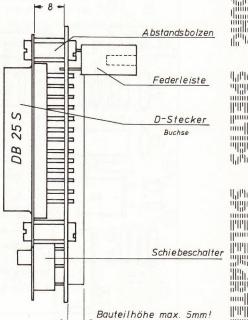
Pin 14/IC1 muß auf H-Pegel liegen. wenn die 4-Bit-Kombination an Pin 10, 12, 13,15/IC5 der 4-Bit-Kombination am Schalter S2 entspricht. Bei Ungleichheit wechselt Pin 14/IC1 auf L-Pegel.

4. IC4 MAX 232 oder ICL 232 (V-24-Treiber):

An Pin 2/IC4 muß eine Spannung von ca. +10 V und an Pin 6/IC4 eine Spannung von ca. -10 V meßbar sein.

5. IC1 MC 6850 (ACIA):

Die Überprüfung dieses ICs kann nur am Rechner erfolgen. Vorausgehen sollte jedoch eine sorgfältige optische Kontrolle der gesamten Platine auf



10	Listing: ein kleines Testprogramn
30 ************	,
40 MODE 1: PAPER 0: PEN 1	
	11
60 PRINT "	u
70 PRINT: PRINT: PRINT	
80 PRINT"Baudrate: 300 Bd [600 Bd] a)	Sia
90 PRINT" 1200 Bd [2400 Bd] b)	
100 PRINT: PRINT: INPUT "Welche Baudrate ": B	
110 IF bs="a" THEN BD=2 : GOTO 130	
120 IF b\$="b" THEN BD=1 ELSE GOTO 100	
130 LOCATE 1,18:PRINT" TxD und RxD kurzsc	hliessen
140 PRINT" RTS und CTS kurzschliessen	
150 PRINT: PRINT	
160 INPUT " <enter> ";E\$</enter>	
170 PAPER 5: PEN 3	
180 OUT &FBDC,3	
190 OUT %FBDC, 16+BD	
200 CLS	
210 PRINT CHR\$(24);" RS-232	
220 IF INP(&F8DC) AND 8 THEN PRINT"CTS und	d RTS nicht kurzgeschlossen":EN
230 FOR a=32 TO 255	
240 IF INP(%FBDC) AND 2 THEN OUT %FBDD, a:	
250 IF INP(%F8DC) AND 1 THEN GOTO 260 ELS	E 250
260 b=INP (&FBDD)	
270 PRINT " "; CHR\$(a);CHR\$(24);CHR\$(b);C	
280 IF a<>b THEN PRINT CHR\$(7); "Fehler !"	;BIN\$(INP(&F8DC),8):END
290 NEXT	
300 LOCATE 1,1 310 END	

Kurzschlüsse bzw. Unterbrechungen der Leiterbahnen und auf Lötschlüsse. Zusätzlich kann außerdem die Gesamtstromaufnahme gemessen werden, die ca. 100 - 120 mA betragen darf.

Funktionstest der Gesamtschaltung

Zunächst wird die Schnittstelle adressiert. Das kurze Testprogramm verwendet die Adresse F8DCh, d.h. S2a, b, c werden geschlossen, S2d bleibt geöffnet. Die Leitungen TxD und RxD sowie RTS und CTS werden an der D-Buchse kurzgeschlossen. Der gesamte Zeichensatz wird nun in einer Schleife seriell über TxD gesendet und über RxD wieder seriell in den Rechner eingelesen. Auf dem Bildschirm werden die empfangenen Zeichen invers dargestellt und mit den ausgesendeten verglichen. Ein Aufheben des Kurzschlusses zwischen CTS und RTS bewirkt eine Unterbrechung der Übertragung.

Bauteile-Liste

IC1	MC 6850
IC2	HEF 4060 B
IC3	74LS138
IC4	MAX 232
IC5	74LS85
C1,C4,C9	0,1 uF
C2	33pF
C3	100pF
C5-C8	22uF/16V
	(1uF47uF möglich)
R1	1 M
R2	10k
R3-R6	4,7k
D1-D5	4148 o.ä.
Q	Quarz 4 MHz
S1	2xUM Schiebeschalter
S2	DIP-Schalter 4pol.
D-Stecker	DB-25-S (Buchse)
	25 polig
Federleiste	(Slot) 2x25pol.
	RM 2 54

Bezugsquelle für MAX 232:

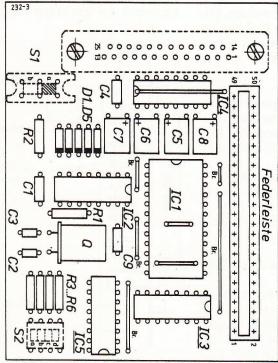
SE-Elektronik. 3062 Bückeburg Postfach 13

Literaturhinweise

Datenblatt MC 6850 Fa. MOTOROLA Datenblatt MAX 232 Fa. SE-Elektronik Datenbuch "LOCMOS-Reihe' Fa. Valvo TTL-Data-Book Fa. Texas Instruments

(Joachim Schweda/ME)

Skizze: Bestückung der RS 232 232-3



Das Platinenlayout

