

# Schnittstelle RS-232 im Selbstbau

Diese Bauanleitung ist ein wahrer Leckerbissen für alle DFÜ-Fans und andere Freunde der seriellen Datenübertragung. Der niedrige Preis und die universelle Einsetzbarkeit sollten Grund genug für die fortgeschrittenen Bastelfreaks sein, unverzüglich zum Lötkolben zu greifen.

Wie Sie aus der Schaltungsbeschreibung entnehmen können, ist dieser Beitrag für Hardware-Einsteiger wohl weniger geeignet; für diese wird jedoch in unserer Serie "SCHNEIDERWARE" eine ähnliche serielle Schnittstelle mit Grundlagenwissen von der Pike auf vorgestellt werden.

Der Selbstkostenpreis dieser seriellen Schnittstelle beläuft sich je nach Angebot auf ca. 50,- bis 70,- DM. Es wurde ein integrierter V-24-Treiber mit internen Spannungswandlern eingesetzt, wodurch kein zusätzliches Netzteil benötigt wird. Baudrate und Übertragungsformat werden mit INP- und OUT-Befehlen per Software festgelegt. Eine Anpassung an verschiedene DFÜ-Programme ist somit unproblematisch.

Die Schnittstelle kann im Bereich &F0DC - &FFDC adressiert werden, wobei für den CPC die Adressen &F8DC, &F9DC, &FADC und &FBDC vorgesehen sind (siehe auch CPC-Handbuch).

Kernteil der Schaltung ist der "ACIA" MC6850, ein ASYNCHRONER COMMUNICATIONS INTERFACE ADAPTER aus der 6800-uP-Familie, der wegen seines relativ niedrigen Preises von ca. 5,- DM auch für Z-80-Systeme von Interesse ist. Der Schaltkreis besteht aus einem seriellen Sender und Empfänger, je einem Datenregister, einem Statusregister und einem Steuerregister mit einer entsprechenden Steuerlogik.

## Schaltungsbeschreibung

### STEUERREGISTER

Mit dem im Steuerregister abgelegten

8-Bit-Wort "wxyyyzz" werden alle notwendigen Betriebsparameter eingestellt.

### RESET und BAUDRATE "zz":

Bit 0 und Bit 1 legen die Baudrate fest bzw. führen einen Reset durch. Die Baudrate wird gebildet, indem die Taktfrequenz intern durch 64, 16 oder 1 geteilt wird. Bei 19.2 kHz (38.4 kHz), wie in der vorliegenden Schaltung, sind folgende Baudraten möglich:

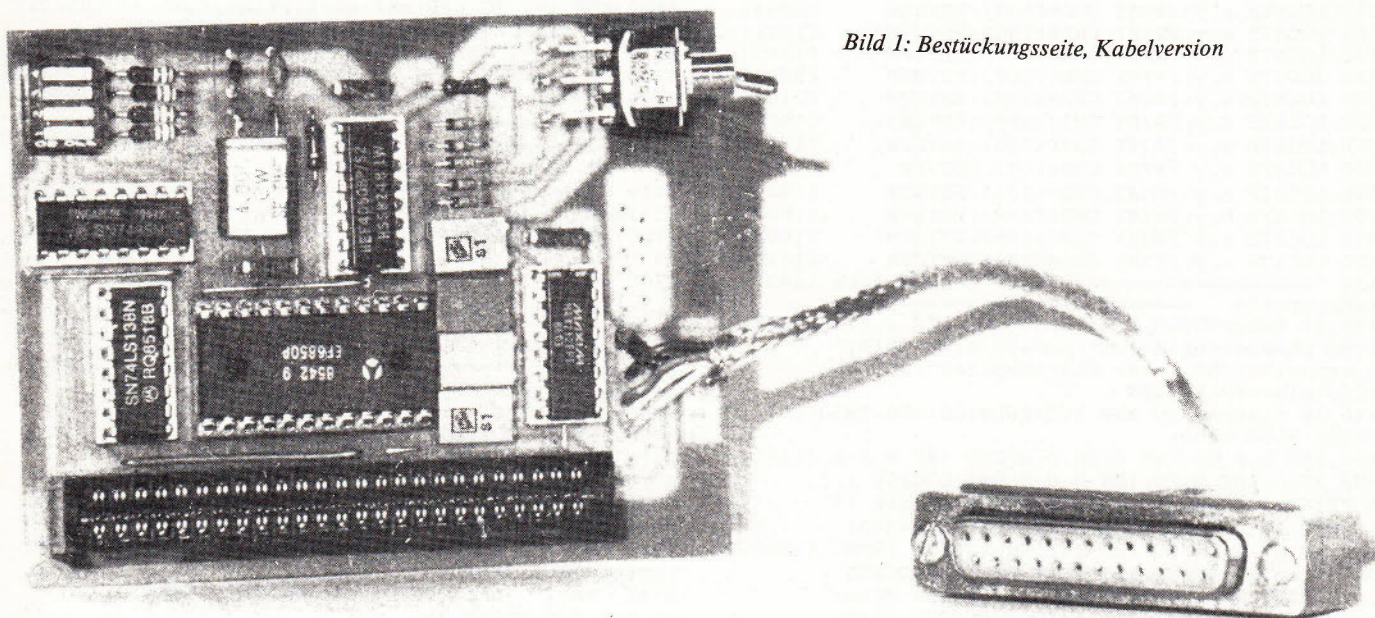
wxyyy10 -> Clk /64	300 Bd
int.Syn.	(600 Bd)
wxyyy01 -> Clk /16	1200 Bd
int.Syn.	(2400 Bd)
wxyyy00 -> Clk /1	19200 Bd
ext.Syn.	(38400 Bd)
wxyyy11 -> RESET	

### ÜBERTRAGUNGSFORMAT "yyy":

Bit 2, 3 und 4 bestimmen das Übertragungsformat. Insgesamt können 8 verschiedene Ü-Formate vereinbart werden:

1. wxx000zz->7-Bit, 2 Stopbits  
gerade Parität
2. wxx001zz->7-Bit, 2 Stopbits  
ungerade Parität
3. wxx010zz->7-Bit, 1 Stopbit  
gerade Parität
4. wxx011zz->7-Bit, 1 Stopbit  
ungerade Parität
5. wxx100zz->8-Bit, 2 Stopbits
6. wxx101zz->8-Bit, 1 Stopbit
7. wxx110zz->8-Bit, 1 Stopbit  
gerade Parität
8. wxx111zz->8-Bit, 1 Stopbit  
ungerade Parität

Bild 1: Bestückungsseite, Kabelversion





## INTERRUPTSTEUERUNG "xx": Senderseitig

Mit Bits 5 und 6 wird festgelegt, wie sich die Statusregistermeldung "SENDERDATENREGISTER leer" auswirken soll. Es sind 4 verschiedene Kombinationen möglich:

1. w00yyyyz-> $\overline{RTS}$  = L  
kein Interrupt
2. w01yyyyz > $\overline{RTS}$  = L  
Interrupt
3. w10yyyyz-> $\overline{RTS}$  = H  
kein Interrupt
4. w11yyyyz-> $\overline{RTS}$  = L  
kein Interrupt  
Leerzeichenausgabe

Der Ausgang  $\overline{IRQ}$  blieb in der Schaltung unberücksichtigt, kann jedoch über die Abfrage des Statusregisters softwaremäßig behandelt werden.

## INTERRUPTSTEUERUNG:

### Empfängerseitig

"w"

1xyyyzz

Wird dieses Bit gesetzt, erfolgt ein Interrupt bei folgenden Statusmeldungen:

1. EMPFÄNGERDATENREGISTER voll
2. EMPFÄNGERDATENREGISTER Überlauf
3. DCD-Eingang L->H  
(Data-Carrier-Detect)

In der vorliegenden Schaltung liegt DCD fest auf L-Pegel.

## Statusregister

Das Statusregister kann nur gelesen werden. Dieses geschieht im einfachsten Fall durch den Basic-Befehl:

"PRINT INP (Adr.)". Man erhält eine Zahl, die erst nach einer Umwandlung in ein 8-Bit-Binärformat eine übersichtliche Aussage über die Betriebszustände des ACIA zuläßt.

### Bit 0 ->1:

Datenregister des Empfängers ist voll. Das übertragene Wort ist komplett und kann im Rechner weiterverarbeitet werden.

### Bit 1 ->1:

Datenregister des Senders ist leer. Es kann ein neues Zeichen gesendet werden.

### Bit 2 ->1:

Ein Modem hat signalisiert, daß kein Datenträger auf der Ü-Strecke vorhanden ist. In der vorliegenden Schaltung ist jedoch Bit 2 immer auf 0.

**Bit 3:** Es wird der logische Zustand des  $\overline{CTS}$ -Einganges angezeigt.

### Bit 3 ->0:

Modem signalisiert: "CLEAR TO SEND"

### Bit 3 ->1:

Sender stoppt die Übertragung von Daten

### Bit 4 ->1:

Synchronisation oder Datenübertragung der Ü-Strecke ist nicht in Ordnung.

### Bit 5 ->1:

Datenüberlauf auf der Empfangsstrecke. Daten wurden zwar empfangen, aber nicht im Datenregister abgespeichert.

### Bit 6 ->1:

Es liegt ein Paritätsfehler vor. Die Parität der empfangenen Bits entspricht nicht der vereinbarten Parität.

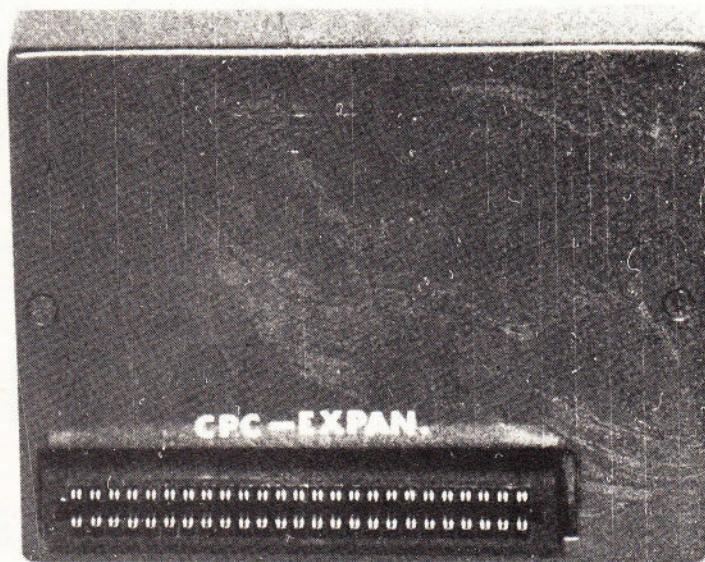
### Bit 7 ->1:

Der Interruptausgang ist aktiviert (L-Pegel). Dieses Bit wird zurückgesetzt entweder durch das Schreiben des Senderdatenregisters oder durch das Lesen des Empfängerregisters.

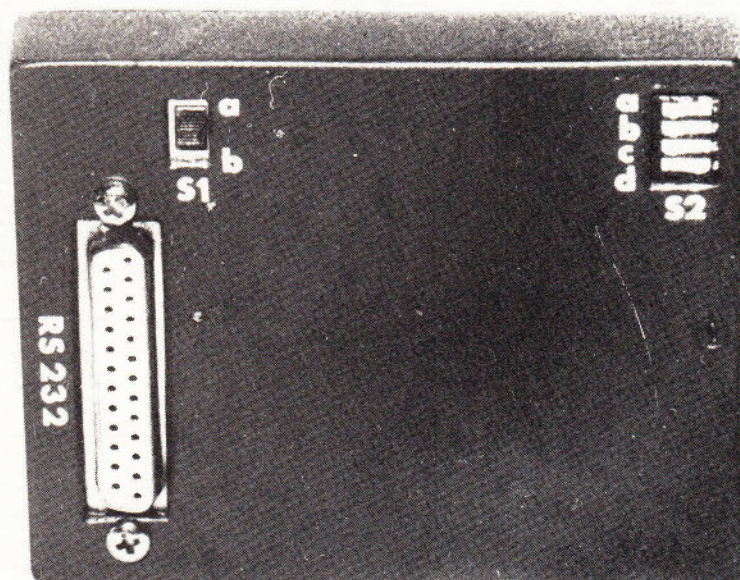
## Programmierung des ACIA

### Beispiel:

Adresse	F8DCh	Steueregister
Adresse	F8DDh	Datenregister



Auch im Gehäuse ...



... ist die Schnittstelle sehr kompakt







```

10 '*****
20 '* RS-232-TEST *
30 '*****
40 MODE 1:PAPER 0: PEN 1
50 PRINT " RS-232 "
60 PRINT "
70 PRINT:PRINT:PRINT
80 PRINT"Baudrate: 300 Bd [ 600 Bd] a) S1a
90 PRINT" 1200 Bd [2400 Bd] b) S1b
100 PRINT:PRINT:INPUT"Welche Baudrate ";B$
110 IF B$="a" THEN BD=2 : GOTO 130
120 IF B$="b" THEN BD=1 ELSE GOTO 100
130 LOCATE 1,18:PRINT" TxD und RxD kurzschliessen
140 PRINT" RTS und CTS kurzschliessen
150 PRINT:PRINT
160 INPUT " <ENTER> ";E$
170 PAPER 5: PEN 3
180 OUT &F8DC,3
190 OUT &F8DC,16+BD
200 CLS
210 PRINT CHR$(24);" RS-232 Test ";CHR$(24)
220 IF INP(&F8DC) AND 8 THEN PRINT"CTS und RTS nicht kurzgeschlossen":END
230 FOR a=32 TO 255
240 IF INP(&F8DC) AND 2 THEN OUT &F8DD,a: GOTO 250 ELSE 240
250 IF INP(&F8DC) AND 1 THEN GOTO 260 ELSE 250
260 b=INP (&F8DD)
270 PRINT " "; CHR$(a);CHR$(24);CHR$(b);CHR$(24);" ";
280 IF a<>b THEN PRINT CHR$(7);"Fehler !";BIN$(INP(&F8DC),8):END
290 NEXT
300 LOCATE 1,1
310 END

```

Listing: ein kleines Testprogramm

## Bauteile-Liste

IC1	MC 6850
IC2	HEF 4060 B
IC3	74LS138
IC4	MAX 232
IC5	74LS85
C1,C4,C9	0,1 uF
C2	33pF
C3	100pF
C5-C8	22uF/16V (1uF..47uF möglich)
R1	1 M
R2	10k
R3-R6	4,7k
D1-D5	4148 o.ä.
Q	Quarz 4 MHz
S1	2xUM Schiebeschalter
S2	DIP-Schalter 4pol.
D-Stecker	DB-25-S (Buchse) 25 polig
Federleiste	(Slot) 2x25pol. RM 2,54

Kurzschlüsse bzw. Unterbrechungen der Leiterbahnen und auf Löt-schlüsse. Zusätzlich kann außerdem die Gesamtstromaufnahme gemessen werden, die ca. 100 - 120 mA betragen darf.

### Funktionstest der Gesamtschaltung

Zunächst wird die Schnittstelle adressiert. Das kurze Testprogramm

verwendet die Adresse F8DCh, d.h. S2a, b, c werden geschlossen, S2d bleibt geöffnet. Die Leitungen TxD und RxD sowie RTS und CTS werden an der D-Buchse kurzgeschlossen. Der gesamte Zeichensatz wird nun in einer Schleife seriell über TxD gesendet und über RxD wieder seriell in den Rechner eingelesen. Auf dem Bildschirm werden die empfangenen Zeichen invers dargestellt und mit den ausgesendeten verglichen. Ein Aufheben des Kurzschlusses zwischen CTS und RTS bewirkt eine Unterbrechung der Übertragung.

### Bezugsquelle für MAX 232:

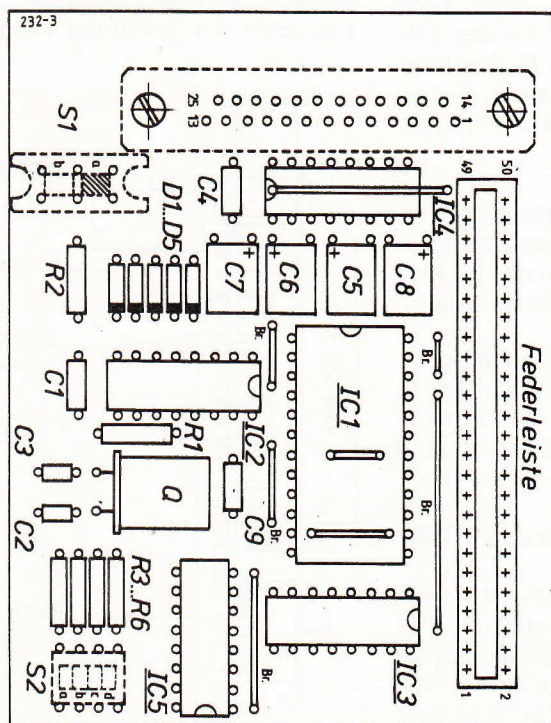
SE-Elektronik,  
3062 Bückeburg  
Postfach 13

### Literaturhinweise

Datenblatt MC 6850  
Fa. MOTOROLA  
Datenblatt MAX 232  
Fa. SE-Elektronik  
Datenbuch "LOCMOS-Reihe"  
Fa. Valvo  
TTL-Data-Book  
Fa. Texas Instruments

(Joachim Schweda/ME)

Skizze: Bestückung der RS 232



Das Platinenlayout

