**2020年新工科联盟-Xilinx暑期学校团队项目设计文档**

**设计文稿提交格式**

**(Project Paper Submission Template)**

|  |  |
| --- | --- |
| **作品名称** | 仪器仪表—虚拟示波器 |
| **板卡型号** | Xc7s15ft196—1 |
| **所在班级** | A |
| **成员姓名、学号、学校** | **组长：应宇涛、东南大学、电子学院、06017434**  **组员：戚 悦、东南大学、电子学院、06017422** |
| **Github链接** | **https://github.com/dinenger-lab/virtual-oscilloscope.git** |

**第一部分**

设计概述 /Design Introduction

（1.请概括地描述一下你的设计，可包括本设计目的、学习到的知识点、应用方向或者设想的应用场景等；2. 经组内成员讨论后以表格的形式描述项目中各成员在项目中发挥的作用或者贡献百分比；3.作品的展示照片）

1.示波器是一种用途十分广泛的电子测量仪器，可以把不可见的电信号变换成可见的图像信号。本次设计可以进行波形的采集与实时显示，我们利用了FPGA擅长的逻辑控制，结构简明、逻辑清晰，多方面优化资源节约了成本。本文已经完成了示波器硬件平台的搭建但由于示波器的软件量是非常庞大的。所以要想在很短的时间来完成它也是不可能的。本文只是完成了硬件平台的部分驱动程序。同时对示波器所要使用到的相关算法进行了相关的研究。

本课题是一个庞大的系统，其实践性很强，涉及知识非常多，受限于时间和个人的知识水平，尚存在以下不足之处需要以后加强。不足之处有：系统整体性能还有待进一步提高。包括示波器的带宽、存储，尤其是存储深度有待进一步提高。整个系统更新速度有点慢，需要不断改进提高这个系统显示的更新速度。  
 2.

|  |  |  |
| --- | --- | --- |
| 姓名 | 在项目中发挥作用 | 贡献百分比 |
| 应宇涛 | 代码编写整理，功能仿真，资料查阅，上板自测，外设采购 | 60 |
| 戚悦 | 代码编写，代码整理，功能仿真，文档书写，资料查阅 | 40 |

3.  
零输入时情况

  
  
（自测）方波采样信号时：

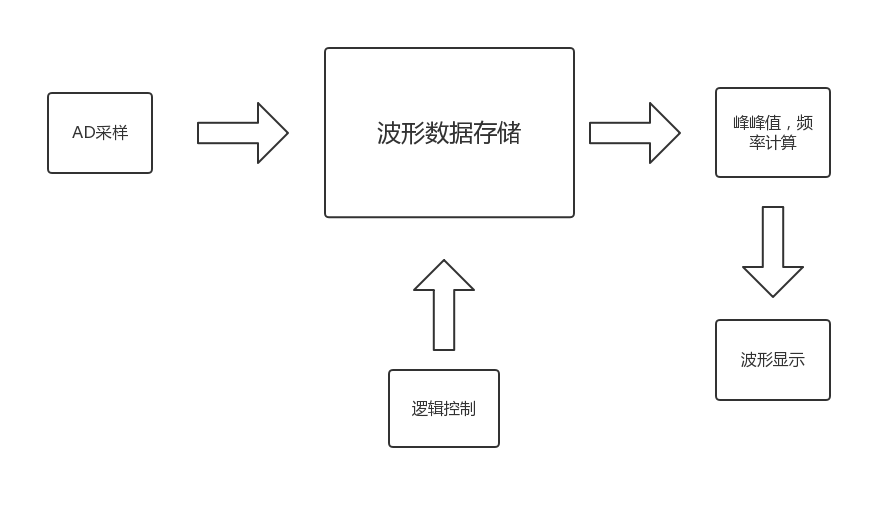


**第二部分**

系统组成及功能说明 /System Construction & Function Description

（请对作品的1. 计划实现及已实现的功能；2. 项目系统框图；3. 使用的技术方向做说明）

本作品以SEA开发板为核心，增加适当外设与接口实现示波器与波形发生器的基本功能。系统分为两部分，以SEA开发板为核心处理器，通过HDMI接口外接HDMI显示屏来显示输入波形。其结构框图如下。系统主要实现波形的采集与实时显示的示波器功能。



* AD采样部分

从ADC接口输入电压信号，通过sea开发板自带ADC模块转化为八位二进制数。通过分频来决定ADC采样部分中的采样频率，在采样频率高的情况下会更加精确。

* 数据处理部分

通过阈值比较将输入的ADC信号转化为相同频率的方波。预设的是大于128的数据读为1，其余则为0。通过读取几个上升沿之间系统频率经过的次数来计算出周期，从而换算得出频率。数据的读取和显示部分将会用到这一数据。并且使用一个合适大小的存储单元将读到的ADC数据储存起来从而可以随时进行读取。

* 显示部分

通过HDMI模块计算屏幕中所要显示的位置，使能产生，从而进行相应的行列扫描以及读取数据等，同时将寄存器中的数据与屏幕中的位置对应起来并以合适的RGB颜色进行点亮，这里ff00ff为黄色，其他位置默认为黑色。通过rgb\_to\_dvi模块将rgb数据显示到屏幕上去，以合适的频率（由时序图计算）通过行列扫描屏幕将储存的数据显示到屏幕中去。因为我们屏幕的分辨率是1024\*600，所以我们采用了默认的1080P 60HZ的输出，兼容但波形稳定性较差。

**第三部分**

完成情况及性能参数 /Final Design & Performance Parameters

（作品已实现的功能及性能指标）

由于缺少示波器和波形发生器这些器材，我们进行了仿真。根据仿真结果，完成了大部分预设的功能指标。ADC驱动模块，视频显示模块得以完成，能实现波形的实时读取，并且能够基本不失真显示。

**性能参数**所需1080p 60HZ HDMI屏，自测仿真使用的是1024\*600。

**第四部分**

总结 /Conclusions

（谈一谈完成暑期学校课程后的收获与感想。请每位组员分开写。）

应宇涛：我觉得这次的xilinx暑期学校还是十分充实的，尤其是第一周的实验环节，我很有体会的感觉到实验量非常大，我几乎从早上九点开始听课，一坐到电脑前开始编写代码， 功能仿真，上板测验就能一下做到晚上，第一，确确实实通过实战能够得到许多的知识与经验，也是对以前FPGA知识的一次复习与巩固，同时也丰富了自己的知识储量。第二，在项目方面，有很明显的因为线上在家进行操作，不能够十分便利地实现功能仿真，比如我们做的A07项目需要ADC采样信号，而在家是不可能备有函数信号发生器的，所以就只能通过IO口来用方波进行模拟，说实话是不太令人满意的，也算是线上进行暑期学校的遗憾吧，不然还能对项目进行拓展也是蛮有意思的一个环节。最后，非常感谢xilinx暑期学校的老师和助教们，给了我这样一个平台去学习的机会。  
戚悦：这次暑期学校的作品是基于SEA的示波器设计，此设计可实现A07实验试题的要求，包括信号采集模块，信号处理模块，显示模块。本作品能够完成采样信号的收集与转换，通过HDMI屏显示响应波形。  
 在作品设计的过程中，由于我们上一星期的高强度的实验学习，其实在代码部分并没有遇到较大的难题，我们很早就能做到HDMI屏显示零输入波形，但主要的问题还是在于如何自测，以及采样信号自生成的困难，以致于无法让我们明确到底能否完美实现功能要求。  
 总的来说，这次学习有效的提高了我们对于从VERILOG语言到硬件上的实行过程，了解各模块接口的定义以及作用的掌握，是一次提升科研素养和知识的很好的平台，并且XILINX暑期学校更是一次使我们能够把抽象知识和具体实际情况相结合的契机。  
 最后，我们初步感受到了FPGA设计电子系统的乐趣以及体会到完成一个电子系统设计的不易，在以后学习的漫漫长路上，我们依旧会保持初心，努力提升自我，突破极限。