

# PCIE基础知识

尤恺元 15921999232 微信

# PCI Express 简介

- 计算机通信平台中，PCI Express体系结构代表作高性能的外围组件互联方法
- 由PCI 和PCI-X 体系结构演变而来architectures
- PCI Express 以一种串行的点对点的方式互联两个设备
- 信息传输基于数据包协议实现
- PCI Express 互联中可实现单通道或多通道的数据传输
- PCI Express 协议目前已经发布4个版本

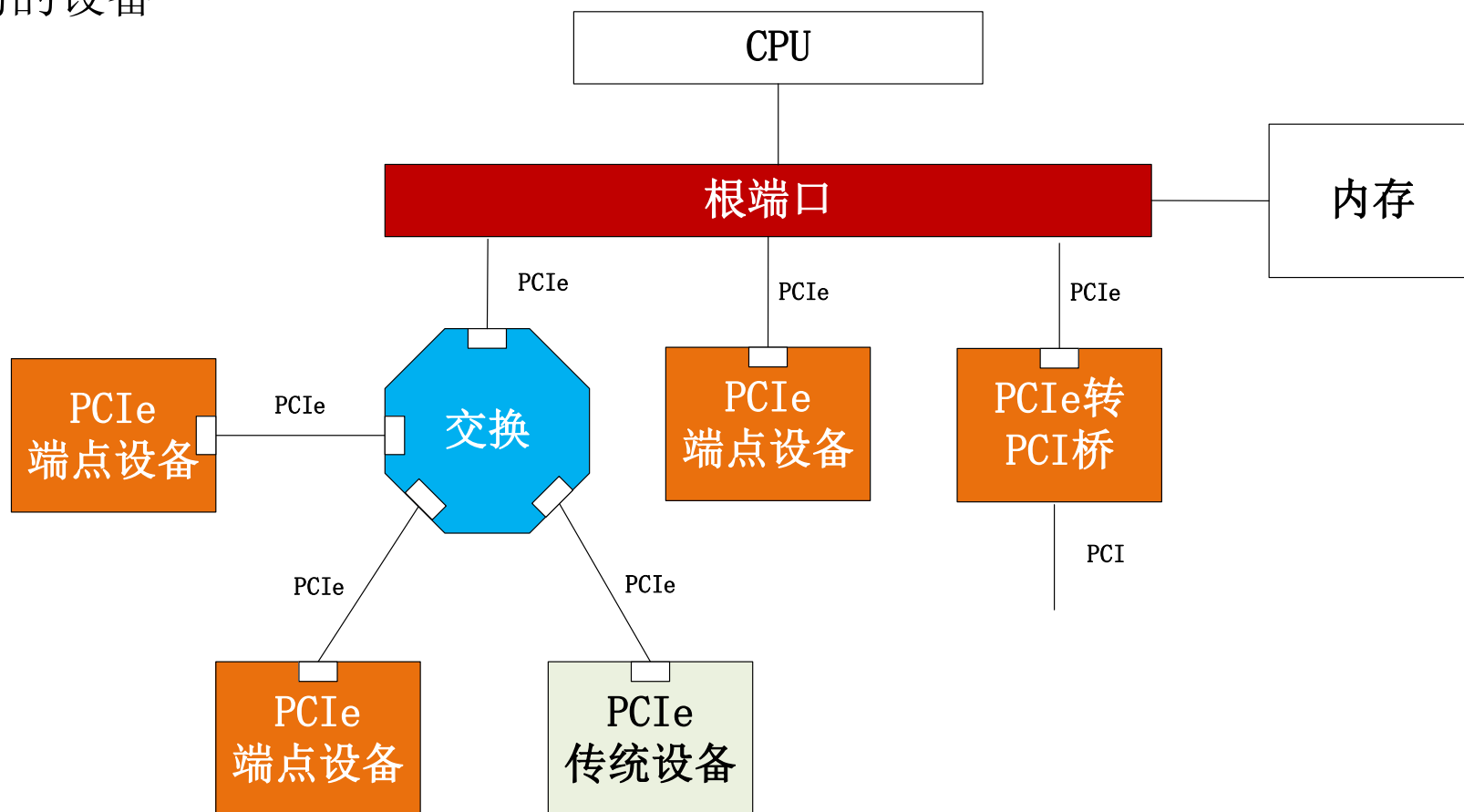
时间	版本	速率
2003	PCIe 1.0	2.5GT/s
2006	PCIe 2.0	5GT/s
2010	PCIe 3.0	8GT/s
2017	PCIe 4.0	16GT/s

# PCI Express 特性

- 点对点传输
- 串行总线意味着使用更少的引脚
- 通道数可选择: x1, x2, x4, x8, x12, x16, x32
- 全双工通信
- 2.5Gbps / 5.0Gbps
- 基于数据包的传输协议

# PCI Express拓扑结构

- 根端口
  - 连接CPU和存储器系统及PCIe结构的设备
  - 支持一个或多个PCIe端口
- 交换
  - 根据地址、ID或隐含路由数据包
  - 只要一个向上链路
  - 支持Type1配置空间
- 端点设备
  - 支持Type0配置空间
  - 可以被主板连接或者挂载
  - 显卡、网卡等功能卡



# PCIe配置空间

- Type0
  - 用于配置端点设备
  - 由根复合体发起，配置预定义的PCI系统端点设备头部区域
  - 设备号/ID号
  - BAR
- Type1
  - 用于配置Switches/Bridges

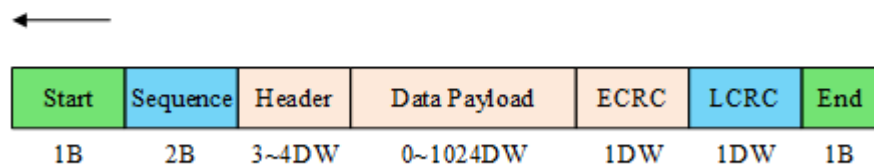
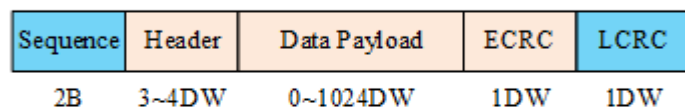
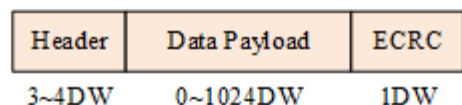
31		15		0		
Device ID		Vendor ID				00h
Status		Command				04h
Class Code			Revision ID			08h
BIST	HeaderType	LT		CacheLineSize		0Ch
Base Address Register 0						10h
Base Address Register 1						14h
Base Address Register 2						18h
Base Address Register 3						1Ch
Base Address Register 4						20h
Base Address Register 5						24h
Cardbus CIS Pointer						28h
Subsystem ID			Subsystem Vendor ID			2Ch
Expansion ROM Base Address						30h
reserved				Cap_Ptr = 54h		34h
reserved						38h
Max_Lat	Min_Gnt	Interrupt Pin		Interrupt Line		3Ch
MSI Capability List				Cap_Ptr = ACh	Cap_ID = 05h	54h
PCI Express Capability List				Cap_Ptr = 0	Cap_ID = 10h	ACh
						FFh

# PCI Express事务类型

- 事务层将请求翻译成四种事务类型：

地址空间	事务类型	用途
存储器	读写	传送数据 自/至系统存储器空间的一个单元
IO	读写	传送数据 自/至系统IO空间的一个单元
配置	读写	传送数据 自/至PCI兼容的、设备配置空间的一个单元
消息	底线/厂商定义	通常用于带内的消息传递和事件报告

# PCI Express TLP Types



事务层TLP
  链路层TLP
  物理层

Ftm[1:0]: 00=3DW, 无数据; 01=4DW, 无数据; 10=3DW, 有数据; 11=4DW, 有数据; 其和Type字段一起来规定事务的类型

TLP 类型	Ftm [1:0]	Type[4:0]
存储器读请求Mrd	00 = 3DW, 无数据 01 = 4DW, 无数据	0 0000
锁定存储器读请求MrdLk	00 = 3DW, 无数据 01 = 4DW, 无数据	0 0001
存储器写请求MWrr	10 = 3DW, 有数据 11 = 4DW, 有数据	0 0000
IO读请求IORd	00 = 3DW, 无数据	0 0010
IO写请求IOWrr	10 = 3DW, 有数据	0 0010
Type 0 配置读请求(CfgRd0)	00 = 3DW, 无数据	0 0100
Type 1 配置读请求(CfgRd1)	00 = 3DW, 无数据	0 0101
Type 0 配置写请求(CfgWr0)	10 = 3DW, 有数据	0 0100
Type 1 配置写请求(CfgWr1)	10 = 3DW, 有数据	0 0101
消息请求(Msg)	01 = 4DW, 无数据	1 0rrr
带数据的消息请求(MsgD)	11 = 4DW, 有数据	1 0rrr
完成Cpl	00 = 3DW, 无数据	0 1010
带数据的完成(CplD)	10 = 3DW, 有数据	0 1010
锁定完成(CplLk)	00 = 3DW, 无数据	0 1011
带数据的锁定完成(CplDLk)	10 = 3DW, 有数据	0 1011

# TLP概况

PCIe协议中要求TLP格式

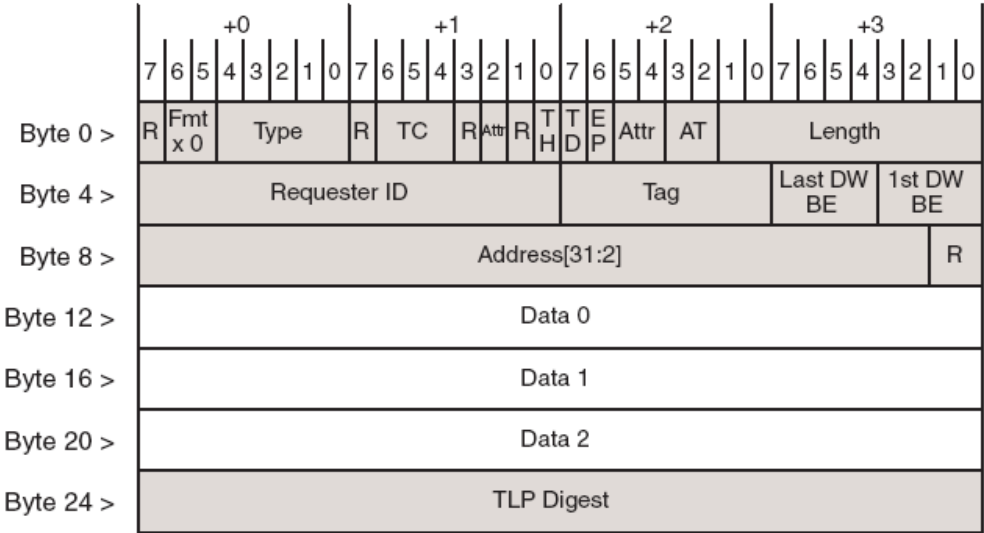


Figure 3-1: PCI Express Base Specification Byte Order

Xilinx PCIe硬核中事务层数据包TLP格式

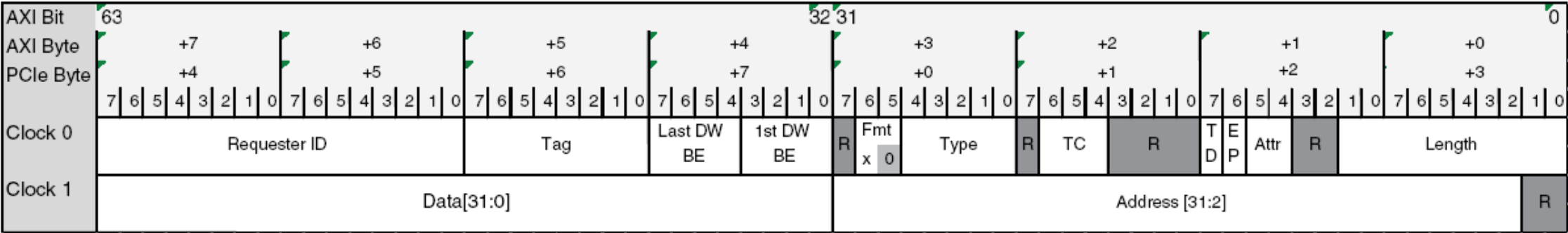


Figure 3-2: Endpoint Integrated Block Byte Order



# 数据包路由

- 每一种请求或者完成报文头都会有类型标注，每个数据包的路由都基于以下三种方式:

- 地址路由
- ID 路由
- 隐含式路由

TLP类型	使用路由方法
MRd、MRdLk、MWr	地址路由
IORd、IOWr	地址路由
CfgRd0、CfgRd1 CfgWr0、CfgWr1	ID路由
Msg、MsgD	地址路由、ID路由或隐含式路由
Cpl、CplD	ID路由

# 数据包路由

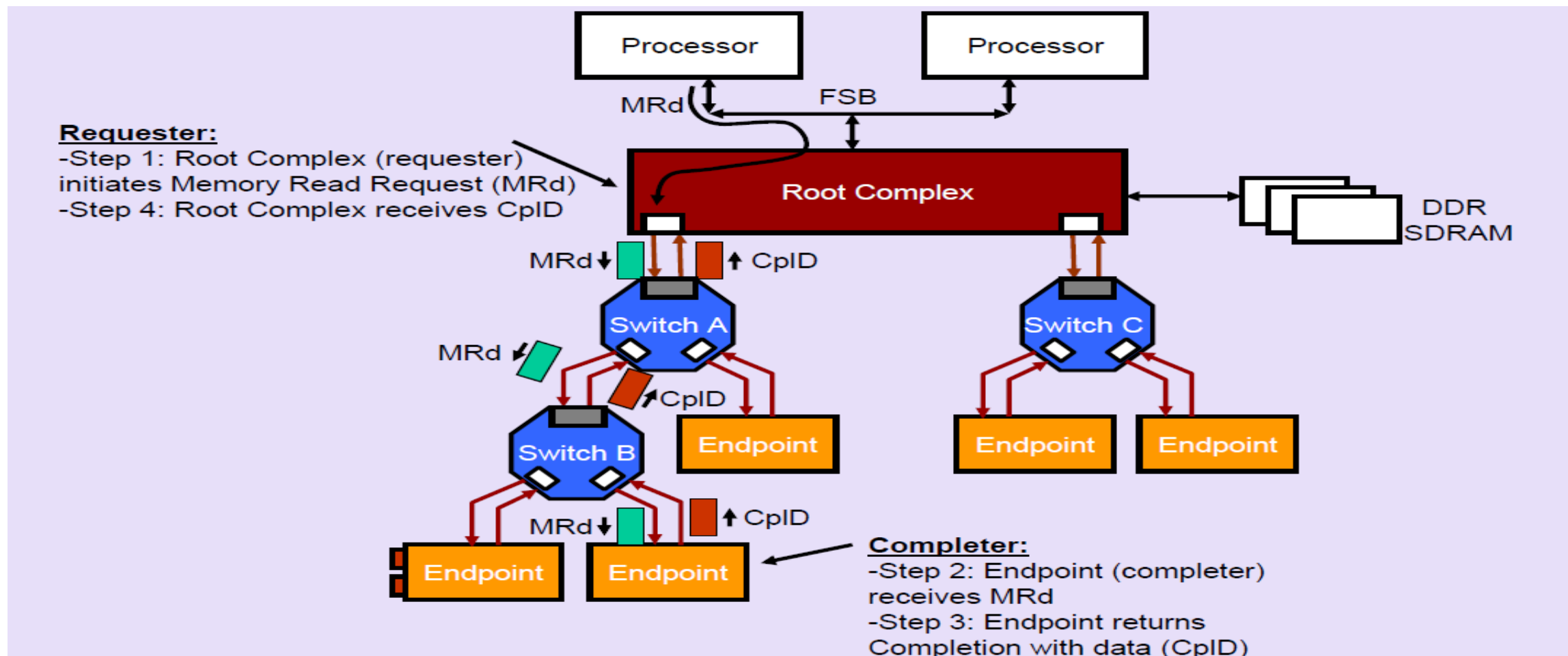
- 端点的地址路由

端点设备检查TLP包中的地址与BAR中所有地址进行比较，如果不属于本端点范围，则拒绝。

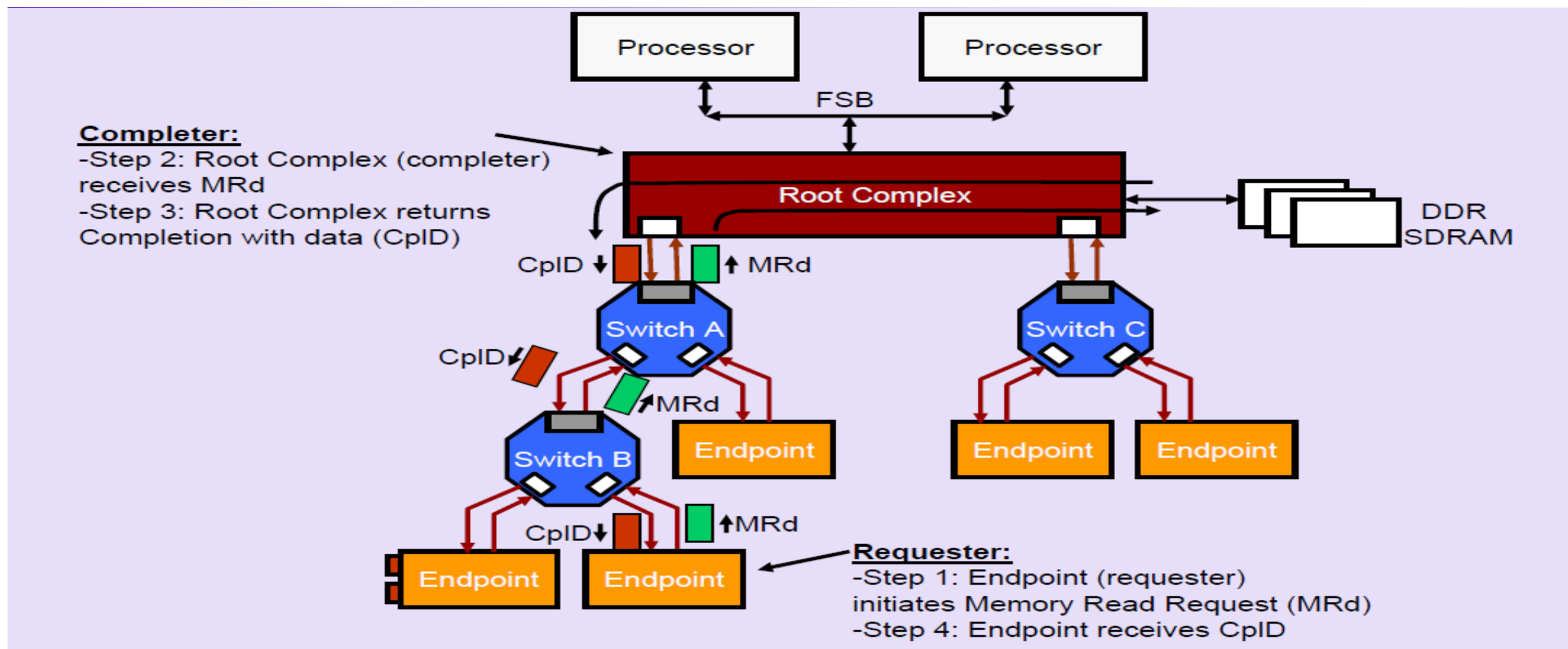
- 端点的ID路由

端点设备检查TLP包里的 总线 ID 和 设备 ID 功能ID是否与本端点一致，这些信息在Type0的配置信息里可以捕获。

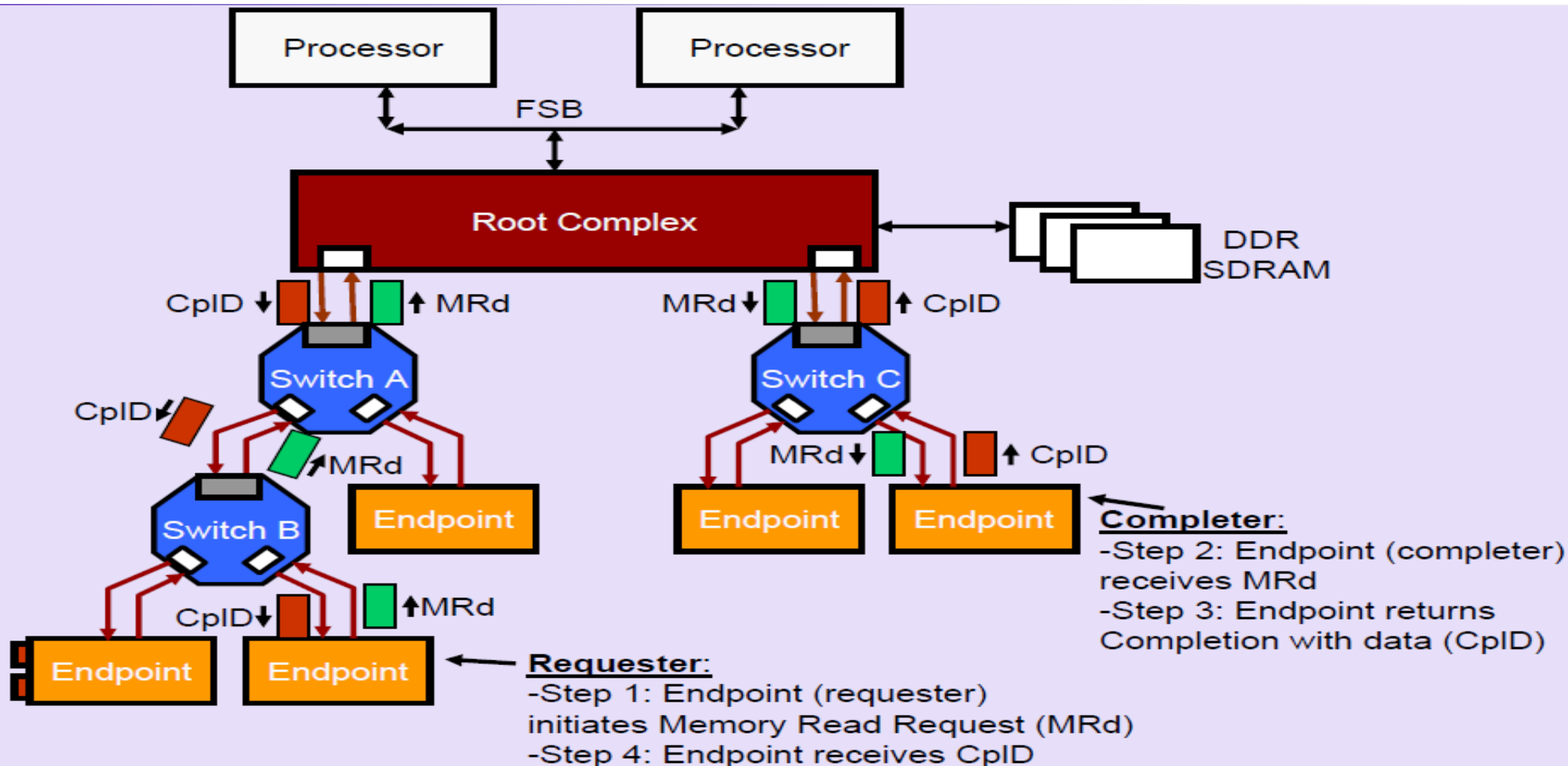
# Programmed I/O Transaction



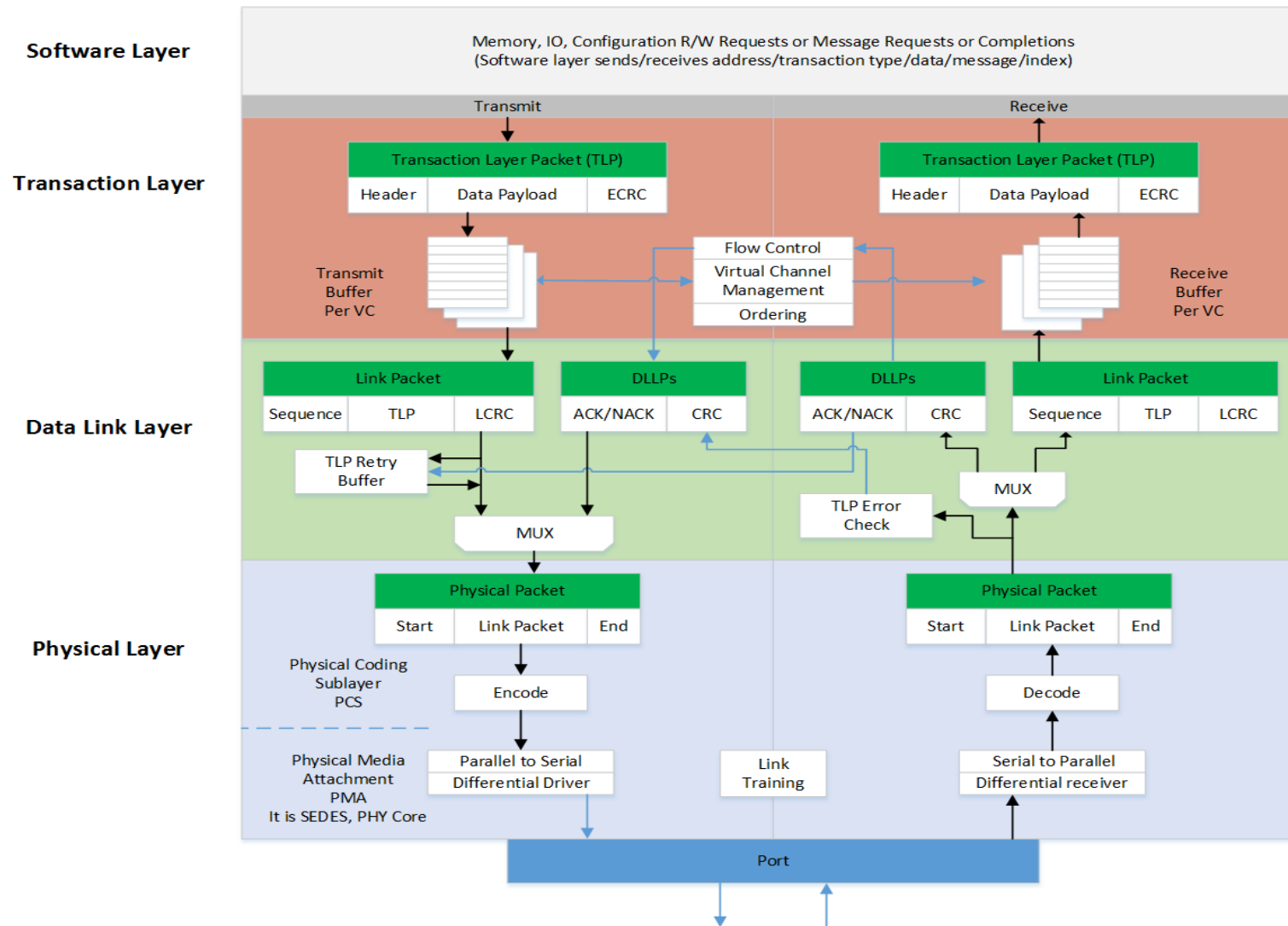
# DMA Transaction



# Peer-to-Peer Transaction

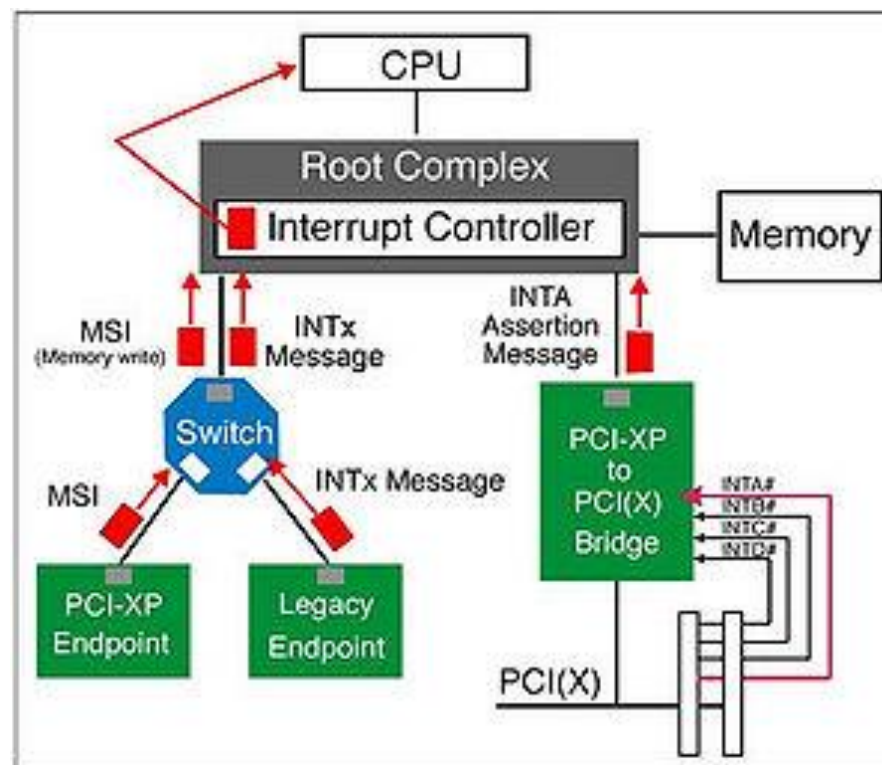


# PCI Express Device Layers



# 中断类型

- 真正的PCIe设备：必须使用MSI发送中断
- 传统的端点设备：必须支持MSI，可选择性地支持INTx消息。
- PCIe到PCI (X) 桥：必须支持INTx消息



# 理论带宽计算

- Gen2单向链路速率5Gbps
- 使用8B/10B编码，产生20%的数据开销
- 理论带宽=链路速率 \* 80% \* 通道数
- 对于单通道：
  - Gen1:  $2.5\text{Gbps} \times 0.8 = 250\text{MBps}$
  - Gen2:  $5\text{Gbps} \times 0.8 = 500\text{MBps}$
  - Gen3:  $8\text{Gbps} \times 1 = 1\text{GBps}$
- 更多的开销是由协议导致
  - 数据头
  - 校验位
  - 链路训练
  - 错误通信

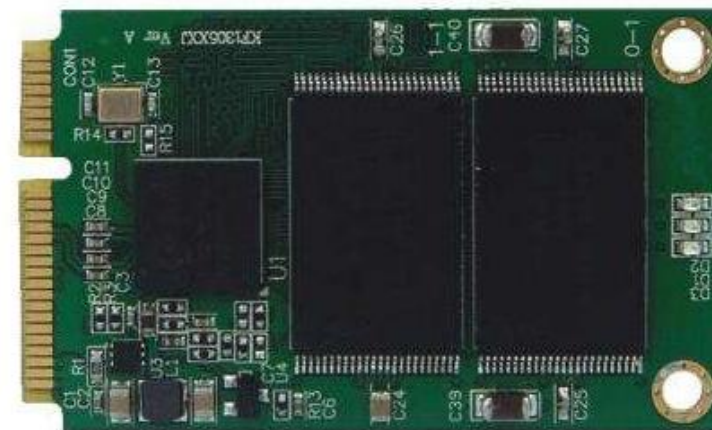
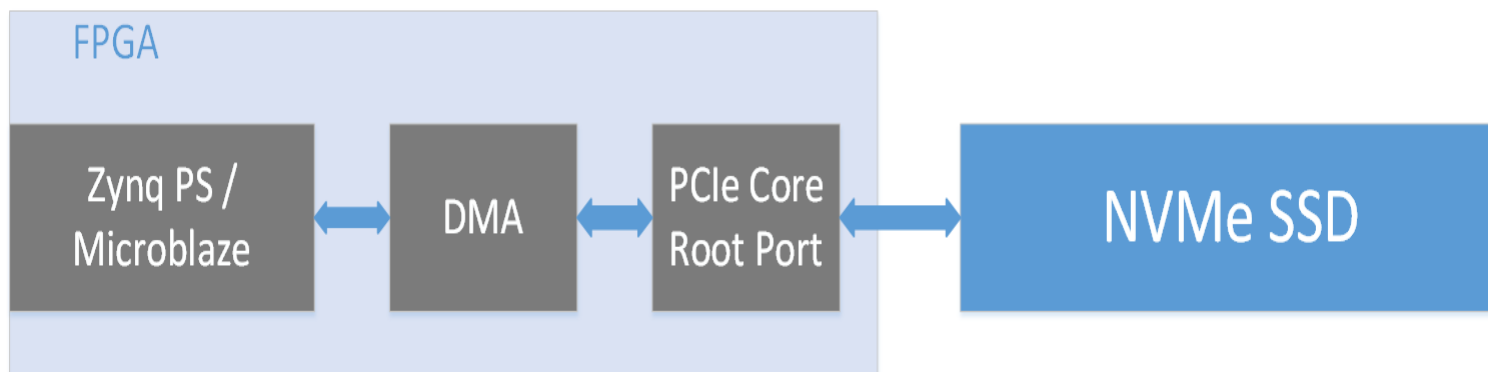


# PCIe在数据存储方面的应用

- NVMe 标准高端 SSD（M.2接口）



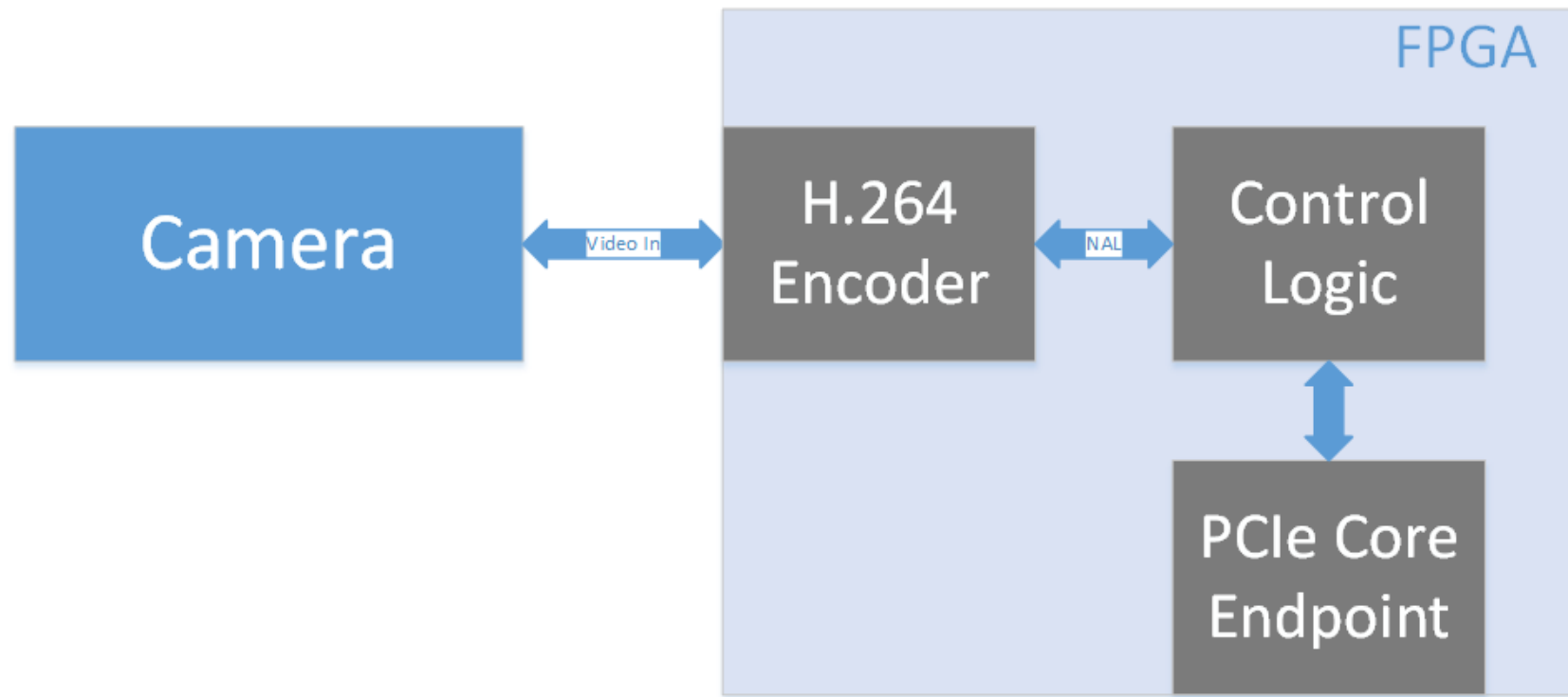
- 实施方案（嵌入式应用）



# PCIe 在图像处理方面的应用

- H.264编解码系统

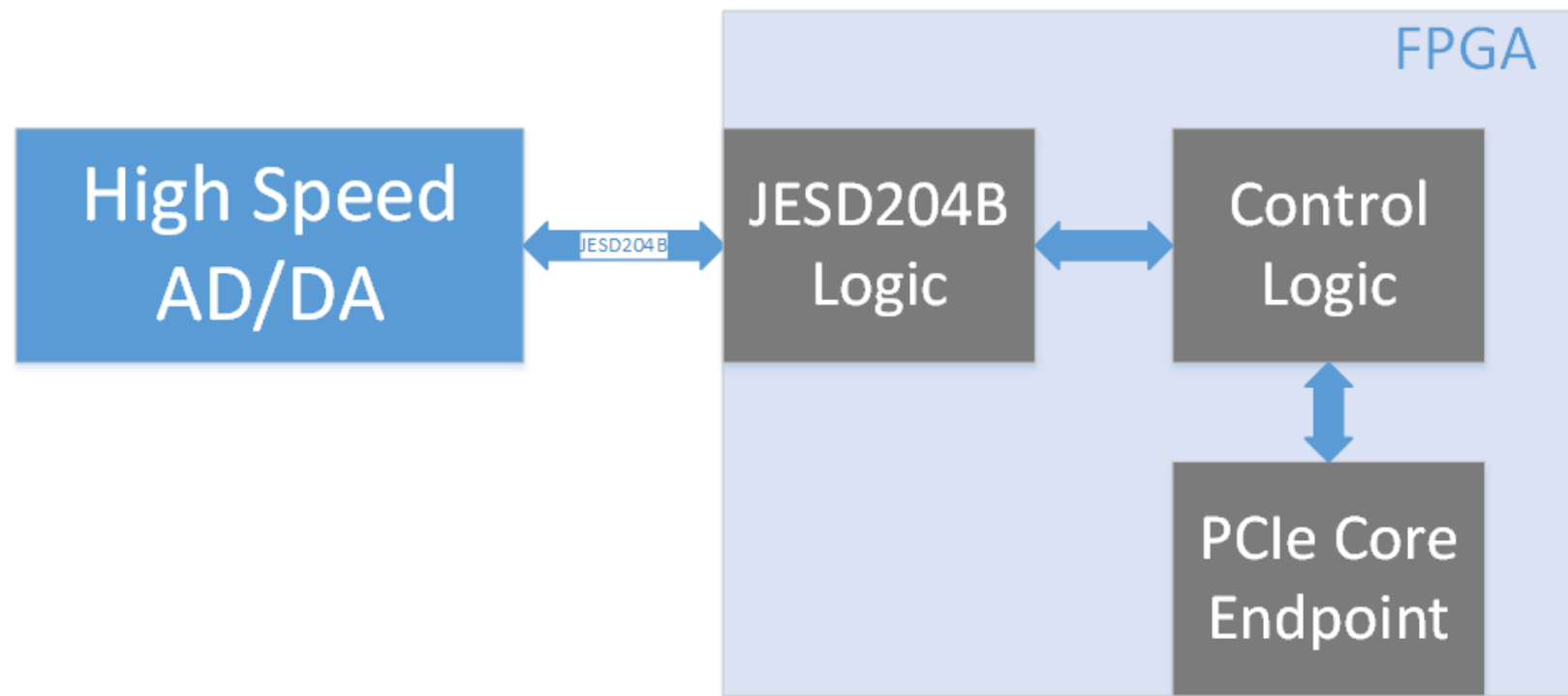
- 实施方案



# PCIe 在高速数据采集方面的应用

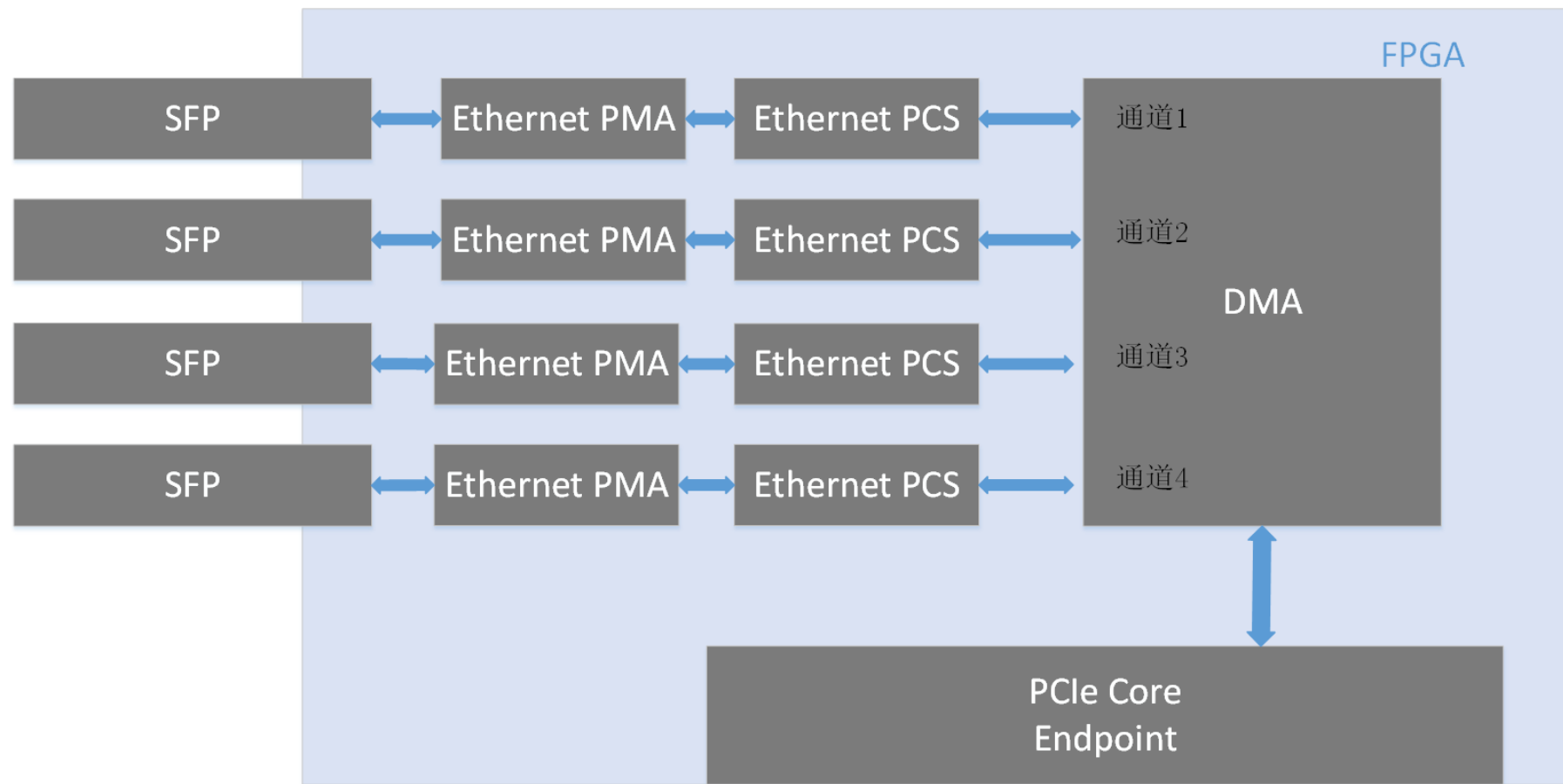
- 高速AD/DA系统

- JESD204B
- LVDS



# PCIe 在网络通信方面的应用

## ▪ 有线通信系统--光纤通信



- [pcisig.com](http://pcisig.com)
- [mindshare.com](http://mindshare.com)
- PCI Express System Architecture ( Book)
- PCI Express 3.0 Architecture