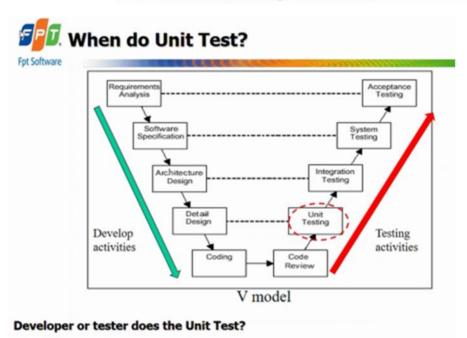
i u khi n tr l c lái cho vô l ng thì phát sinh l v n là toyota thu h i 50k xe. Trong vi c s n xu t s p x p công o n không úng d n n t b n t d n n thay i giá tr i n áp trong vi c i u khi n tr l c ánh lái d n n gây ra l i.

Unit test là testing software code the chi n ki m tra các o n code cho các method, function, n v nh nh t c a 1 ph n m m, có th c s d ng.

- "Unit testing" refers to testing software code at the smallest testable unit (method or function) and based on detail design
- Exception testing
 - · Range of feasible input
- Functional testing
 - · Black Box Testing conform to specification
 - · White Box testing
- Regression testing
 - · Conducted after a change
 - · To find new fault
- Confirmation testing
 - · Test to confirm that the bugs was fixed correctly



V model trong s n xu t ph n m m

Bên tay trái là các ho t ng c a dev

Ph i là testing. V i m i ho t ng c a dev thì có 1 ho t ng c a test.

Yêu c u phân tích thu th p và nghiên c u xem có ch c n ng gì. Ti p theo là software specification là phân tích các yêu c u có th c hi n nh yêu c u v k thu t hay các module c n có

Architecure design thì v i các công c c n có y c n có m i quan h và s ph thu c gi a chúng là nh th nào. Mqh và truy n t i link d li u gi a chúng là nh th nào. V i m i module c n có detail design các functional feature chính. V i m i functional coding nh th nào trong giai o n coding.

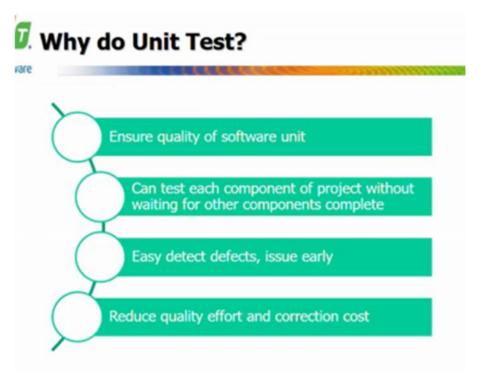
Sau vi c code thì c n ph i có code review v coding convention, gi i thu t có úng hay không, các v n v complain có úng ko, các v n khác theo tài li u

u tiên ph i t review sau ó các sen v i review

Unit testing là ho t ng c a 1 dev là ch y u th c hi n các k thu t testing

Intergration testing là test s t ng thích c a các module v i nhau, g i là tính h p lý phù h p v i nhau v i các data d ng simulation

Accestance testing là ng i khác hàng test a input th c t , bài toán th c t cho mình test xem có áp ng ch c n ng c a c h th ng hay không



gi m thi u các v n sau này thì dùng unit test cho các n v nh nh t m b o quality c a n v nh nh t.

Good Unit Test Run quickly Correctly reflects the Test cases are functionality of independent, Data's easy to Test case is read &

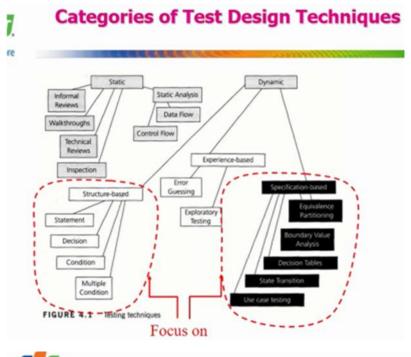
Các unit test c n m b o v t c vì cá n v ph n m m nh nh t d n n là 1 trong các module này có r t nhi u n v ph n m m t ng function nh r t nhi u. m i 1 unit test trong 1 function nh ó m t th i gian tách ra thì c ng l i c h th ng thì t n r t nhi u effort cho vi c ch y có th nh h ng n giá tr c a s n ph m

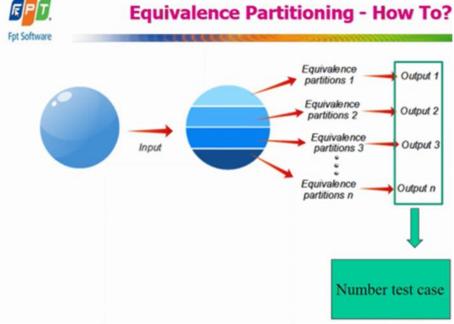
Vi c test case ch y c l p có th m b o c tính úng n c a nó, ko ph thu c vào vi c ch y tr c hay sau c a cái này cái kia m báo tính c l p v k t qu.

Test case phi ngin và dhi u mà trong 1 h th ng có nhi u ng i ra vào dán. Vi c test case c vi t ra và sau ó có ng i k tha nó, maintance là chuy n r t bình th ng. test case càng ngin và d maintance là t t nh t.

Ti p theo là s d ng data d c d hi u, l a ch n data d c d hi u thì m i ng i có th d dàng hi u vi c tính toán d dàng và d làm sao ó th c hi n sao ó v i con s ó thôi

Quan tr ng nh t là t i sao làm vi c ph i u úng ho t ng c a module, ki m tra ch c n ng c a 1 n v ph n m m nào ó





Chia các kh i c u màu thành nhi u phân vùng khác nhau t ng ng v i giá tr input u vào.

V i m i giá tr t ng ng input u vào, qua 1 unit test functional nào ó trong 1 output gi ng nhau thì s có 1 phân vùng t ng ng. trên hình v có n phân vùng t ng ng cho các màu gi ng nhau

V i m i phân vùng này ch n giá tr qua unit test thì s có 1 output t 1 n N. v i m i 1 output này có 1 test case t 1 n N

th c hi n ph ng pháp này có 2 b c chính

1 là phân bi t và cô ng c các phân vùng t ng ng nh th nào. M i phân vùng t ng ng u c n ch n ra 1 giá tr . V i i m keypoint thì ta c n ph i thi t 1 p nó có các phân vùng t ng ng khác nhau d a vào các driver input u vào và các output u ra.

B c th 2 là c n có design t ng s 1 ng test case ph thu c vào s 1 ng phân vùng t ng ng

2 pp chính cho vi c khoanh vùng t ng ng thì th nh t là s gán giá tr u vào, còn u ra thì t o ra các vùng phân vùng t ng ng là valid class và invalid class.

V i các phân vùng t ng ng này mình s có, t ng ng v i 1 phân vùng t ng ng thì mình s t o 1 test case thì d a vào y mình s t o 1 design 1 s 1 ng test case d a vào phân vùng t ng ng này

hi u rõ h n thì có 1 ví d

Lãi su t ti n g i ngân hàng

T 0 n 100 ô là 3%

Trên 100 \$ - 1000\$ là 5%

Trên 1000\$ là 7%

Ta có các vùng valid class là 3, 5 và 7 %

Invalid là tr ng h p là nh h n 0 \$ do các giá tr ta truy n vào là các giá tr nguyên c bi t là bên embedded.

V i m i phân vùng khác nhau s ch n ra các giá tr

Ví d 3% ch n 10 \$

5% ch n 500\$

7% thì ch n 200\$

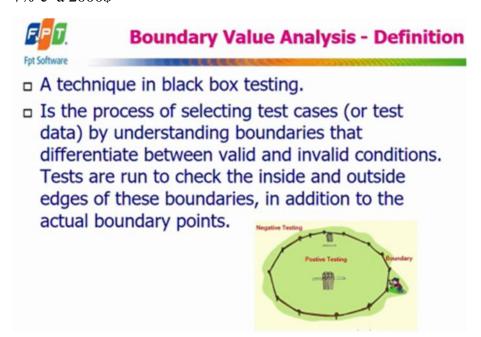
D i phân vùng invalid class ch n -5\$

M i phân vùng khác nhau cho ra giá tr lãi su t khác nhau

V i 50\$ cho ra giá troutput là 3% lãi su t 3% c a 50\$

500\$ thu c phân vùng 5% thì output là 5% c a 500\$

7% c a 2000\$



Phân tích vùng biên là check cái giá tr biên và c n biên. Trong 1 d i thay i c a data input thì có th nh ng giá tr gi a ko phát sinh ra l i. có nh ng tr ng h p c n biên ho c biên thì m i phát sinh ra l i thì mình c n ph i makesure d i data check biên.

th c hi n pp này tr i qua 2 b



Boundary Value Analysis - How To?

- There are 2 major steps we need to do in order to use BVA:
 - > Identify the boundary points (a, b)
 - > Design test cases based on boundary points

Test case	Value	Expected result
1	a-1	Invalid
2	a	Valid
3	В	Valid
4	b+1	Invalid

B c 1 xác nh vùng biên

Design test case theo các giá tr vùng biên ó theo công th c bên d i

Ngoài ra có thmr ng là giá trcác biên là a-1 và b+1mb o nó make sure hn

Ví d

Sample: consider a printer that has an input option of



- ➤ To apply boundary value analysis, we will take the minimum and maximum (boundary) values from the valid partition (1 and 99 in this case) together with the number of copies to be made, from 1 to 99
- ➤ The first or last value respectively in each of the invalid partitions adjacent to the valid partition (o and 100 in this case). In this example we would have three equivalence partitioning tests (one from each of the three partitions) and four boundary value tests.

Because:

- * Every boundary is in some partition, if you did only boundary value analysis you would also have tested every equivalence partition.
- * If only testing boundaries we would probably not give the users much confidence as we are using extreme values rather than normal values

N u range r t dài thì ch n ph ng pháp phân vùng t ng ng cho 1 giá tr i di n gi a ch ng h n thì pp boundary value thì các giá tr gi i h n 2 u quay gi i h n 2 vùng biên là a b và a-1 b + 1 thì có th ti m n nh ng kh n ng b lách và tr ng h p b lách có th gây ra l i, b sót l i. trong th c t c n ph i k t h p 2 ph ng pháp này. Ch n các giá tr phân vùng t ng ng và giá tr vùng biên t o thành b test case h p lý phù h p



Stage Transition Testing

- State transition testing focuses on the testing of transitions from <u>one state</u> (e.g., open, closed) of an object (e.g., an account) to <u>another state</u>
- State Transition applies for finite state systems
- Use a state transition chart to identify state transitions that can occur in the real business world and state transitions that cannot occur

Pp này là stage transition testing là pp ki m th trong ó thay i i u ki n u vào và thay i tr ng thái trong các ng d ng

Pp này apply c cho các tr ng thái h u h n xác nh c làm dc pp này c n có stage transition model

Fot Software

A state transition model

A state transition model has four basic parts

- The states that the software may occupy (open/closed or funded/insufficient funds);
- The transitions from one state to another (not all transitions are allowed);
- The events that cause a transition (closing a file or withdrawing money);
- The actions that result from a transition (an error message or being given your cash).

G m 4 thành ph n

Các tr ng thái c a ch ng trình có th có, ko s d tài kho n hay là h t h n hay là các phiên chuy n i transition t tr ng thái này sang tr ng thái khác

Th 3 là các s ki n, event gây ra b i phiên chuy n i, ví d nh vi c là nh p mã PIN hay là óng FILE

Th 4 là các k t qu

Electronic clock example

- A simple electronic clock has four modes, display time, change time, display date and change date
- The change mode button switches between display time and display date
- The reset button switches from display time to adjust time or display date to adjust date
- The set button returns from adjust time to display time or adjust date to display date

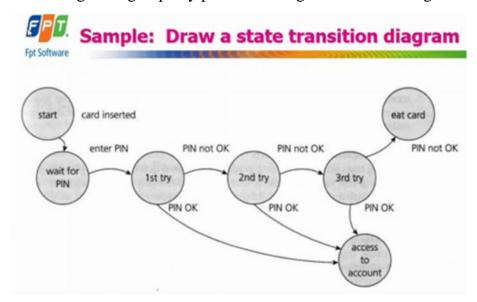
víd v ngh int

T ng ng v i 4 tr ng thái là 4 mode

Sample: Draw a state transition diagram Pour part | Adjust | Pour part | Adjust | Pour part | Adjust | DISPLAY | DATE | Set | Adjust | DATE | DATE | Pour part | Adjust | DATE | DATE | Adjust | DATE

Vi c chuy n i các tr ng thái v i nhau có các nút set, reset, change mode. D a vào diagram có th thi t k ra các test case. D a vào ó có th th y c các tr ng h p không th x y ra

V i nh ng tr ng h p này phát sinh trong test case thì có ngh a là h th ng ang b 1 i



Stage transition c a máy ATM: các phiên chuy n i, các event, n nút, các action

V i m i s diagram thì mình có th chuy n i các tr ng thái d dàng. Ki m tra các tr ng thái tr c khi chuy n i

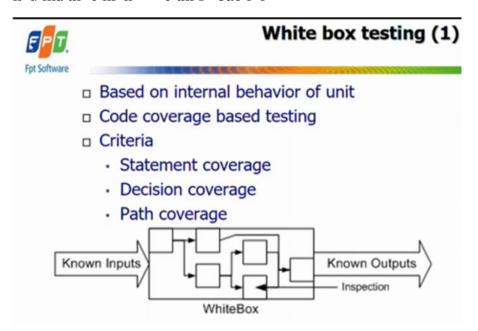
Ví d tr ng thái 1 thì ng nh p t i âu ch ng h n thì mình ki m tra tr c khi vào 1st thì nó làm cái gì, sau 1st thì nó làm cái gì. Sau 1st thì có các tr ng thái là 2nd ho c access to

account thì nó ph thu c vào cái transition ho c các event t ng ng thì ó là d a vào stage transition th c hi n thi t l p s l ng các test case ph thu c vào diagram ó.

Ph ng pháp này d dàng cho m i ng i nhanh chóng ti p c n key point c a bài toán và làm úng

Ngoài vi c ki m tra m i tr ng thái úng thì còn ki m tra tr ng thái sai ki m tra c là vi c ki m tra tr ng thái hoàn toàn chính xác ko úng

Ví d nh là ki m tra tr ng thái l n th nh t mà ko úng thì ví d nh là t 1 l n th nh t mà chuy n sang n th luôn thì là tr ng h p test case nh th là ko th th c hi n c n u mà th c hi n c thì s báo l i

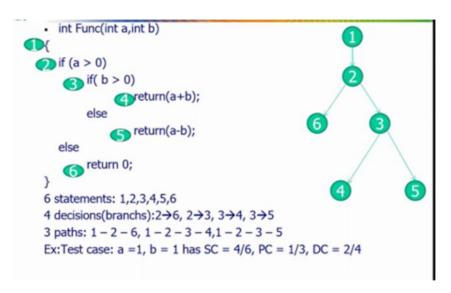


T i sao g i là white box

Giá tr s d ng các block testing thì mn ch ki m tra tr ng thái gi a xác nh n tr ng thái và functional thông qua các input u vào, các expectational output u ra nh ng v i white box testing thì c n quan tâm t i n i dung bên trong functional nó nh th nào. V i functional có r t nhi u r nhánh khác nhau d n n nh ng tr ng h p blackbox testing ko test h t c nh nó vào lu ng (stream) x lý mà mình ko cover c h t thì l i issue có th ti m n lu ng nhánh ó

Thì lúc ó m i c n white box testing tìm ra l i bên trong c a hàm m c ích là cover toàn b các functional trong nhánh, ã c ki m tra tránh l i phát sinh ti m n trong y

i sâu vào stagement coverage là các dòng, decision coverage là các câu l nh r nhánh, path coverage là ng i c a các functional ã bi t



V i 2 bi n u vào ab thì t ng ng v i các giá tr u vào ab thì có các lu ng x lý khác nhau cho các giá tr u ra khác nhau thì mình s có 6 stagement

V i a=1 b=1 thì mình cover c 4 stagement và s cover c 2 nhánh trên 4 nhánh C n cover toàn b thì ch n các giá tr khác nhau ví d nh a=0, b=0; a=0, b=1

Thì stage m i bao ph toàn b các SC, PC, DC thì khi ó function m i m b o quality t t h n

DRIVER là 1 lo i modul dùng ki m th , code xong thì dùng 1 driver bên ngoài g i cái functional ó test th , trong tr ng h p này

```
Driver: Gọi module để được kiểm thử. (code xong >> dùng 1 driver bên ngoài gọi nó để chạy)
status Clock_Getfreq(const clock_source_t Clk, uint32_t * Fre)
    status State;
     if (Fre == NULL)
        State = STATUS_ERRORED;
    }
else
         switch (Clk)
             case TIMER_CLK:
                 /* Do something for calcaulation Frequency value */
/* Example fre = 1M Hz */
*Fre = 1000000UL;
                  State = STATUS_SUCCESSED;
                  break;
             case UART1_CLK:
                 /* Do something for calcalation */
*Fre = 8000000UL;
                  State = STATUS_SUCCESSED;
                  break;
             case UART2_CLK:
                  /* Do something for calcalation */
*Fre = 4000000UL;
                  State = STATUS_SUCCESSED;
                  break;
             defualt:
                 /* Nothing change */
*Fre = @UL;
                  State = STATUS_UNSUPPORTED;
                  break;
    return State;
```

test clock frequency

ây là ví d vi t 1 driver g i 1 functional ang c n ki m th th c t thì vi c ki m th này c g i b i các hàm khác nhau c a các functional khác trong vi c tính toán các functional frequency