

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP.HỒ CHÍ MINH
KHOA ĐIỆN – ĐIỆN TỬ
BỘ MÔN KỸ THUẬT MÁY TÍNH – VIỄN THÔNG



KHÓA LUẬN TỐT NGHIỆP

**THIẾT KẾ Ô NHỚ SRAM 10T
DÙNG CỔNG ĐẢO SCHMITT TRIGGER**

NGÀNH CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ - VIỄN THÔNG

Sinh viên: **HÀ THANH ĐỨC**

MSSV: 20161306

LÊ THANH HẢI

MSSV: 20161310

TP.Hồ Chí Minh – 06/2024

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP.HỒ CHÍ MINH
KHOA ĐIỆN – ĐIỆN TỬ
BỘ MÔN KỸ THUẬT MÁY TÍNH – VIỄN THÔNG



KHÓA LUẬN TỐT NGHIỆP

**THIẾT KẾ Ô NHỚ SRAM 10T
DÙNG CỔNG ĐẢO SCHMITT TRIGGER**

NGÀNH CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ - VIỄN THÔNG

Sinh viên: **HÀ THANH ĐỨC**

MSSV: 20161306

LÊ THANH HẢI

MSSV: 20161310

Hướng dẫn: **PGS.TS.PHẠM NGỌC SƠN**

TP.Hồ Chí Minh – 06/2024

LỜI CẢM ƠN

Trải qua thời gian học tập tại trường, dưới sự giảng dạy, rèn luyện của các Thầy (Cô) trường Đại học Sư phạm Kỹ thuật TP.HCM nói chung và các Thầy (Cô) trong bộ môn Kỹ thuật Máy tính – Viễn thông nói riêng. Đến nay, nhóm sinh viên đã có những nền tảng kiến thức quan trọng để có thể thực hiện khóa luận tốt nghiệp này. Đặc biệt, được sự hướng dẫn tận tình, kịp thời, sát sao từ Thầy PGS.TS Phạm Ngọc Sơn mà nhóm sinh viên có thể hoàn thành khóa luận tốt nghiệp trong thời gian cho phép.

Trong quá trình thực hiện, nhóm sinh viên gặp rất nhiều khó khăn, hạn chế cũng như những sai sót không thể tránh khỏi. Nhóm sinh viên cảm ơn Thầy vì đã định hướng cũng như đưa ra những lời góp ý, nhận xét để nhóm có thể cải thiện kịp thời những vấn đề gặp phải.

Lời cuối cùng, nhóm sinh viên xin chúc tất cả các Thầy (Cô) trường Đại học Sư phạm Kỹ thuật TP.HCM, cũng như các Thầy (Cô) bộ môn lời chúc sức khỏe, nhiệt huyết, thành công hơn trong sự nghiệp “trồng người” và luôn hạnh phúc.

Em cảm ơn Thầy!

Thành phố Hồ Chí Minh, tháng 06 năm 2024

Nhóm thực hiện đề tài

TÓM TẮT

Ngày nay, với những ưu điểm nổi bật như tốc độ truy cập cao, khả năng lưu trữ lớn, kích thước nhỏ, SRAM đã và đang trở thành một bộ nhớ lưu trữ thông tin phổ biến trong máy tính. Với mong muốn tìm hiểu, nghiên cứu về SRAM, nhóm sinh viên quyết định chọn đề tài “Thiết kế ô nhớ SRAM 10T dùng cổng đảo Schmitt Trigger”.

Trong đề tài này, nhóm sinh viên tìm hiểu, phân tích kiến trúc của những ô nhớ SRAM sử dụng cổng đảo tiêu chuẩn như SRAM 6T và 8T. Bên cạnh đó, nhóm cũng tìm hiểu, phân tích một cổng đảo Schmitt Trigger, nhóm tiến hành đánh giá và so sánh với cổng đảo tiêu chuẩn. Nhận thấy được những ưu điểm vượt trội của cổng đảo Schmitt Trigger, nhóm quyết định thực hiện nghiên cứu về ô nhớ SRAM 10T sử dụng cổng đảo này.

Nhóm sinh viên tiến hành mô phỏng kiến trúc ô nhớ SRAM 10T trên phần mềm Cadence Virtuoso công nghệ 90nm. Nhóm tiến hành mô phỏng hoạt động, tính toán độ dự trữ nhiều, thời gian trễ lan truyền và công suất trung bình của ô nhớ ở các điều kiện khác nhau.

Nhóm đã nghiên cứu được ô nhớ SRAM 10T sử dụng cổng đảo Schmitt Trigger có thể đáp ứng được khả năng chống nhiễu tốt, chuyển mạch nhanh, ổn định, tốc độ truy cập cao và công suất thấp.

MỤC LỤC

| | |
|---|----|
| DANH MỤC HÌNH | i |
| DANH MỤC BẢNG | iv |
| CÁC TỪ VIẾT TẮT | vì |
| CHƯƠNG 1: TỔNG QUAN | 1 |
| 1.1 GIỚI THIỆU | 1 |
| 1.2 MỤC TIÊU ĐỀ TÀI | 1 |
| 1.3 GIỚI HẠN ĐỀ TÀI | 2 |
| 1.4 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU..... | 2 |
| 1.5 PHƯƠNG PHÁP NGHIÊN CỨU | 2 |
| 1.6 BỐ CỤC ĐỀ TÀI..... | 2 |
| CHƯƠNG 2: CƠ SỞ LÝ THUYẾT | 4 |
| 2.1 TỔNG QUAN VỀ BỘ NHỚ SRAM | 4 |
| 2.1.1 Giới thiệu..... | 4 |
| 2.1.2 Cấu trúc | 5 |
| 2.1.3 Ứng dụng..... | 5 |
| 2.2 CÔNG ĐẢO TIÊU CHUẨN | 6 |
| 2.3 CÔNG ĐẢO SCHMITT TRIGGER..... | 6 |
| 2.3.1 Schmitt Trigger tiêu chuẩn..... | 6 |
| 2.3.2 Schmitt Trigger nâng cấp | 8 |
| 2.4 SO SÁNH CÔNG ĐẢO TIÊU CHUẨN VÀ ST NÂNG CẤP | 8 |
| 2.5 PULL-UP RATIO VÀ CELL RATIO | 9 |
| 2.5.1 Pull-up Ratio | 10 |
| 2.5.2 Cell Ratio..... | 10 |
| 2.6 ĐỘ DỰ TRỮ NHIỄU | 11 |

| | | |
|-------|--|----|
| 2.7 | THỜI GIAN TRỄ LAN TRUYỀN | 12 |
| 2.8 | CÔNG SUẤT | 13 |
| 2.9 | KIẾN TRÚC Ô NHỚ SRAM | 14 |
| 2.9.1 | Cấu trúc ô nhớ SRAM 6T | 14 |
| 2.9.2 | Cấu trúc ô nhớ SRAM 8T | 16 |
| 2.9.3 | Cấu trúc ô nhớ SRAM 10T | 18 |
| | CHƯƠNG 3: THIẾT KẾ Ô NHỚ SRAM 10T DÙNG CỒNG ĐẢO SCHMITT TRIGGER..... | 21 |
| 3.1 | MẠCH NẠP TRƯỚC..... | 21 |
| 3.2 | MẠCH GHI DỮ LIỆU | 22 |
| 3.3 | Ô NHỚ SRAM 10T | 24 |
| 3.4 | MẠCH ĐỌC DỮ LIỆU | 25 |
| 3.5 | SƠ ĐỒ KHỐI CỦA SRAM 10T | 26 |
| 3.6 | THÔNG SỐ MÔ PHỎNG | 28 |
| | CHƯƠNG 4: KẾT QUẢ THỰC HIỆN | 31 |
| 4.1 | ĐỘ DỰ TRỮ NHIỀU | 31 |
| 4.2 | CHẾ ĐỘ HOẠT ĐỘNG | 32 |
| 4.3 | THỜI GIAN TRỄ LAN TRUYỀN | 34 |
| 4.3.1 | Thời gian trễ lan truyền với sự biến thiên của điện áp cung cấp | 34 |
| 4.3.2 | Thời gian trễ lan truyền với sự biến thiên của nhiệt độ môi trường | 40 |
| 4.4 | CÔNG SUẤT | 46 |
| 4.4.1 | Công suất với sự biến thiên của điện áp cung cấp | 48 |
| 4.4.2 | Công suất với sự biến thiên của nhiệt độ môi trường | 49 |
| 4.5 | ĐÁNH GIÁ KẾT QUẢ MÔ PHỎNG | 51 |
| | CHƯƠNG 5: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN | 53 |
| 5.1 | KẾT LUẬN..... | 53 |

| | |
|---------------------------|----|
| 5.2 HƯỚNG PHÁT TRIỂN..... | 53 |
| TÀI LIỆU THAM KHẢO | 54 |

DANH MỤC HÌNH

| | |
|---|----|
| Hình 2.1: Con chip SRAM | 4 |
| Hình 2.2: Cấu trúc của SRAM | 5 |
| Hình 2.3: Sơ đồ nguyên lý của cổng đảo tiêu chuẩn | 6 |
| Hình 2.4: Sơ đồ nguyên lý của Schmitt Trigger tiêu chuẩn | 7 |
| Hình 2.5: Sơ đồ nguyên lý của Schmitt Trigger nâng cấp | 8 |
| Hình 2.6: Đặc tính DC của cổng đảo tiêu chuẩn và ST nâng cấp | 9 |
| Hình 2.7: Định nghĩa biên độ dự trữ nhiễu | 11 |
| Hình 2.8: Mức nhiễu dự trữ của cổng đảo tiêu chuẩn | 12 |
| Hình 2.9: Thời gian trễ lan truyền và thời gian tăng/giảm | 12 |
| Hình 2.10: Sơ đồ nguyên lý ô nhớ SRAM 6T | 14 |
| Hình 2.11: Sơ đồ nguyên lý ô nhớ SRAM 8T | 16 |
| Hình 2.12: Sơ đồ nguyên lý ô nhớ SRAM 10T | 18 |
| Hình 3.1: Sơ đồ nguyên lý mạch nạp trước | 22 |
| Hình 3.2: Đóng gói mạch nạp trước | 22 |
| Hình 3.3: Sơ đồ nguyên lý mạch ghi dữ liệu | 23 |
| Hình 3.4: Đóng gói mạch ghi dữ liệu | 23 |
| Hình 3.5: Sơ đồ nguyên lý ô nhớ SRAM 10T | 24 |
| Hình 3.6: Đóng gói khối ô nhớ SRAM 10T | 25 |
| Hình 3.7: Sơ đồ nguyên lý mạch đọc dữ liệu | 26 |
| Hình 3.8: Sơ đồ nguyên lý khối đọc dữ liệu | 26 |
| Hình 3.9: Sơ đồ khối hoạt động ghi và đọc | 27 |
| Hình 4.1: Mức nhiễu dự trữ của cổng đảo tiêu chuẩn | 31 |
| Hình 4.2: Mức nhiễu dự trữ của cổng đảo Schmitt Trigger | 31 |
| Hình 4.3: Mô phỏng chế độ hoạt động khi dữ liệu DATA = 0 | 33 |
| Hình 4.4: Mô phỏng chế độ hoạt động khi dữ liệu DATA = 1 | 33 |
| Hình 4.5: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao với điện áp 0.8V | 35 |
| Hình 4.6: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp với điện áp 0.8V | 35 |
| Hình 4.7: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao với điện áp 1V | 36 |
| Hình 4.8: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp với điện áp 1V | 36 |

| | |
|--|----|
| Hình 4.9: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao với điện áp 1.2V | 37 |
| Hình 4.10: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp với điện áp 1.2V ... | 37 |
| Hình 4.11: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao với điện áp 0.8V..... | 38 |
| Hình 4.12: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp với điện áp 0.8V .. | 38 |
| Hình 4.13: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao với điện áp 1V..... | 39 |
| Hình 4.14: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp với điện áp 1V .. | 39 |
| Hình 4.15: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao với điện áp 1.2V..... | 40 |
| Hình 4.16: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp với điện áp 1.2V .. | 40 |
| Hình 4.17: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao ở nhiệt độ 10°C | 41 |
| Hình 4.18: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp ở nhiệt độ 10°C .. | 41 |
| Hình 4.19: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao ở nhiệt độ 27°C | 42 |
| Hình 4.20: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp ở nhiệt độ 27°C .. | 42 |
| Hình 4.21: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao ở nhiệt độ 80°C | 43 |
| Hình 4.22: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp ở nhiệt độ 80°C .. | 43 |
| Hình 4.23: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao ở nhiệt độ 10°C | 44 |
| Hình 4.24: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp ở nhiệt độ 10°C | 44 |
| Hình 4.25: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao ở nhiệt độ 27°C | 45 |
| Hình 4.26: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp ở nhiệt độ 27°C | 45 |
| Hình 4.27: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao ở nhiệt độ 80°C | 46 |
| Hình 4.28: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp ở nhiệt độ 80°C | 46 |
| Hình 4.29: Dạng sóng mô phỏng WL, BL, BLB | 47 |
| Hình 4.30: Mô phỏng công suất tức thời với điện áp 0.8V | 48 |
| Hình 4.31: Công suất trung bình với điện áp 0.8V | 48 |
| Hình 4.32: Mô phỏng công suất tức thời với điện áp 1V | 48 |
| Hình 4.33: Công suất trung bình với điện áp 1V | 48 |
| Hình 4.34: Mô phỏng công suất tức thời với điện áp 1.2V | 49 |
| Hình 4.35: Công suất trung bình với điện áp 1.2V | 49 |
| Hình 4.36: Mô phỏng công suất tức thời ở nhiệt độ 10°C | 49 |
| Hình 4.37: Công suất trung bình ở nhiệt độ 10°C | 49 |
| Hình 4.38: Mô phỏng công suất tức thời ở nhiệt độ 27°C..... | 50 |
| Hình 4.39: Công suất trung bình ở nhiệt độ 27°C | 50 |

| | |
|--|----|
| Hình 4.40: Mô phỏng công suất tức thời ở nhiệt độ 80°C | 50 |
| Hình 4.41: Công suất trung bình ở nhiệt độ 80°C | 50 |

DANH MỤC BẢNG

| | |
|---|----|
| Bảng 2.1: Bảng trạng thái công đảo tiêu chuẩn..... | 6 |
| Bảng 2.2: Bảng trạng thái chế độ chờ SRAM 6T..... | 15 |
| Bảng 2.3: Bảng trạng thái chế độ đọc SRAM 6T..... | 15 |
| Bảng 2.4: Bảng trạng thái chế độ ghi SRAM 6T | 16 |
| Bảng 2.5: Bảng trạng thái chế độ chờ SRAM 8T..... | 17 |
| Bảng 2.6: Bảng trạng thái chế độ đọc SRAM 8T | 17 |
| Bảng 2.7: Bảng trạng thái chế độ ghi SRAM 8T | 17 |
| Bảng 2.8: Bảng trạng thái chế độ chờ SRAM 10T..... | 19 |
| Bảng 2.9: Bảng trạng thái chế độ đọc SRAM 10T | 19 |
| Bảng 2.10: Bảng trạng thái chế độ ghi SRAM 10T | 20 |
| Bảng 3.1: Bảng trạng thái mạch nạp trước | 21 |
| Bảng 3.2: Bảng trạng thái mạch ghi dữ liệu | 23 |
| Bảng 3.3: Kích thước bóng bán dẫn trong ô nhớ SRAM 10T..... | 25 |
| Bảng 3.4: Bảng trạng thái mạch đọc dữ liệu | 25 |
| Bảng 3.5: Thông số mô phỏng của tín hiệu VDD | 28 |
| Bảng 3.6: Thông số mô phỏng của tín hiệu VSS | 28 |
| Bảng 3.7: Thông số mô phỏng của tín hiệu DATA = 1 | 28 |
| Bảng 3.8: Thông số mô phỏng của tín hiệu DATA = 0 | 28 |
| Bảng 3.9: Thông số mô phỏng của tín hiệu WE | 29 |
| Bảng 3.10: Thông số mô phỏng của tín hiệu PRE..... | 29 |
| Bảng 3.11: Thông số mô phỏng của tín hiệu WL | 29 |
| Bảng 3.12: Thông số mô phỏng của tín hiệu RE..... | 30 |
| Bảng 3.13: Thông số thời gian mô phỏng | 30 |
| Bảng 4.1: So sánh độ dự trữ nhiễu công đảo tiêu chuẩn và công đảo ST | 32 |
| Bảng 4.2: Thông số mô phỏng của tín hiệu WL | 47 |
| Bảng 4.3: Thông số mô phỏng của tín hiệu BL..... | 47 |
| Bảng 4.4: Thông số mô phỏng của tín hiệu BLB | 47 |
| Bảng 4.5: Hiệu suất của ô nhớ SRAM 10T đối với sự biến thiên của điện áp cung cấp | 51 |

Bảng 4.6: Hiệu suất của ô nhớ SRAM 10T đối với sự biến thiên của nhiệt độ môi trường

.....51

CÁC TỪ VIẾT TẮT

| Từ viết tắt | Nghĩa tiếng Anh | Nghĩa tiếng Việt |
|-------------|---|---|
| 10T | 10 Transistor | 10 bóng bán dẫn |
| 6T | 6 Transistor | 6 bóng bán dẫn |
| 8T | 8 Transistor | 8 bóng bán dẫn |
| ASIC | Application-Specific Integrated Circuit | Mạch tích hợp dành riêng cho ứng dụng |
| BL | Bitline | Dòng bit |
| BLB | Bitline Bar | Dòng bit đảo |
| CMOS | Complementary Metal Oxide Semiconductor | Chất bán dẫn oxit kim loại bổ sung |
| CPU | Central Processing Unit | Bộ xử lý trung tâm |
| CR | Cell Ratio | Tỷ lệ ô |
| DRAM | Dynamic Random-Access Memory | Bộ nhớ truy cập ngẫu nhiên động |
| IoT | Internet of Things | Internet of Things |
| MPU | Memory Protection Unit | Một mô-đun ngoại vi |
| nMOS | Metal Oxide Semiconductor Field Effect Transistors type n | Bóng bán dẫn hiệu ứng trường bán dẫn oxit kim loại loại n |
| nW | nano Watt | nano Watt |
| pMOS | Metal Oxide Semiconductor Field Effect Transistors type p | Bóng bán dẫn hiệu ứng trường bán dẫn oxit kim loại loại p |
| PR | Pull-up Ratio | Tỷ lệ kéo lên |
| ps | pico second | pico second |
| RAM | Random-Access Memory | Bộ nhớ truy cập ngẫu nhiên |
| RBL | Read Bitline | Dòng bit đọc |
| RWL | Read Word Line | Dòng từ đọc |
| SNM | Static Noise Merge | Biên độ nhiễu tĩnh |
| SOC | System on a Chip | Hệ thống trên chip |

| | | |
|------|-----------------------------|---------------------------------|
| SRAM | Static Random Access Memory | Bộ nhớ truy cập ngẫu nhiên tĩnh |
| ST | Schmitt Trigger | Schmitt Trigger |
| T | Temperature | Nhiệt độ |
| WL | Word Line | Dòng từ |
| WWL | Write Word Line | Dòng từ ghi |

CHƯƠNG 1: TỔNG QUAN

1.1 GIỚI THIỆU

Ngày nay, công nghệ dần trở thành một phần trong cuộc sống của con người. Song với sự phát triển mạnh mẽ của công nghệ, yêu cầu về lưu trữ thông tin ngày một tăng cao. Nhìn lại lịch sử phát triển của loài người, mặt đất, đá, gốc cây,... là những công cụ được loài người sử dụng để lưu trữ thông tin lúc bấy giờ. Tiếp sau đó, những công cụ tân tiến hơn cũng lần lượt được ra đời như là giấy, máy in Gutenberg, bộ nhớ mạch trễ, cuộn băng giấy, băng từ, trống từ, ổ địa cứng, bộ nhớ flash,... Từ đó thấy được công cụ lưu trữ của loài người đã có những sự thay đổi mạnh mẽ và nhanh chóng.

Cho đến ngày nay, yêu cầu về công cụ lưu trữ thông tin vẫn không ngừng gia tăng. Người ta cần một công cụ lưu trữ hoàn hảo: nhỏ gọn, dung lượng lớn và có tốc độ xử lý dữ liệu cao. Bộ nhớ đệm đáp ứng tốt những yêu cầu này. Khi người dùng truy cập một dữ liệu nhiều lần, nó sẽ được lưu vào bộ nhớ đệm giúp quá trình truy cập ở những lần sau sẽ diễn ra nhanh chóng, mượt mà hơn, giảm được tốc độ phản hồi từ hệ thống, giúp tiết kiệm thời gian và tăng cường hiệu suất. Điều này rất phù hợp với các ứng dụng có tốc độ xử lý dữ liệu cao như trò chơi, đồ họa 3D, xử lý video đa phương tiện, khai thác dữ liệu, tính toán khoa học,... Qua đó, SRAM trở thành công cụ lý tưởng dùng để chế tạo bộ nhớ đệm.

Nhằm tìm hiểu, nghiên cứu về SRAM, nhóm sinh viên quyết định chọn đề tài “Thiết kế ô nhớ SRAM 10T dùng cổng đảo Schmitt Trigger”.

1.2 MỤC TIÊU ĐỀ TÀI

Nghiên cứu về cấu trúc các ô nhớ SRAM sử dụng cổng đảo tiêu chuẩn và kiến trúc nâng cấp của SRAM, từ đó nghiên cứu ô nhớ SRAM mới nhằm khắc phục những nhược điểm của những ô nhớ tiêu chuẩn. Tiến hành tính toán độ dự trữ nhiều, mô phỏng các chế độ hoạt động, từ đó đánh giá và nhận xét về ô nhớ SRAM 10T mới.

1.3 GIỚI HẠN ĐỀ TÀI

Nhóm sinh viên thực hiện đề tài trên phần mềm mô phỏng Cadence Virtuoso công nghệ 90nm. Nhóm tiến hành tính toán, đánh giá độ dự trữ nhiều giữa cổng đảo tiêu chuẩn và cổng đảo nâng cấp, mô phỏng các chế độ hoạt động, tính toán thời gian trễ lan truyền, công suất trung bình của thiết kế. Ngoài ra, nhóm không thực hiện tính toán các thông số như độ ổn định đọc, ổn định ghi và công suất rò rỉ trong ô nhớ. Việc thiết kế và xác minh được thực hiện hoàn toàn dựa trên phần mềm mô phỏng. Do đó các kết quả của đề tài không có tính thực tế mà chỉ mang tính chất tham khảo và cần được kiểm chứng thêm trên các công nghệ tiên tiến hơn hoặc thực hiện trong thực tế để có kết quả xác thực hơn.

1.4 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU

Đối tượng nghiên cứu: Phân tích các ô nhớ SRAM sử dụng cổng đảo tiêu chuẩn như SRAM 6T, 8T và SRAM 10T sử dụng cổng đảo Schmitt Trigger.

Phạm vi nghiên cứu: Tính toán, đánh giá độ dự trữ nhiều giữa cổng đảo tiêu chuẩn và cổng đảo Schmitt Trigger nâng cấp, mô phỏng các chế độ hoạt động, tính toán thời gian trễ lan truyền, công suất trung bình của thiết kế của ô nhớ SRAM.

1.5 PHƯƠNG PHÁP NGHIÊN CỨU

Phân tích, tìm hiểu về nguyên lý hoạt động cũng như những nhược điểm của các kiến trúc trong SRAM sử dụng cổng đảo tiêu chuẩn. Nghiên cứu, phân tích SRAM 10T sử dụng cổng đảo Schmitt Trigger. Sau đó tiến hành tính toán, đánh giá cũng như so sánh độ dự trữ nhiều giữa cổng đảo tiêu chuẩn và cổng đảo Schmitt Trigger nâng cấp, mô phỏng các chế độ hoạt động, tính toán thời gian trễ lan truyền, công suất trung bình của ô nhớ SRAM 10T trong nhiều điều kiện khác nhau.

1.6 BỐ CỤC ĐỀ TÀI

Chương 1: Tổng quan: Tìm hiểu tổng quan về bộ nhớ SRAM trong bộ nhớ đệm, kèm theo mục tiêu, giới hạn, đối tượng, phạm vi nghiên cứu và phương pháp nghiên cứu của đề tài.

Chương 2: Cơ sở lý thuyết: Trình bày cơ sở lý thuyết về cổng đảo tiêu chuẩn, Schmitt Trigger, so sánh hai cổng đảo, tìm hiểu kiến trúc, các chế độ hoạt động của ô nhớ SRAM 6T, 8T và 10T, độ dự trữ nhiều, thời gian trễ lan truyền và công suất.

Chương 3: Thiết kế ô nhớ SRAM 10T dùng cổng đảo Schmitt Trigger: Trình bày cấu tạo mạch ghi dữ liệu, mạch nạp trước, ô nhớ SRAM 10T và mạch đọc dữ liệu. Từ đó thiết lập thông số mô phỏng của ô nhớ SRAM 10T.

Chương 4: Kết quả thực hiện: Tiến hành tính toán, so sánh độ dự trữ nhiều giữa cổng đảo tiêu chuẩn và cổng đảo Schmitt Trigger nâng cấp, mô phỏng các chế độ hoạt động, tính toán thời gian trễ lan truyền, công suất trung bình của SRAM 10T.

Chương 5: Kết luận và hướng phát triển: Tổng hợp lại những vấn đề đạt được, chưa đạt được trong quá trình thực hiện và hướng phát triển của đề tài.

CHƯƠNG 2: CƠ SỞ LÝ THUYẾT

2.1 TỔNG QUAN VỀ BỘ NHỚ SRAM

2.1.1 Giới thiệu

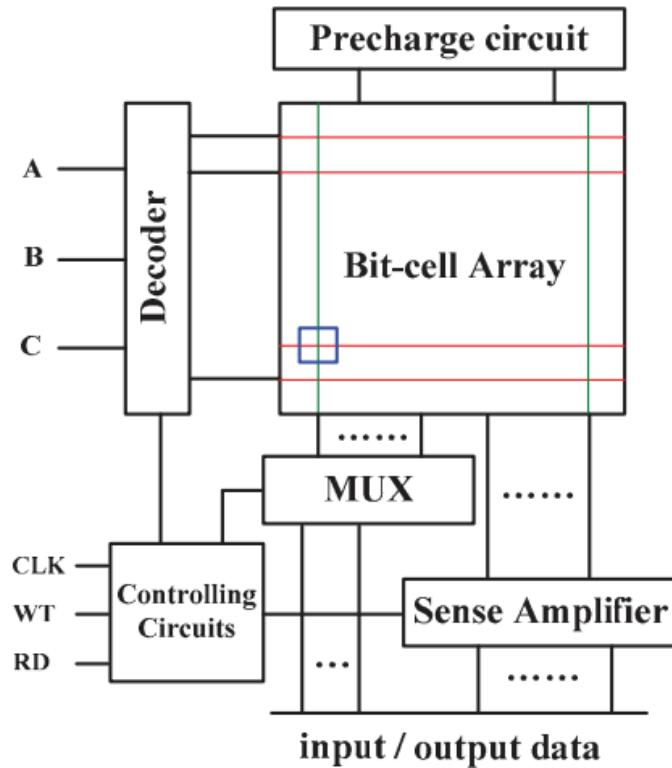
SRAM (Static Random-Access Memory) là một loại bộ nhớ truy cập ngẫu nhiên giữ lại các bit dữ liệu trong bộ nhớ của nó miễn là được cấp nguồn. Không giống như DRAM (Dynamic Random-Access Memory) phải được làm mới liên tục, SRAM không có yêu cầu này nên mang lại hiệu suất tốt hơn và sử dụng ít điện năng hơn. Tuy nhiên, SRAM cũng đắt hơn DRAM và cần nhiều dung lượng hơn.



Hình 2.1: Con chip SRAM

SRAM được sử dụng rộng rãi trong máy tính, máy ảnh kỹ thuật số, thiết bị điện tử di động, cảm biến và thiết bị y tế [1]. Là bộ nhớ thiết yếu cho các hệ thống hiệu suất cao và truy cập nhanh, SRAM có thể cải thiện độ tin cậy, giảm chi phí, giảm tiêu tán điện năng và cải thiện hiệu suất cho chip và hệ thống. Theo ITRS, thiết kế ASIC hiệu suất cao điển hình được giả định là có cùng mật độ trung bình với các MPU hiệu suất cao, chủ yếu là các bóng bán dẫn SRAM và tỷ lệ bộ nhớ trong chip SOC đang tăng lên. ITRS cũng cho thấy SRAM đóng vai trò quan trọng trong các hệ thống hiệu suất cao. Nhưng trong hầu hết các thiết kế vi mạch kỹ thuật số, SRAM được tạo ra một cách tự động theo các thông số thiết kế; nên người thiết kế có ít quyền tự chủ và gặp nhiều khó khăn trong việc tối ưu hóa công suất và diện tích, đặc biệt trong một số ứng dụng đặc biệt, phương pháp thiết kế bán tùy chỉnh có những thiếu sót rõ ràng.

2.1.2 Cấu trúc



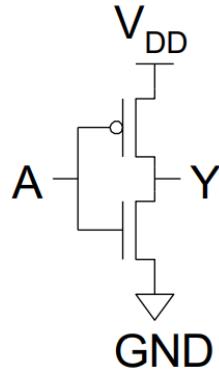
Hình 2.2: Cấu trúc của SRAM

SRAM chủ yếu bao gồm mảng ô bit và các mạch ngoại vi [1]. Hình 2.2 thể hiện cấu trúc của SRAM trong thiết kế. Mảng ma trận là cốt lõi của SRAM. Bộ giải mã hàng và cột được sử dụng để định vị ô bit trước khi thực hiện thao tác đọc hoặc ghi. Trước khi thực hiện các thao tác đọc hoặc ghi, các đường bit được nạp đến một giá trị đã biết bằng các mạch nạp trước (Precharge Circuit). Bộ khuếch đại cảm biến (Sense Amplifier) được sử dụng để khuếch đại sự chênh lệch điện áp của các dòng bit khi đọc dữ liệu và tăng tốc quá trình đọc. Tín hiệu CLK và tín hiệu chọn chip phối hợp với nhau để vận hành điều khiển trong các mạch điều khiển.

2.1.3 Ứng dụng

SRAM có nhiều ứng dụng trong các hệ thống điện tử và máy tính, từ bộ nhớ cache trong CPU đến các hệ thống nhúng và các thiết bị IoT. Đặc tính của SRAM như tốc độ truy cập nhanh và tính ổn định của dữ liệu làm cho nó trở thành một lựa chọn phổ biến cho các ứng dụng yêu cầu hiệu suất cao và tính ổn định.

2.2 CÔNG ĐẢO TIÊU CHUẨN



Hình 2.3: Sơ đồ nguyên lý của công đảo tiêu chuẩn

Hình 2.3 cho thấy sơ đồ nguyên lý của một công công đảo CMOS hay còn được gọi là công NOT sử dụng một bóng bán dẫn nMOS và một bóng bán dẫn pMOS [2]. Thanh ở trên cùng tượng trưng cho điện áp cung cấp (V_{DD}) và hình tam giác ở phía dưới tượng trưng cho đất (GND). Khi ngõ vào A bằng 0, bóng bán dẫn nMOS TẮT và bóng bán dẫn pMOS BẬT. Vì vậy, đầu ra Y được kéo lên 1 bởi vì nó được kết nối với V_{DD} nhưng không nối với GND. Ngược lại, khi A bằng 1, nMOS BẬT, pMOS TẮT, và Y được kéo xuống mức 0.. Điều này được tóm tắt trong Bảng 2.1.

Bảng 2.1: Bảng trạng thái công đảo tiêu chuẩn

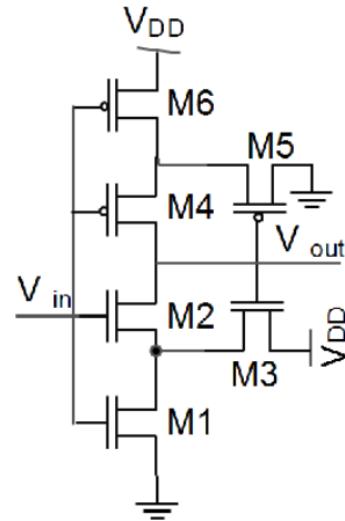
| A | Y |
|---|---|
| 0 | 1 |
| 1 | 0 |

2.3 CÔNG ĐẢO SCHMITT TRIGGER

2.3.1 Schmitt Trigger tiêu chuẩn

Mạch Schmitt Trigger (ST) được sử dụng rộng rãi trong mạch tương tự và kỹ thuật số để giải quyết vấn đề nhiễu [3]. Bên cạnh đó, mạch cũng được thiết kế với nhiều cấu trúc khác nhau nhằm điều khiển tải với tốc độ chuyển mạch cao, công suất thấp và điện áp cung cấp thấp. Bộ ST được sử dụng rộng rãi để tăng cường khả năng miễn nhiễm của mạch đối với nhiễu. Nó có tác dụng tốt như một thiết bị loại bỏ nhiễu. Bộ ST sử dụng sóng, do đó nó được sử dụng rộng rãi để chuyển đổi tín hiệu tương tự thành tín hiệu số và để định hình lại các xung lặp lại một cách cầu thả hoặc bị biến dạng. Đầu ra

của bộ ST thay đổi trạng thái khi đầu vào dương vượt qua điện áp điểm kích hoạt phía trên và khi đầu vào âm vượt qua điện áp điểm kích hoạt phía dưới.



Hình 2.4: Sơ đồ nguyên lý của Schmitt Trigger tiêu chuẩn

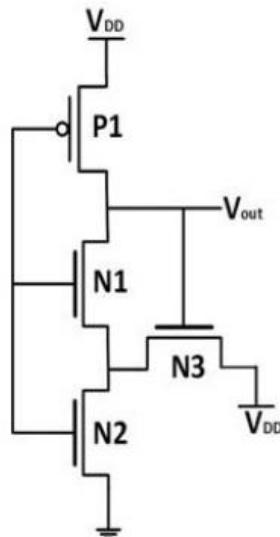
ST tiêu chuẩn được hiển thị trong hình 2.4, trong đó ngưỡng chuyển đổi phụ thuộc vào tỷ lệ nMOS và pMOS. Mạch đề xuất được hình thành bởi sự kết hợp của hai mạch con, mạch con pMOS (bao gồm M4 và M6) và mạch con nMOS (bao gồm M1 và M2). Mạch con pMOS nối giữa điện áp cung cấp và ngõ ra trong khi mạch con nMOS nối giữa ngõ ra và mặt đất nên không có kết nối trực tiếp giữa điện áp cung cấp và mặt đất. Do đó, không có điện năng tiêu thụ tĩnh.

Kỹ thuật này sử dụng tỷ lệ giữa bóng bán dẫn pMOS và nMOS. Khi đầu vào ở mức thấp thì chỉ xét đến mạch con pMOS và khiến đầu ra ở mức cao (bằng V_{DD}). Trong điều kiện này, cả M4 và M6 đều bật (vì điện áp nguồn $V_{gs} < |V_{tp}|$ và điện áp cổng bằng nhau). Do đó, điện áp đầu ra được kéo về V_{DD} . Khi đầu vào tăng lên V_{DD} , M1 và M2 sẽ được bật. Do đó điện áp đầu ra được kéo xuống GND.

Khi điện áp ngõ vào (V_{in}) chuyển từ mức ‘0’ lên ‘1’, lúc này M3 BẬT kéo cực nguồn của M2 lên V_{DD} , làm tăng ngưỡng chuyển mạch của M2. Từ đó giúp điện áp ngõ ra (V_{out}) ổn định hơn ở mức ‘1’. Ngược lại, khi V_{in} chuyển từ mức ‘1’ xuống ‘0’, M5 sẽ BẬT kéo cực nguồn của M4 xuống đất, làm tăng điện áp ngưỡng chuyển mạch của M4. Từ đó giúp V_{out} ổn định ở mức ‘0’.

2.3.2 Schmitt Trigger nâng cấp

Ô nhớ SRAM sử dụng ST nâng cấp được đề xuất tập trung vào việc làm cho cặp biến tần cơ bản của tế bào bộ nhớ trở nên mạnh mẽ [4]. Ở điện áp rất thấp, độ ổn định của cặp biến tần ghép chéo là điều đáng quan tâm. Để cải thiện các đặc tính của biến tần, cấu hình ST được sử dụng. Một cách triển khai khả thi của ST được hiển thị trong hình 2.5. Cấu trúc này được sử dụng để tạo thành bộ biến tần của bitcell bộ nhớ của chúng ta. Bộ ST cơ bản yêu cầu 6 bóng bán dẫn thay vì 2 bóng bán dẫn để tạo thành một bộ biến tần ghép chéo. Do đó, sẽ cần tổng cộng 14 bóng bán dẫn để tạo thành một ô SRAM, điều này sẽ dẫn đến thiệt hại về diện tích lớn. Vì các bóng bán dẫn pMOS được sử dụng làm bộ kéo lên yếu để giữ trạng thái '1' nên cơ chế phản hồi trong nhánh kéo lên pMOS không được sử dụng. Cơ chế phản hồi chỉ được sử dụng trong đường dẫn kéo xuống. Sơ đồ nguyên lý của ST nâng cấp được đề xuất hiển thị như trong hình 2.5.



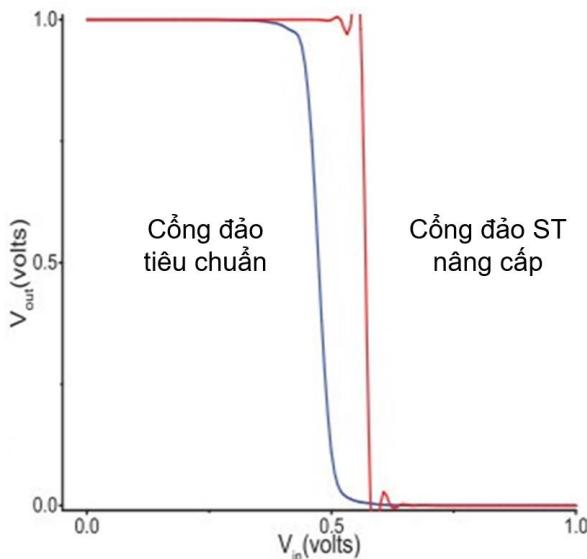
Hình 2.5: Sơ đồ nguyên lý của Schmitt Trigger nâng cấp

Khi điện áp ngõ vào chuyển từ mức '0' lên '1', lúc này N3 BẬT kéo cực nguồn của N1 lên V_{DD} , làm tăng ngưỡng chuyển mạch của N1. Từ đó giúp điện áp ngõ ra ổn định hơn ở mức '1'.

2.4 SO SÁNH ĐẶC TÍNH DC GIỮA CÔNG ĐẢO TIÊU CHUẨN VÀ ST NÂNG CẤP

Việc mở rộng điện áp cung cấp cùng với tiến bộ công nghệ dẫn đến độ ổn định không đáng tin cậy của biến tần ghép chéo [5]. Để cải thiện độ bền của ô nhớ SRAM,

bộ ST được sử dụng như trong hình 2.5. Trong quá trình chuyển đổi đầu vào từ bóng bán dẫn phản hồi '0' sang '1', N3 có gắng duy trì logic '1' ở đầu ra của ST, làm tăng điện áp của bóng bán dẫn kéo xuống N1. Điều này làm tăng ngưỡng chuyển mạch của biến天堂 với đặc tính truyền điện áp. Vì vậy, tốc độ chuyển mạch của cổng đảo ST nhanh hơn và độ tin cậy cao hơn cổng đảo tiêu chuẩn. Cho nên, cổng đảo ST là một cổng đảo thay thế lý tưởng cho cổng đảo tiêu chuẩn trong ô nhớ SRAM. Điều này được làm rõ như trong mô tả của hình 2.6.



Hình 2.6: Đặc tính DC của cổng đảo tiêu chuẩn và ST nâng cấp

2.5 PULL-UP RATIO VÀ CELL RATIO

Để ổn định ô SRAM cần có thông số SNM tốt [6]. SNM (Static Noise Margin) hay còn được gọi là biên độ nhiễu tĩnh của ô SRAM. Thông số này phụ thuộc vào giá trị của Cell Ratio (CR), Pull-up Ratio (PR) và cả điện áp cung cấp. Bóng bán dẫn điều khiển chịu trách nhiệm cho 70% giá trị của SNM hay nói cách khác PR và CR có ảnh hưởng rất lớn đến SNM.

SNM, có liên quan đến điện áp ngưỡng của thiết bị nMOS và pMOS trong các ô SRAM. Thông thường, để tăng SNM cần tăng điện áp ngưỡng của thiết bị nMOS và pMOS. Tuy nhiên, việc tăng điện áp ngưỡng của các thiết bị pMOS và nMOS còn hạn chế. Nguyên nhân là do các tế bào SRAM có thiết bị MOS có điện áp ngưỡng quá cao nên khó hoạt động; vì rất khó để đảo ngược hoạt động của các thiết bị MOS. Thay đổi

CR tốc độ của ô SRAM cũng tăng lên. Nếu CR tăng thì kích thước của bóng bán dẫn điều khiển cũng tăng, do đó dòng điện cũng tăng. Khi dòng điện tăng lên, tốc độ của ô SRAM cũng tăng lên. Vậy bằng cách thay đổi CR, chúng ta có được SNM tương ứng. Tương tự như vậy đối với PR.

2.5.1 Pull-up Ratio

Pull-up Ratio hay còn gọi là tỷ lệ kéo lên, là tỷ lệ giữa kích thước của bóng bán dẫn kéo lên (PU) và bóng bán dẫn truy cập (AT) trong quá trình ghi.

$$PR = \frac{W_{PU}/L_{PU}}{W_{AT}/L_{AT}} \quad (2.1)$$

Trong đó:

W_{PU} và L_{PU} là chiều rộng và chiều dài kênh dẫn của bóng bán dẫn kéo lên cung cấp dòng điện để duy trì trạng thái logic "1" của ô nhớ.

W_{AT} và L_{AT} là chiều rộng và chiều dài kênh dẫn của bóng bán dẫn truy cập để đọc/ghi dữ liệu của ô nhớ SRAM.

2.5.2 Cell Ratio

Cell Ratio hay còn gọi là tỷ lệ ô, là tỷ lệ giữa kích thước của bóng bán dẫn kéo xuống (PD) và bóng bán dẫn truy cập (AT) trong quá trình đọc.

$$CR = \frac{W_{PD}/L_{PD}}{W_{AT}/L_{AT}} \quad (2.2)$$

Trong đó:

W_{PD} và L_{PD} là chiều rộng và chiều dài kênh dẫn của bóng bán dẫn kéo lên cung cấp dòng điện để duy trì trạng thái logic "1" của ô nhớ.

W_{AT} và L_{AT} là chiều rộng và chiều dài kênh dẫn của bóng bán dẫn truy cập để đọc/ghi dữ liệu của ô nhớ SRAM.

2.6 ĐỘ DỰ TRỮ NHIỄU

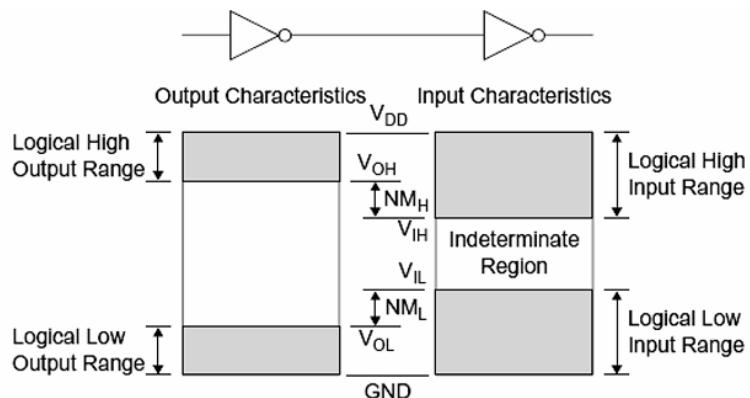
Độ dự trữ nhiễu có liên hệ mật thiết với các đặc tính truyền tải DC [2]. Thông số này cho phép ta xác định điện áp nhiễu cho phép tồn tại ở ngõ vào cổng mà vẫn không làm sai lệch ngõ ra ở mức logic.

NM_L (độ dự trữ mức thấp), NM_H (độ dự trữ mức cao) là thông số diễn tả mức độ dự trữ nhiễu. Xem hình 2.7, NM_L là độ chêch lệch của điện áp ngõ vào tối đa mức thấp (V_{IL}) và điện áp ngõ ra tối đa mức thấp (V_{OL}).

$$NM_L = V_{IL} - V_{OL} \quad (2.3)$$

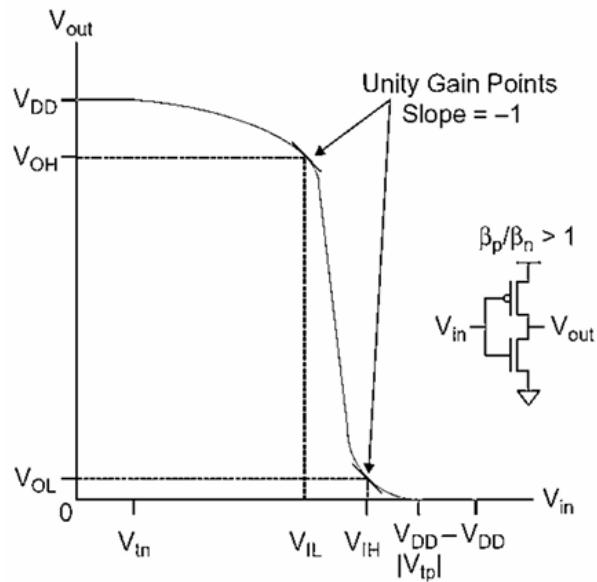
Giá trị NM_H là độ chêch lệch giữa điện áp ngõ ra tối thiểu mức cao (V_{OH}) và điện áp ngõ vào tối thiểu mức cao (V_{IH}).

$$NM_H = V_{OH} - V_{IH} \quad (2.4)$$



Hình 2.7: Định nghĩa biên độ dự trữ nhiễu

Những ngõ vào nằm giữa V_{IL} và V_{IH} được xem là thuộc vùng không xác định hoặc vùng câm và không thể hiện một mức logic hợp lệ. Vì thế, nói chung, một cách kỳ vọng chúng ta mong muốn V_{IH} có giá trị càng gần V_{IL} càng tốt và để cho giá trị V_{OL} và V_{OH} ở giữa chuyển mạch logic. Điều này ám chỉ rằng các đặc tính truyền tải nên được chuyển một cách đột ngột, tức là có độ lợi lớn ở vùng chuyển mạch. Nhằm tính toán độ dự trữ nhiễu, đặc tính truyền dẫn của cổng đảo cũng như các định nghĩa về các mức điện áp của V_{IL} , V_{OL} , V_{IH} và V_{OH} được trình bày ở hình 2.8. Các mức logic được định nghĩa tại điểm độ lợi đơn vị với độ dốc là -1. Điều này dẫn đến một giới hạn bảo đảm trong trường hợp độ dự trữ nhiễu xấu nhất.



Hình 2.8: Mức nhiễu dự trữ của cỗng đảo tiêu chuẩn

2.7 THỜI GIAN TRỄ LAN TRUYỀN

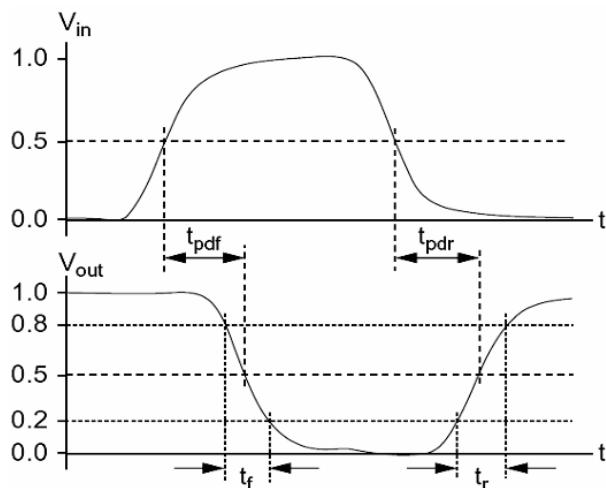
Thời gian trễ lan truyền: t_{pd} bằng thời gian lớn nhất tính từ lúc tín hiệu ngõ vào đi ngang 50% giá trị ổn định đến khi tín hiệu ngõ ra đi ngang 50% giá trị ổn định [2].

$$t_{pd} = \frac{t_{pdr} + t_{tpf}}{2} \quad (2.5)$$

Trong đó:

t_{pdr} là thời gian trễ lan truyền khi tín hiệu ngõ ra tăng từ thấp lên cao.

t_{tpf} là thời gian trễ lan truyền khi tín hiệu ngõ ra giảm từ cao xuống thấp.



Hình 2.9: Thời gian trễ lan truyền và thời gian tăng/giảm

2.8 CÔNG SUẤT

Công suất tiêu thụ được định nghĩa là công suất tức thời $P(t)$ được tiêu thụ hoặc cung cấp bởi một phần tử của mạch là tích của dòng điện đi qua phần tử đó với điện áp đặt lên phần tử đó [2]:

$$P(t) = I(t).V(t) \quad (2.6)$$

Năng lượng được tiêu thụ hoặc cung cấp trong một khoảng thời gian t là tích phân của công suất tức thời:

$$E = \int_0^t P(t)dt \quad (2.7)$$

Công suất tiêu thụ trung bình trên khoảng thời gian chu kỳ T là:

$$P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T P(t)dt \quad (2.8)$$

Công suất bao gồm công suất động và công suất tĩnh:

$$P_{total} = P_{static} + P_{dynamic} \quad (2.9)$$

a. Công suất động

$$P_{dynamic} = P_{switching} + P_{short-circuit} \quad (2.10)$$

Trong đó:

$P_{switching}$ hay còn gọi là công suất chuyển mạch, được sinh ra trong quá trình chuyển đổi trạng thái của CMOS;

$P_{short-circuit}$ hay còn gọi là công suất ngắn mạch, được sinh ra khi điện áp ngõ vào bắt đầu tăng, có một dòng điện nhỏ trong pMOS chống lại nMOS.

b. Công suất tĩnh

$$P_{static} = (I_{sub} + I_{gate} + I_{june} + I_{contention})V_{DD} \quad (2.11)$$

Trong đó:

I_{sub} hay còn gọi là dòng rò dưới ngưỡng, được sinh ra khi CMOS được cho là đã tắt.

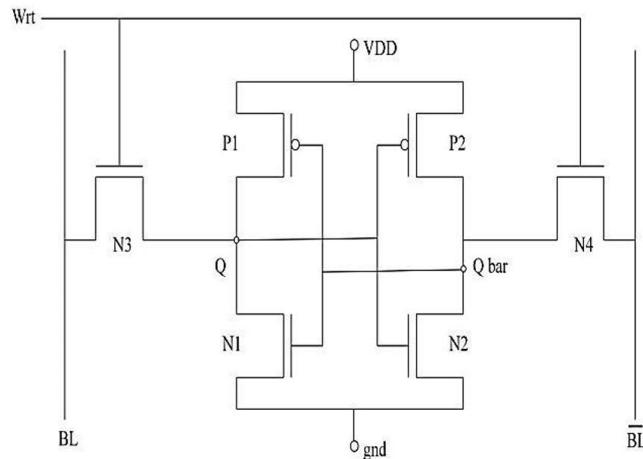
I_{gate} hay còn gọi là dòng rò cổng, được sinh ra khi các hạt mang điện xuyên qua lớp điện môi mỏng tại cực cổng khi một điện áp được đưa vào cực cổng (khi cổng ở trạng thái dẫn);

I_{june} hay còn gọi là dòng rò lớp tiếp xúc, sinh ra khi vùng khêch tán cực nguồn và vùng khêch tán cực máng có điện áp khác với chất nền;

$I_{contension}$ hay còn gọi là tranh chấp, sinh ra do sự tranh chấp giữa mạng kéo xuống của nMOS và mạng kéo lên của pMOS.

2.9 KIẾN TRÚC Ô NHỚ SRAM

2.9.1 Cấu trúc ô nhớ SRAM 6T



Hình 2.10: Sơ đồ nguyên lý ô nhớ SRAM 6T

Ô nhớ SRAM 6T sử dụng hai bộ đảo nối ghép và hai bóng bán dẫn truy cập, như được thể hiện trong hình 2.10. Các bộ đảo chiều là thành phần lưu trữ và cung cấp bit dữ liệu trong ô nhớ trong khi nguồn điện được cung cấp.

P1, P2 là bóng bán dẫn pMOS và N1, N2, N3, N4 là bóng bán dẫn nMOS. N3 và N4 là bóng bán dẫn truy cập liên kết ô nhớ với đường dẫn dữ liệu Bitline (BL) và Bitline Bar (BLB).

Ô nhớ SRAM 6T có ba chế độ hoạt động:

- Chế độ chờ

Khi Word Line (WL) ở logic ‘0’, các bóng bán dẫn truy cập N3 và N4 ngắt kết nối ô nhớ với các đường dẫn bit BL và BLB, khi đó BL và BLB được nạp lên mức cao [7]. Hai bộ đảo chiều trong ô nhớ duy trì và cung cấp bit dữ liệu được hiển thị trong ô nhớ miễn là nguồn điện được cung cấp. Cụ thể như trong bảng 2.2.

Bảng 2.2: Bảng trạng thái chế độ chờ SRAM 6T

| WL | BL | BLB | Q | QB |
|----|----|-----|---|----|
| 0 | 1 | 1 | Q | QB |

- Chế độ đọc

Chế độ đọc được bắt đầu sau khi hai đường dẫn BL và BLB được nạp lên cùng một mức điện áp, điều này được yêu cầu trong chế độ chờ. Word Line (WL) điều khiển bóng bán dẫn truy cập N3, N4 BẬT. Giá trị được lưu tại Q và QB lần lượt được đưa ra BL và BLB. Cụ thể như trong bảng 2.3.

Bảng 2.3: Bảng trạng thái chế độ đọc SRAM 6T

| Data | WL | Q | QB | BL | BLB |
|------|----|---|----|----|-----|
| 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |

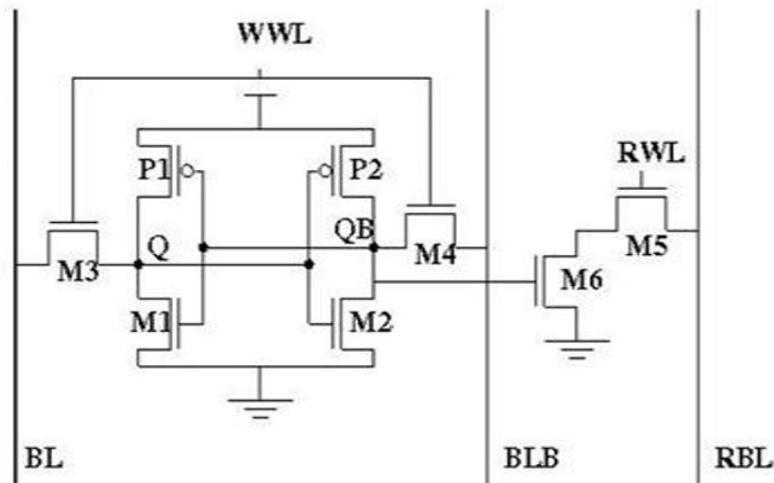
- Chế độ ghi

Chế độ ghi được bắt đầu với hai đường bit BL và BLB được phân cực ngược. Để ghi dữ liệu bit ‘0’, BL được cung cấp mức điện áp bằng 0, BLB được cung cấp mức điện áp V_{DD} . Ngược lại, để ghi dữ liệu bit ‘1’, BL được cung cấp mức điện áp V_{DD} , BLB được cung cấp mức điện áp bằng 0. Khi WL cho phép ($WL = 1$), hai bóng bán dẫn truy cập N3, N4 BẬT, khi đó BL sẽ được lưu tại Q, BLB sẽ được lưu tại QB. Cụ thể như trong bảng 2.4.

Bảng 2.4: Bảng trạng thái chế độ ghi SRAM 6T

| Data | WL | BL | BLB | Q | QB |
|------|----|----|-----|---|----|
| 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |

2.9.2 Cấu trúc ô nhớ SRAM 8T



Hình 2.11: Sơ đồ nguyên lý ô nhớ SRAM 8T

Ô nhớ SRAM 8T sử dụng hai bộ đảo nối ghép, ba bóng bán dẫn truy cập (M3, M4, M5), như được thể hiện trong hình 2.11. Các bộ đảo chiều là thành phần lưu trữ và cung cấp bit dữ liệu trong ô nhớ trong khi nguồn điện được cung cấp.

P1, P2 là bóng bán dẫn pMOS và M1, M2, M3, M4, M5, M6 là bóng bán dẫn nMOS. M3, M4 là bóng bán dẫn truy cập liên kết ô nhớ với đường dẫn dữ liệu BL và BLB. M5 là bóng bán dẫn truy cập liên kết giữa bóng bán dẫn M6 với đường dẫn đọc dữ liệu Read Bitline (RBL).

Ô nhớ SRAM 8T có ba chế độ hoạt động:

- Chế độ chờ

Khi Write Word Line (WWL) ở logic ‘0’, các bóng bán dẫn truy cập M3 và M4 ngắt kết nối ô nhớ với các đường dẫn bit BL và BLB, khi đó BL và BLB được nạp lên mức cao [8]. Hai bộ đảo chiều trong ô nhớ duy trì và cung cấp bit dữ liệu được hiển thị trong ô nhớ miễn là nguồn điện được cung cấp. Cụ thể như trong bảng 2.5.

Bảng 2.5: Bảng trạng thái chế độ chờ SRAM 8T

| WWL | RWL | BL | BLB | RBL | Q | QB |
|-----|-----|----|-----|-----|---|----|
| 0 | 0 | 1 | 1 | 1 | Q | QB |

- Chế độ đọc

Chế độ đọc được bắt đầu bằng cách nạp trước RBL vào V_{DD} , điều này được yêu cầu trong chế độ chờ. Read Word Line (RWL) điều khiển bóng bán dẫn truy cập M5 bật. Nếu giá trị được lưu tại Q là '0' thì bóng bán dẫn M6 sẽ bật và RBL được kết nối trực tiếp với mặt đất thông qua quá trình phóng điện của bóng bán dẫn M5 và M6. Điều này có nghĩa giá trị được lưu trữ tại Q trong SRAM bằng 0. Nếu giá trị được lưu tại Q là '1', do bóng bán dẫn M6 sẽ tắt và không có đường phóng điện cho RBL, và giá trị trong RBL là V_{DD} cho thấy giá trị được lưu tại Q là '1'. Cụ thể như trong bảng 2.6.

Bảng 2.6: Bảng trạng thái chế độ đọc SRAM 8T

| Data | WWL | RWL | BL | BLB | Q | QB | RBL |
|------|-----|-----|----|-----|---|----|-----|
| 1 | 0 | 1 | X | X | 1 | 0 | 1 |
| 0 | 0 | 1 | X | X | 0 | 1 | 0 |

- Chế độ ghi

Chế độ ghi của ô SRAM 8T giống như SRAM 6T thông thường. Để ghi '0', BL được cung cấp điện áp bằng 0 và V_{DD} cho BLB. Tương tự khi ghi '1', BL được cung cấp mức điện áp bằng V_{DD} , BLB được cung cấp mức điện áp bằng 0. Khi WWL được kích hoạt cho hoạt động ghi, các giá trị trong các BL được lưu trữ tại các nút tương ứng tại Q và QB. Cụ thể như trong bảng 2.7.

Bảng 2.7: Bảng trạng thái chế độ ghi SRAM 8T

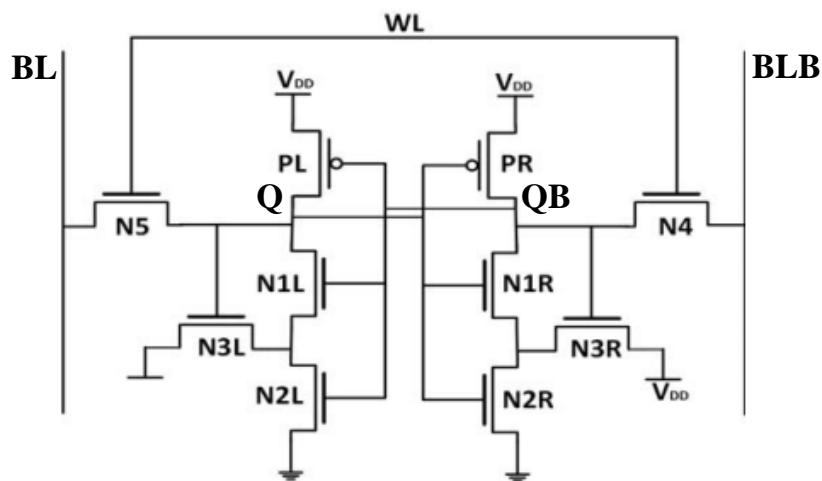
| Data | WWL | RWL | BL | BLB | RBL | Q | QB |
|------|-----|-----|----|-----|-----|---|----|
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |

Bên cạnh đó ô nhớ SRAM 6T và 8T có những nhược điểm như: Ở chế độ chờ, có nhiều dòng rò dưới ngưỡng; dòng rò ở cực cổng và cực nền [9]. Do đó công suất

trung bình của ô nhớ tăng lên. Do ô nhớ SRAM 6T và 8T sử dụng cặp công đảo tiêu chuẩn ghép chéo để dự trữ dữ liệu nên có sự kết nối trực tiếp giữa nguồn điện áp cung cấp với mặt đất từ đó điện áp bị rò rỉ xuống đất nhiều dẫn đến tăng công suất tiêu thụ và thời gian hoạt động của ô nhớ. Ngoài ra, ô nhớ có độ ổn định kém, dễ bị ảnh hưởng bởi tín hiệu nhiễu do công đảo tiêu chuẩn có độ dự trữ nhiễu thấp.

Nhằm cải thiện những nhược điểm từ công đảo tiêu chuẩn, nhóm tác giả sử dụng công đảo Schmitt Trigger thay thế cho công đảo tiêu chuẩn.

2.9.3 Cấu trúc ô nhớ SRAM 10T



Hình 2.12: Sơ đồ nguyên lý ô nhớ SRAM 10T

Ô nhớ SRAM 10T sử dụng hai bộ đảo chiều nối ghép và hai bóng bán dẫn truy cập, như được thể hiện trong hình 2.12. Các bộ đảo chiều là thành phần lưu trữ và cung cấp bit dữ liệu trong ô nhớ trong khi nguồn điện được cung cấp.

PL, PR là bóng bán dẫn pMOS và N1L, N2L, N3L, N1R, N2R, N3R, N4, N5 là bóng bán dẫn nMOS. N4 và N5 là bóng bán dẫn truy cập liên kết ô nhớ với đường dẫn dữ liệu BL và BLB.

Ô nhớ SRAM 10T có ba chế độ hoạt động:

- Chế độ chờ

Khi WL ở logic ‘0’, các bóng bán dẫn truy cập N4 và N5 ngắt kết nối ô nhớ với các đường dẫn bit BL và BLB, khi đó BL và BLB được nạp lên mức cao [5]. Hai bộ đảo

chiều trong ô nhớ duy trì và cung cấp bit dữ liệu được hiển thị trong ô nhớ miễn là nguồn điện được cung cấp.

Khi ô nhớ tiến hành giữ dữ liệu ‘0’, lúc này $Q = 0$ và $QB = 1$. Lúc này nút Q được được bong bán dẫn N2L kéo xuống, khi đó bong bán dẫn PL tưởng chừng đã tắt nhưng vẫn xuất hiện dòng rò dưới ngưỡng [2], tác động và làm nút Q không hoàn toàn về 0. Để khắc phục tình trạng đó, N2L cần phải dẫn mạnh hơn để hạn chế được dòng rò dưới ngưỡng sinh ra bởi PL hay nói cách khác N2L phải có độ rộng lớn hơn PL. Tương tự, N2R phải có độ rộng lớn hơn PR.

Bảng 2.8: Bảng trạng thái chế độ chờ SRAM 10T

| WL | BL | BLB | Q | QB |
|----|----|-----|---|----|
| 0 | 1 | 1 | Q | QB |

- Chế độ đọc

Chế độ đọc được bắt đầu sau khi hai đường dẫn BL và BLB được nạp lên cùng một mức điện áp, điều này được yêu cầu trong chế độ chờ. WL điều khiển bong bán dẫn truy cập N4, N5 BẬT. Giá trị được lưu tại Q và QB lần lượt được đưa ra BL và BLB. Cụ thể như trong bảng 2.9.

Bảng 2.9: Bảng trạng thái chế độ đọc SRAM 10T

| Data | WL | Q | QB | BL | BLB |
|------|----|---|----|----|-----|
| 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |

- Chế độ ghi

Chế độ ghi được bắt đầu với hai đường bit BL và BLB được phân cực ngược. Để ghi dữ liệu bit ‘0’, BL được cung cấp mức điện áp bằng 0, BLB được cung cấp mức điện áp V_{DD} . Ngược lại, để ghi dữ liệu bit ‘1’, BL được cung cấp mức điện áp V_{DD} , BLB được cung cấp mức điện áp bằng 0. Khi WL cho phép ($WL = 1$), hai bong bán dẫn truy cập

N4, N5 BẬT, khi đó BL sẽ được lưu tại Q, BLB sẽ được lưu tại QB. Cụ thể như trong bảng 2.10.

Bảng 2.10: Bảng trạng thái chế độ ghi SRAM 10T

| Data | WL | BL | BLB | Q | QB |
|------|----|----|-----|---|----|
| 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |

CHƯƠNG 3: THIẾT KẾ Ô NHỚ SRAM 10T DÙNG CÔNG ĐẢO SCHMITT TRIGGER

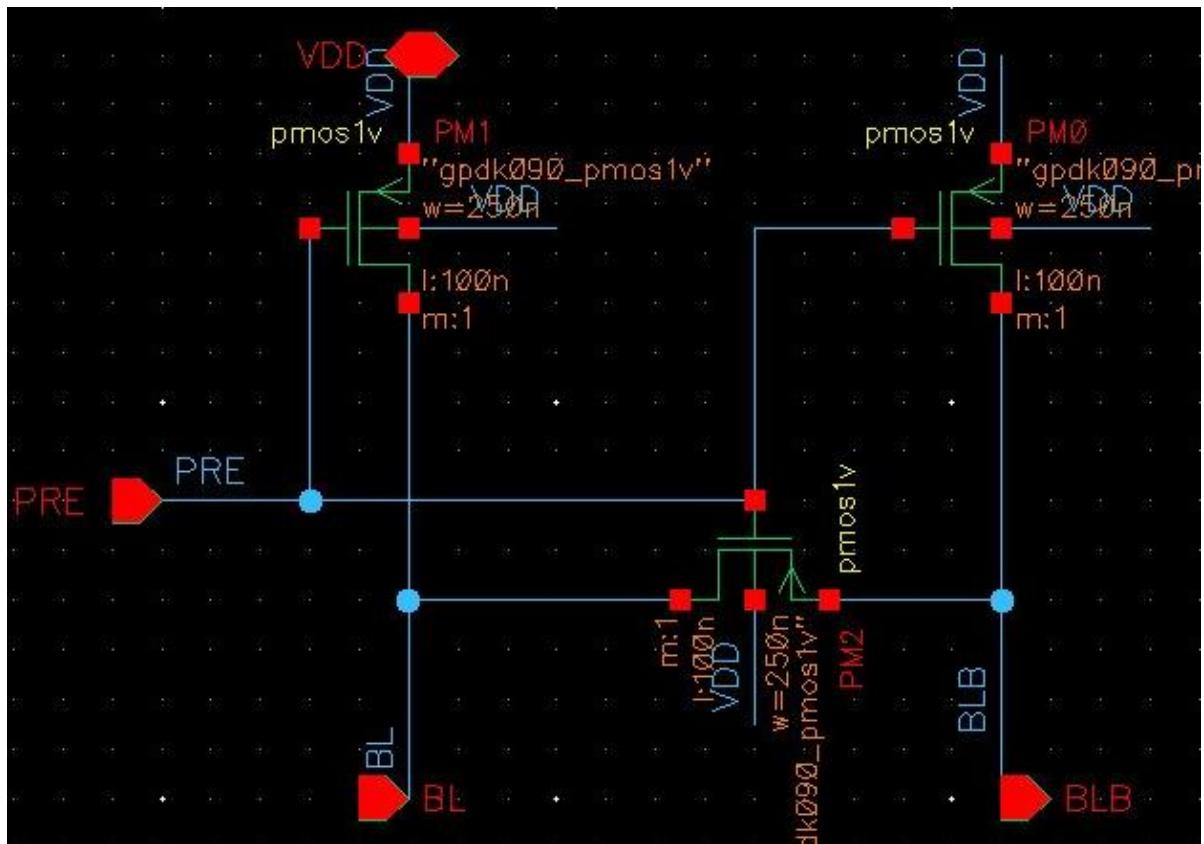
3.1 MẠCH NẠP TRƯỚC

Dựa vào chế độ chờ của ô nhớ SRAM 10T đã được trình bày ở nội dung 2.9.3, khi chân cho phép nạp trước được tích cực mức thấp ($\overline{\text{PRE}} = 0$) thì hai đường bit sẽ được nạp lên mức cao ($\text{BL} = \text{BLB} = 1$). Khi $\overline{\text{PRE}} = 1$ thì mạch sẽ giữ nguyên trạng thái ngõ ra trước đó. Từ đó, ta có bảng trạng thái mạch nạp trước như bảng 3.1.

Bảng 3.1: Bảng trạng thái mạch nạp trước

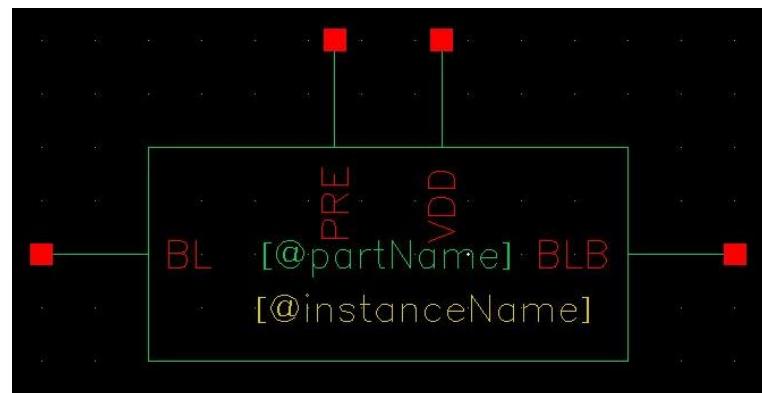
| $\overline{\text{PRE}}$ | BL | BLB |
|-------------------------|----|-----|
| 0 | 1 | 1 |
| 1 | BL | BLB |

Từ bảng 3.1, ta có sơ đồ nguyên lý như hình 3.1. Mạch nạp trước (Precharge Circuit) cấu tạo gồm ba bóng bán dẫn pMOS. Khi $\overline{\text{PRE}} = 0$ thì PM0, PM1 và PM2 BẬT. Khi PM0, PM1 BẬT, đường bit BL và BLB được kéo lên V_{DD} . Khi PM2 BẬT, BL được kéo lên BLB và ngược lại, điều này làm cân bằng mức điện áp giữa hai đường bit.



Hình 3.1: Sơ đồ nguyên lý mạch nạp trước

Từ sơ đồ nguyên lý mạch nạp trước hình 3.1, ta có sơ đồ đóng gói như hình 3.2 với ngõ vào $\overline{\text{PRE}}$; ngõ ra BL và BLB.



Hình 3.2: Đóng gói mạch nạp trước

3.2 MẠCH GHI DỮ LIỆU

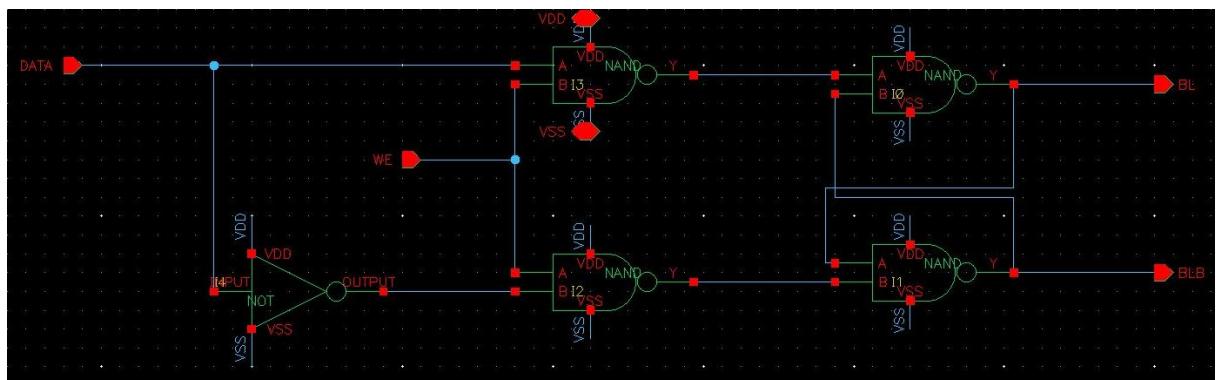
Dựa vào chế độ ghi của ô nhớ SRAM 10T đã trình bày ở phần 2.9.3, khi chân cho phép mạch ghi dữ liệu tích cực mức cao ($WE = 1$) và dữ liệu đầu vào là 0 ($DATA = 0$) thì $BL = 0$, $BLB = 1$; nếu $DATA = 1$ thì $BL = 1$, $BLB = 0$. Khi $WE = 0$, mạch ghi

sẽ giữ nguyên trạng thái ngõ ra trước đó. Từ đó, ta có bảng trạng thái mạch ghi dữ liệu như bảng 3.2.

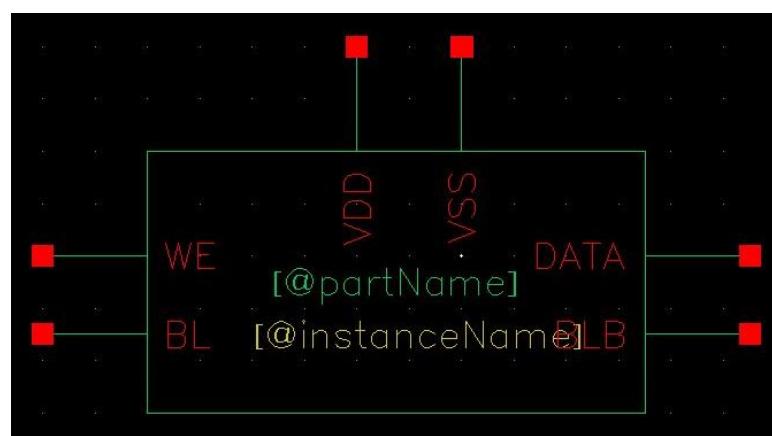
Bảng 3.2: Bảng trạng thái mạch ghi dữ liệu

| WE | DATA | BL | BLB |
|----|------|----|-----|
| 0 | X | BL | BLB |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Dựa vào bảng 3.2, ta thấy mạch ghi dữ liệu (Write Circuit) có nguyên lý hoạt động tương đồng với mạch chốt D. Sơ đồ nguyên lý mạch ghi và khôi đóng gói được mô tả như trong hình 3.3 và hình 3.4. Với ngõ vào là WE và DATA; ngõ ra là BL và BLB.



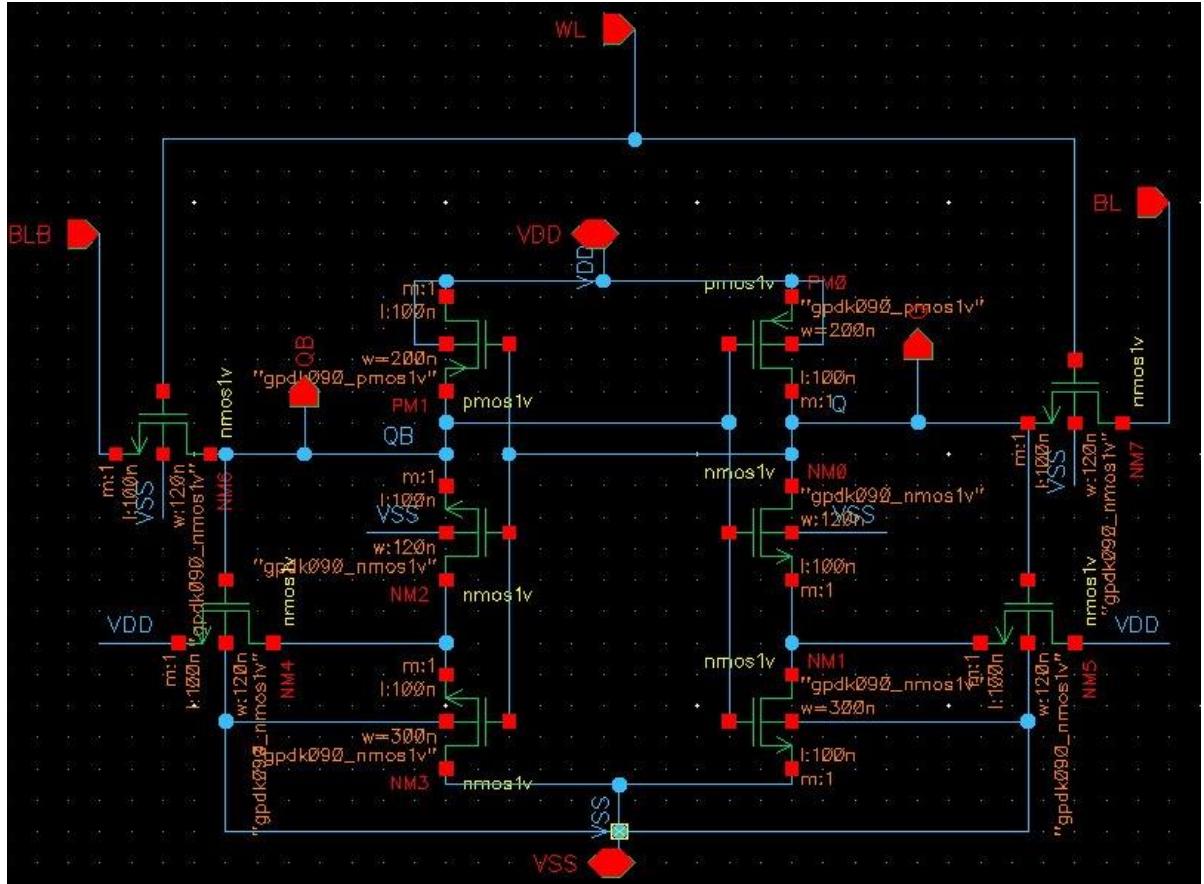
Hình 3.3: Sơ đồ nguyên lý mạch ghi dữ liệu



Hình 3.4: Đóng gói mạch ghi dữ liệu

3.3 Ô NHỚ SRAM 10T

Từ hình 2.12, ta mô phỏng mạch nguyên lý của ô nhớ SRAM 10T sử dụng cổng đảo Schmitt Trigger như trong hình 3.5.



Hình 3.5: Sơ đồ nguyên lý ô nhớ SRAM 10T

Ô nhớ SRAM 10T có kiến trúc tương đồng với ô nhớ SRAM 6T tiêu chuẩn. Nhưng SRAM 10T đã sử dụng cặp cổng đảo ST nâng cấp để lưu trữ dữ liệu thay vì sử dụng cặp đảo tiêu chuẩn như trong SRAM 6T.

Cấu tạo của một ô nhớ SRAM 10T gồm tám bóng bán dẫn, hai bóng bán dẫn loại P (PM0, PM1) và sáu bóng bán dẫn loại N (NM0, NM1, NM5, NM2, NM3, NM4) cấu thành cặp ST; hai bóng bán dẫn kết nối loại N (NM6 và NM7).

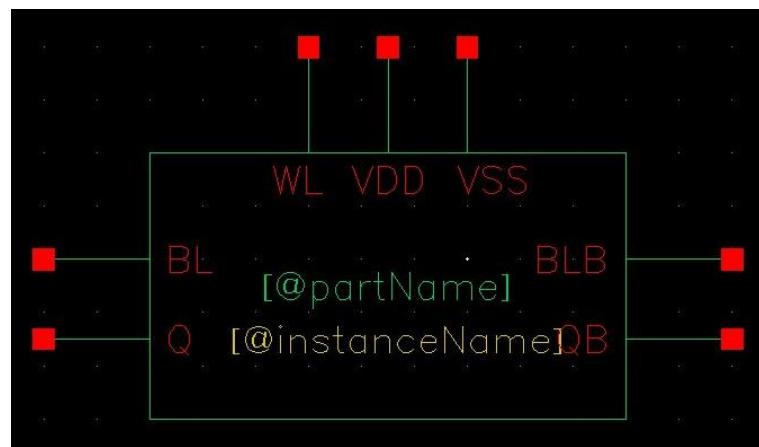
Dựa vào nội dung đã trình bày ở phần 2.5 ta thấy, độ rộng bóng bán dẫn nMOS và bóng bán dẫn pMOS cần phải lớn hơn độ rộng bóng bán dẫn truy cập tuy nhiên, độ rộng của bóng bán dẫn pMOS và nMOS cũng không được quá lớn để tránh việc tiêu tốn diện tích và khó khăn trong quá trình chuyển mạch. Bên cạnh đó, theo như nội dung đã

trình bày ở phần 2.9.3, độ rộng của bóng bán dẫn nMOS phải lớn hơn bóng bán dẫn pMOS. Qua đó, kích thước các bóng bán dẫn được chọn như bảng 3.3.

Bảng 3.3: Kích thước bóng bán dẫn trong ô nhớ SRAM 10T

| Thông số | PM0, PM1 | NM0, NM2, NM4, NM5 | NM1, NM3 | NM6, NM7 |
|------------------|----------|-----------------------|----------|----------|
| Độ rộng kênh (W) | 200nm | 120nm | 300nm | 120nm |
| Độ dài kênh (L) | 100nm | 100nm | 100nm | 100nm |

Từ sơ đồ nguyên lý ô nhớ SRAM 10T hình 3.5, ta có khái niệm đóng gói như hình 3.6 với các ngõ vào WL, BL, BLB và các ngõ ra Q và QB.



Hình 3.6: Đóng gói khái niệm ô nhớ SRAM 10T

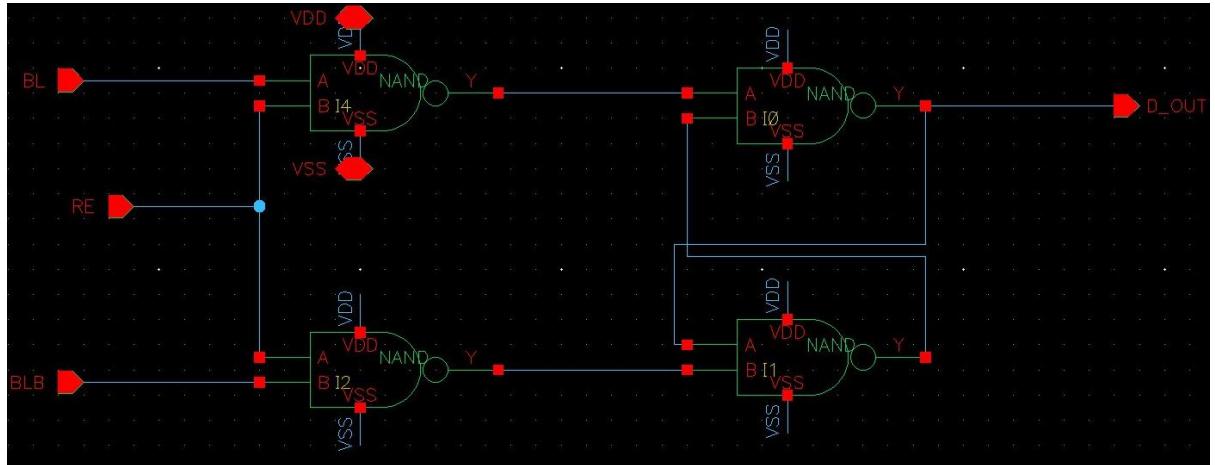
3.4 MẠCH ĐỌC DỮ LIỆU

Tùy chế độ đọc của ô nhớ SRAM 10T được trình bày trong phần 2.9.3, khi chân cho phép mạch đọc dữ liệu tích cực mức cao ($RE = 1$) nếu $BL = 1$, $BLB = 0$ thì dữ liệu ngõ ra $D_{OUT} = 1$. Tương tự, $BL = 0$, $BLB = 1$ thì $D_{OUT} = 0$. Khi $RE = 0$, D_{OUT} sẽ giữ nguyên trạng thái trước đó. Từ đó, ta có bảng trạng thái mạch đọc dữ liệu như bảng 3.4.

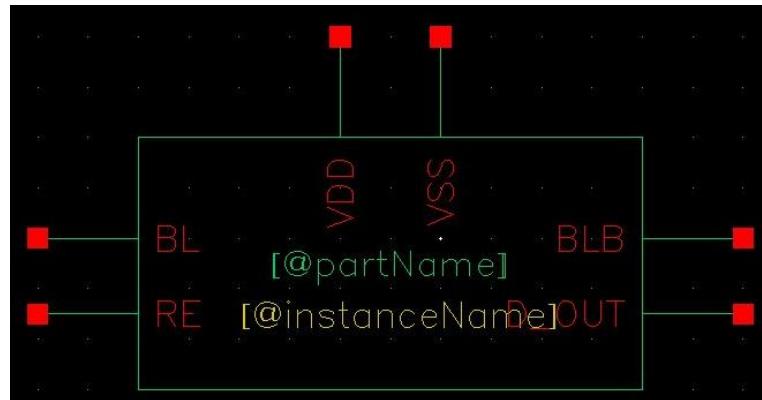
Bảng 3.4: Bảng trạng thái mạch đọc dữ liệu

| RE | BL | BLB | D_OUT |
|----|----|-----|-------|
| 0 | X | X | D_OUT |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |

Từ bảng 3.4, ta thấy mạch đọc dữ liệu hay còn gọi là mạch khuếch đại cảm nhận (Sense Amplifier) có nguyên lý hoạt động tương đồng với mạch chốt SR. Sơ đồ nguyên lý mạch đọc và khối đóng gói được mô tả như trong hình 3.7 và hình 3.8. Với ngõ vào là RE, BL, BLB; ngõ ra là D_OUT.



Hình 3.7: Sơ đồ nguyên lý mạch đọc dữ liệu



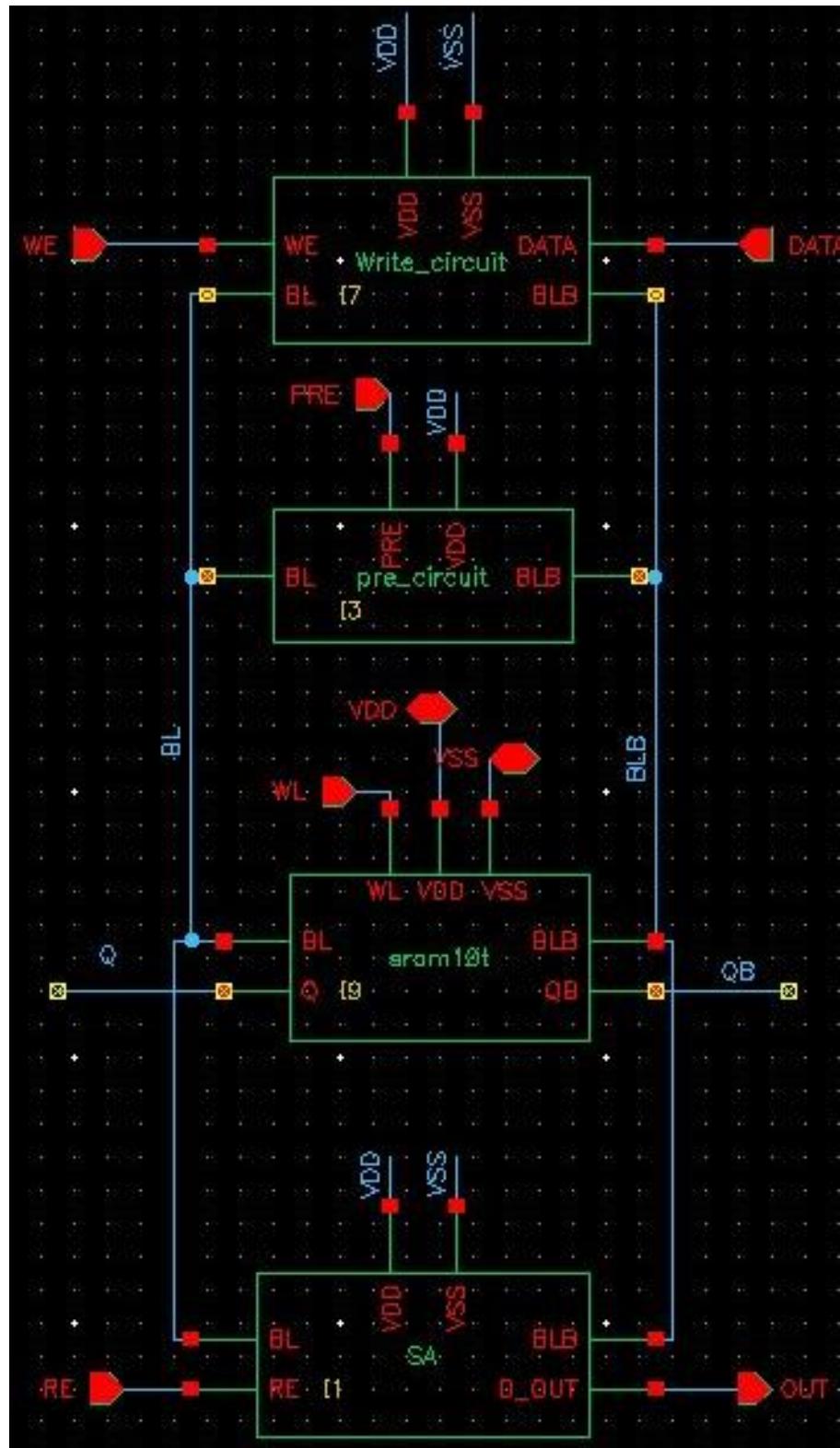
Hình 3.8: Sơ đồ nguyên lý khối đọc dữ liệu

3.5 SƠ ĐỒ KHỐI CỦA SRAM 10T

Sau khi đóng gói mạch ghi dữ liệu, mạch nạp trước, ô nhớ SRAM 10T và mạch đọc dữ liệu. Ta liên kết các khối riêng lẻ lại với nhau như hình 3.9 để mô phỏng các chế độ hoạt động của ô nhớ SRAM 10T.

Các khối giao tiếp với nhau thông qua hai đường bit BL và BLB. Như đã trình bày ở phần 2.9.3, khi SRAM 10T ở chế độ chờ, khối ghi và đọc dữ liệu ở mức không cho phép còn khối nạp trước ở mức cho phép để nạp hai đường bit BL và BLB lên mức cao và ô nhớ SRAM tiến vào trạng thái giữ dữ liệu. Khi ở chế độ ghi, khối nạp trước và

khối đọc dữ liệu ở mức không cho phép còn ô nhớ và khối ghi dữ liệu ở mức cho phép để ghi dữ liệu. Khi ở chế độ đọc, khối ghi dữ liệu và khối nạp trước ở mức không cho phép ngược lại ô nhớ và khối đọc dữ liệu ở mức cho phép để đọc dữ liệu.



Hình 3.9: Sơ đồ khối hoạt động ghi và đọc

3.6 THÔNG SỐ MÔ PHỎNG

Từ nội dung đã trình bày ở phần 3.5, nhóm sinh viên thiết lập thông số mô phỏng như sau:

Tín hiệu VDD là một tín hiệu điện áp DC được cài đặt thông số mô phỏng như bảng 3.5, điện áp là 1V dùng để nối chân lên nguồn cung cấp.

Bảng 3.5: Thông số mô phỏng của tín hiệu VDD

| | |
|--------------|---|
| DC voltage | 1 |
| AC magnitude | |

Tín hiệu VSS là một tín hiệu điện áp DC được cài đặt thông số mô phỏng như bảng 3.6, điện áp là 0V dùng để nối chân xuống mặt đất.

Bảng 3.6: Thông số mô phỏng của tín hiệu VSS

| | |
|--------------|---|
| DC voltage | 0 |
| AC magnitude | |

Tín hiệu DATA là một tín hiệu điện áp DC được cài đặt thông số mô phỏng như bảng 3.7, điện áp là 1V dùng để mô tả chế độ hoạt động khi DATA = 1.

Bảng 3.7: Thông số mô phỏng của tín hiệu DATA = 1

| | |
|--------------|---|
| DC voltage | 1 |
| AC magnitude | |

Tín hiệu DATA là một tín hiệu điện áp DC được cài đặt thông số mô phỏng như bảng 3.8, điện áp là 0V dùng để mô tả chế độ hoạt động khi DATA = 0.

Bảng 3.8: Thông số mô phỏng của tín hiệu DATA = 0

| | |
|--------------|---|
| DC voltage | 0 |
| AC magnitude | |

Tín hiệu WE là một tín hiệu xung vuông được cài đặt thông số mô phỏng như bảng 3.9, điện áp 1 là 1V, điện áp 2 là 0V, chu kỳ là 800ns, thời gian delay là 200ns và thời gian tăng/giảm là 10ps.

Bảng 3.9: Thông số mô phỏng của tín hiệu WE

| | |
|------------|------|
| Voltage 1 | 1 |
| Voltage 2 | 0 |
| Period | 800n |
| Delay time | 200n |
| Rise time | 10p |
| Fall time | 10p |

Tín hiệu \overline{PRE} là một tín hiệu xung vuông được cài đặt thông số mô phỏng như bảng 3.10, điện áp 1 là 1V, điện áp 2 là 0V, chu kỳ là 400ns, thời gian delay là 200ns và thời gian tăng/giảm là 10ps.

Bảng 3.10: Thông số mô phỏng của tín hiệu \overline{PRE}

| | |
|------------|------|
| Voltage 1 | 1 |
| Voltage 2 | 0 |
| Period | 400n |
| Delay time | 200n |
| Rise time | 10p |
| Fall time | 10p |

Tín hiệu WL là một tín hiệu xung vuông được cài đặt thông số mô phỏng như bảng 3.11, điện áp 1 là 0V, điện áp 2 là 1V, chu kỳ là 400ns và thời gian tăng/giảm là 10ps.

Bảng 3.11: Thông số mô phỏng của tín hiệu WL

| | |
|------------|------|
| Voltage 1 | 0 |
| Voltage 2 | 1 |
| Period | 400n |
| Delay time | |
| Rise time | 10p |
| Fall time | 10p |

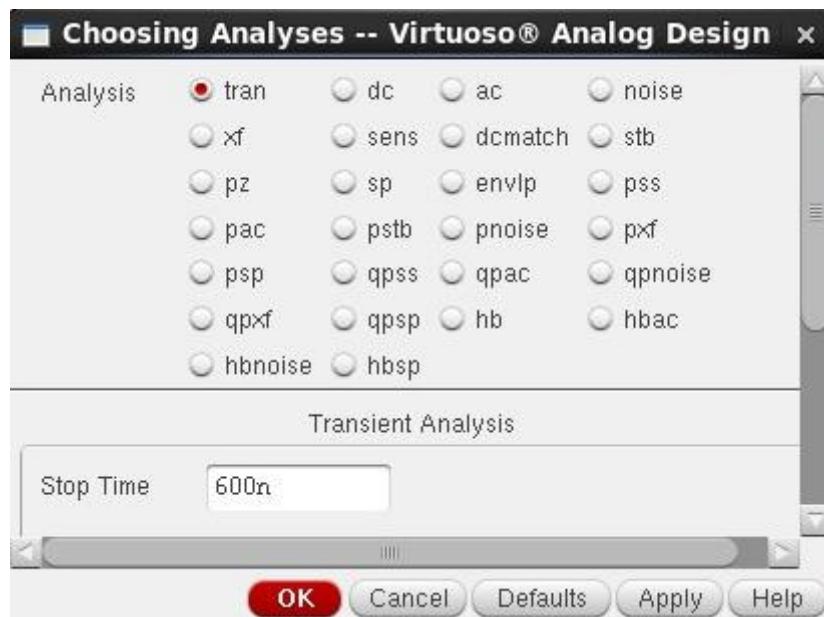
Tín hiệu RE là một tín hiệu xung vuông được cài đặt thông số mô phỏng như bảng 3.12, điện áp 1 là 0V, điện áp 2 là 1V, chu kỳ là 400ns, thời gian delay là 400ns và thời gian tăng/giảm là 10ps.

Bảng 3.12: Thông số mô phỏng của tín hiệu RE

| | |
|------------|------|
| Voltage 1 | 0 |
| Voltage 2 | 1 |
| Period | 400n |
| Delay time | 400n |
| Rise time | 10p |
| Fall time | 10p |

Bộ nhớ SRAM được mô phỏng theo kiểu “tran” với tổng thời gian mô phỏng là 600ns như bảng 3.13.

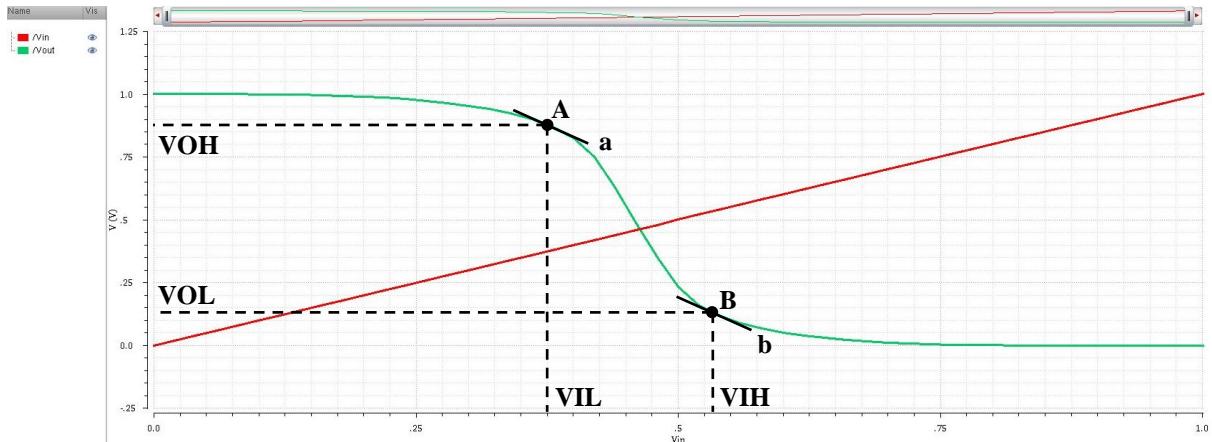
Bảng 3.13: Thông số thời gian mô phỏng



CHƯƠNG 4: KẾT QUẢ THỰC HIỆN

4.1 ĐỘ DỰ TRỮ NHIỄU

- Công đảo tiêu chuẩn



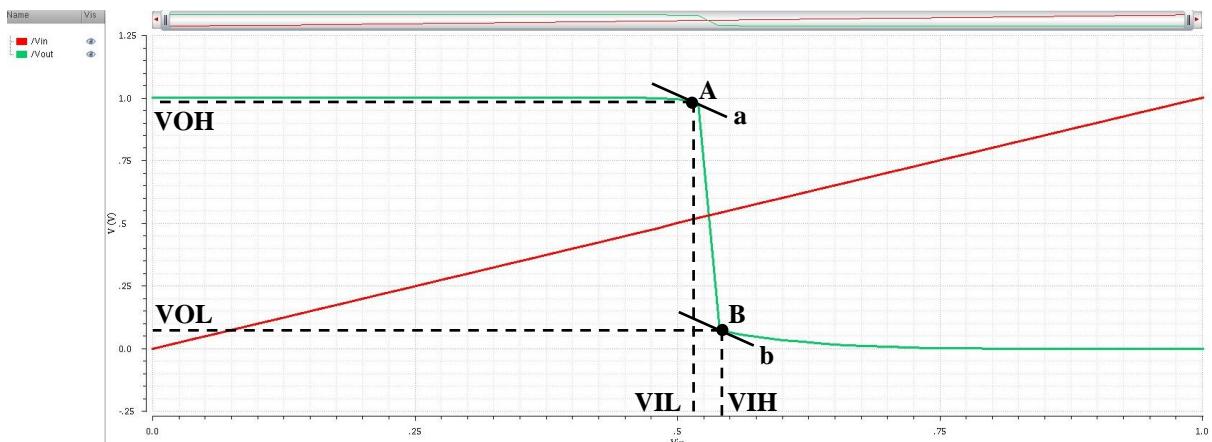
Hình 4.1: Mức nhiễu dự trữ của công đảo tiêu chuẩn

Hình 4.1 diễn tả sự thay đổi của V_{out} theo V_{in} . Trong đó V_{in} , V_{out} lần lượt là hai đường màu đỏ và xanh, trục tung là V_{out} và trục hoành là V_{in} .

Dựa vào nội dung phần 2.6, ta xác định đường a và b có độ dốc là -1. Hai đường này giao với V_{out} lần lượt tại hai điểm A và B như trong hình 4.1. Dòng điểm A lên trục tung và trục hoành, ta xác định được $V_{OH} \approx 878$ mV, $V_{IL} \approx 375$ mV, tương tự với điểm B, ta xác định được $V_{OL} \approx 138$ mV, $V_{IH} \approx 530$ mV.

Từ công thức (2.1) và (2.2) suy ra $NM_H = 348$ mV, $NM_L = 237$ mV.

- Công đảo Schmitt Trigger



Hình 4.2: Mức nhiễu dự trữ của công đảo Schmitt Trigger

Hình 4.2 diễn tả sự thay đổi của Vout theo Vin. Trong đó Vin, Vout lần lượt là hai đường màu đỏ và xanh, trục tung là Vout và trục hoành là Vin.

Dựa vào nội dung phần 2.6, ta xác định đường a và b có độ dốc là -1. Hai đường này giao với Vout lần lượt tại hai điểm A và B như trong hình 4.2. Dòng điểm A lên trục tung và trục hoành, ta xác định được $V_{OH} \approx 983$ mV, $V_{IL} \approx 515$ mV, tương tự với điểm B, ta xác định được $V_{OL} \approx 73$ mV, $V_{IH} \approx 540$ mV.

Từ công thức (2.1) và (2.2) suy ra $NM_H = 443$ mV, $NM_L = 442$ mV.

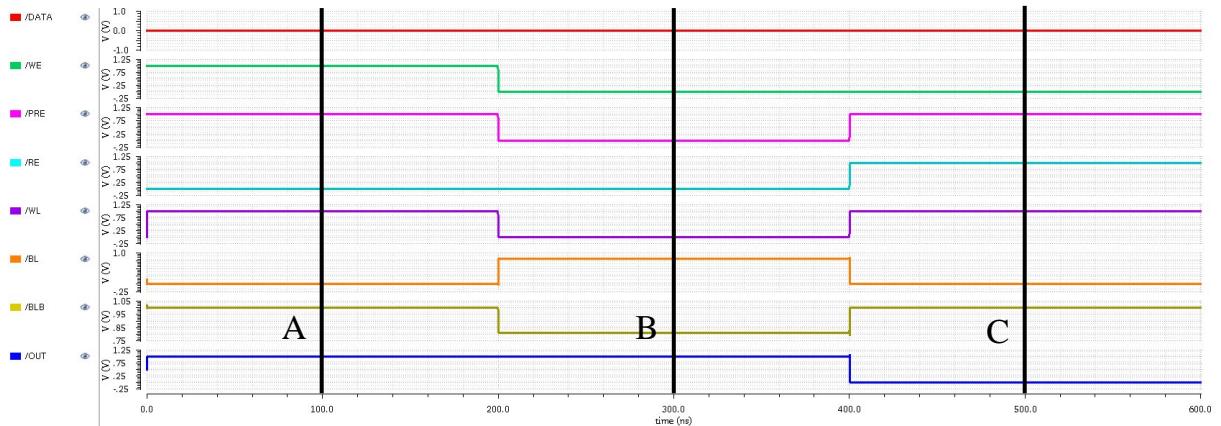
Bảng 4.1: So sánh độ dự trữ nhiễu công đảo tiêu chuẩn và công đảo ST

| | Công đảo tiêu chuẩn | Công đảo ST |
|---------------|---------------------|-------------|
| V_{IH} (mV) | 530 | 540 |
| V_{IL} (mV) | 375 | 515 |
| V_{OH} (mV) | 878 | 983 |
| V_{OL} (mV) | 138 | 73 |
| NM_H (mV) | 348 | 443 |
| NM_L (mV) | 237 | 442 |

Từ bảng 4.1, ta thấy ở công đảo tiêu chuẩn, thông số NM_H và NM_L nhỏ hơn so với của của công đảo ST và khoảng cách giữa thông số V_{IH} và V_{IL} của công đảo ST nhỏ hơn nhiều so với công đảo tiêu chuẩn. Chứng tỏ công đảo ST ổn định hơn .

4.2 CHẾ ĐỘ HOẠT ĐỘNG

Từ những thông số mô phỏng được nêu ở phần 3.6, ta có kết quả mô phỏng như hình 4.3:



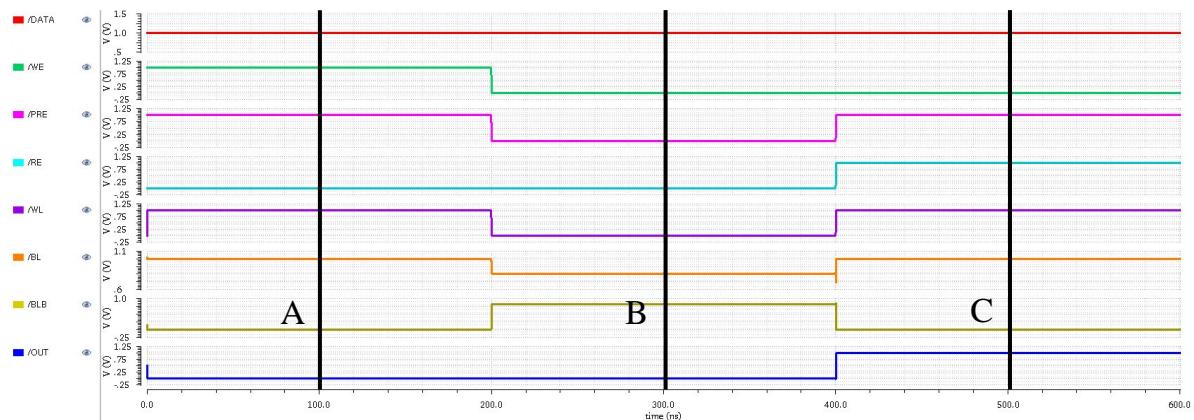
Hình 4.3: Mô phỏng chế độ hoạt động khi dữ liệu DATA = 0

Theo hình 4.3:

Tại A, tín hiệu cho phép ghi WE = 1, tín hiệu cho phép nạp $\overline{\text{PRE}} = 1$, RE = 0, WL = 1 mạch ghi tiến hành ghi dữ liệu vào ô nhớ. Khi đó DATA = 0 thì BL = 0, BLB = 1, ô nhớ đã được ghi dữ liệu bit 0.

Tại B, tín hiệu cho phép ghi WE = 0, tín hiệu cho phép nạp $\overline{\text{PRE}} = 0$, RE = 0, WL = 0 ô nhớ đang trong quá trình giữ dữ liệu (chờ), hai đường bit BL và BLB được sạc lên cùng mức điện áp.

Tại C, tín hiệu cho phép ghi WE = 0, tín hiệu cho phép nạp $\overline{\text{PRE}} = 1$, WL = 1, tín hiệu cho phép đọc RE = 1, mạch đọc tiến hành đọc dữ liệu từ ô nhớ. Khi đó, D_OUT = 0.



Hình 4.4: Mô phỏng chế độ hoạt động khi dữ liệu DATA = 1

Theo hình 4.4:

Tại A, tín hiệu cho phép ghi WE = 1, tín hiệu cho phép nạp $\overline{\text{PRE}}$ = 1, RE = 0, WL = 1 mạch ghi tiến hành ghi dữ liệu vào ô nhớ. Khi đó data = 1 thì BL = 1, BLB = 0, ô nhớ đã được ghi dữ liệu bit 0.

Tại B, tín hiệu cho phép ghi WE = 0, tín hiệu cho phép nạp $\overline{\text{PRE}}$ = 0, RE = 0, WL = 0 ô nhớ đang trong quá trình giữ dữ liệu (chờ), hai đường bit BL và BLB được sạc lên cùng mức điện áp.

Tại C, tín hiệu cho phép ghi WE = 0, tín hiệu cho phép nạp $\overline{\text{PRE}}$ = 1, WL = 1, tín hiệu cho phép đọc RE = 1, mạch đọc tiến hành đọc dữ liệu từ ô nhớ. Khi đó, D_OUT = 1.

4.3 THỜI GIAN TRỄ LAN TRUYỀN

Nhiệt độ ảnh hưởng đến các đặc tính của bóng bán dẫn [2]. Chẳng hạn độ linh động của các hạt mang điện sẽ bị giảm theo nhiệt độ, độ lớn của điện áp ngưỡng giảm gần như tuyến tính theo nhiệt độ. Kết hợp với công thức (2.6), nhóm sinh viên thực hiện mô phỏng, tính toán, khảo sát thời gian trễ lan truyền, tính toán công suất trung bình theo hai yếu tố: nhiệt độ và điện áp cung cấp.

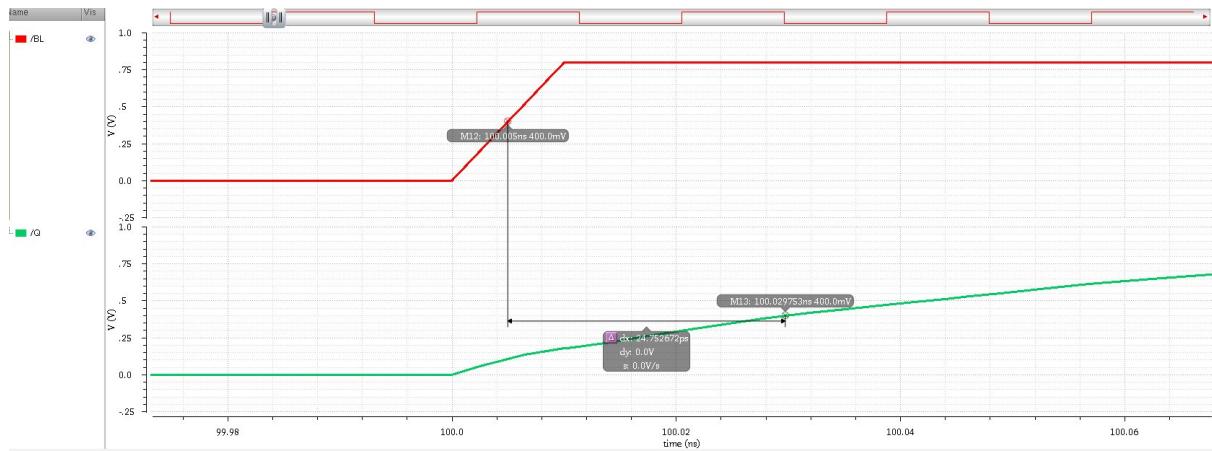
Dựa vào nội dung đã trình bày ở phần 2.7, thực hiện mô phỏng thông số trong quá trình ghi và đọc để từ đó xác định thời gian trễ lan truyền của ô nhớ SRAM 10T.

4.3.1 Thời gian trễ lan truyền với sự biến thiên của điện áp cung cấp

Ở phần này, mô phỏng tính toán thời gian trễ lan truyền trong quá trình ghi và đọc được thực hiện ở điều kiện nhiệt độ phòng (27°C) với các mức điện áp cung cấp (V_{DD}) khác nhau.

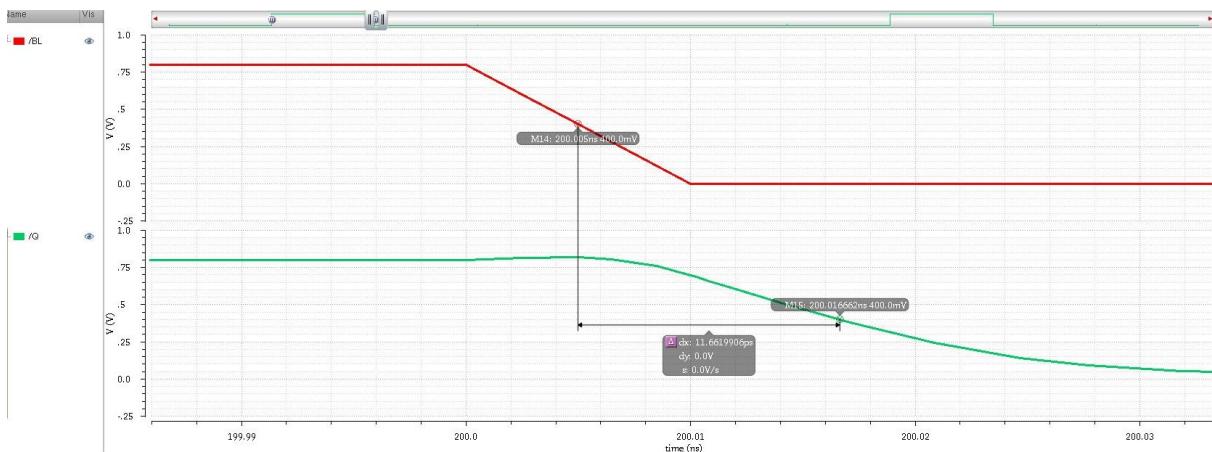
a. Thời gian trễ lan truyền trong quá trình ghi dữ liệu

- $V_{DD} = 0.8V$



Hình 4.5: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao với điện áp 0.8V

Thời gian trễ lan truyền $t_{pdr} = 24.75267$ ps khi tín hiệu ngõ ra tăng từ thấp lên cao với điện áp 0.8V, được thể hiện như hình 4.5.

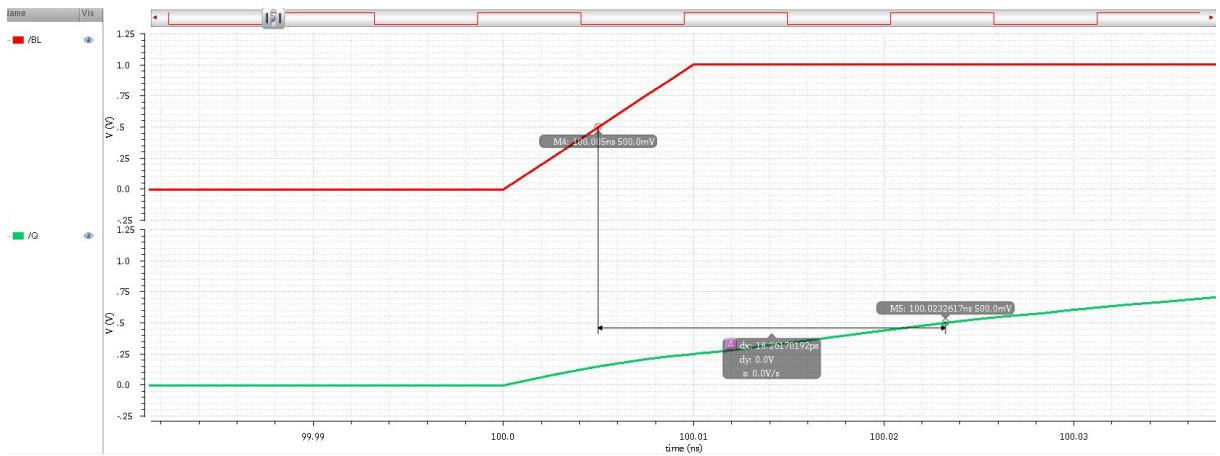


Hình 4.6: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp với điện áp 0.8V

Thời gian trễ lan truyền $t_{pdf} = 11.66199$ ps khi tín hiệu ngõ ra giảm từ cao xuống thấp với điện áp 0.8V, được thể hiện như hình 4.6.

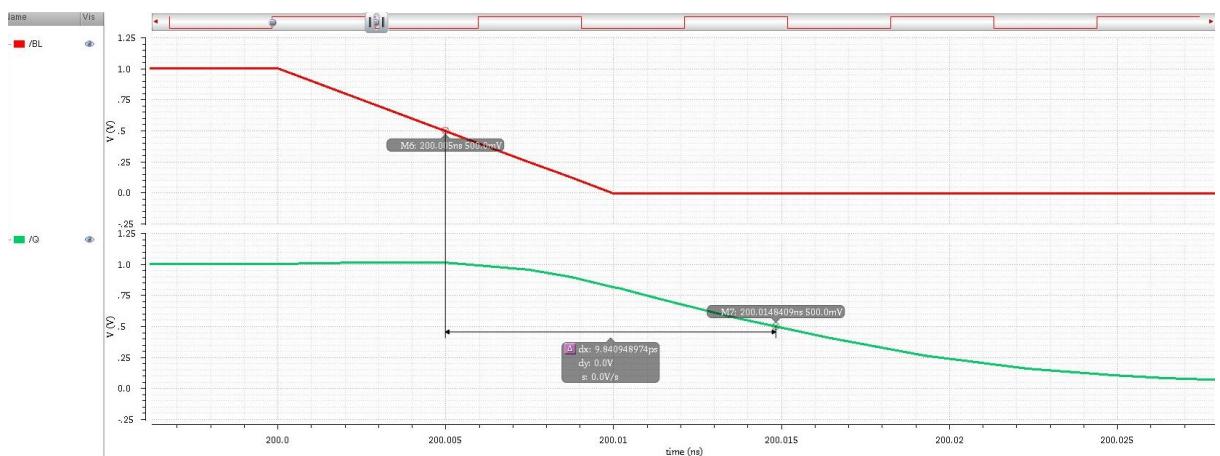
Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{pd} = 18.20733$ ps với điện áp hoạt động là 0.8V.

- $V_{DD} = 1V$



Hình 4.7: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao với điện áp 1V

Thời gian trễ lan truyền $t_{pdr} = 18.2617$ ps khi tín hiệu ngõ ra tăng từ thấp lên cao với điện áp 1V, được thể hiện như hình 4.7.

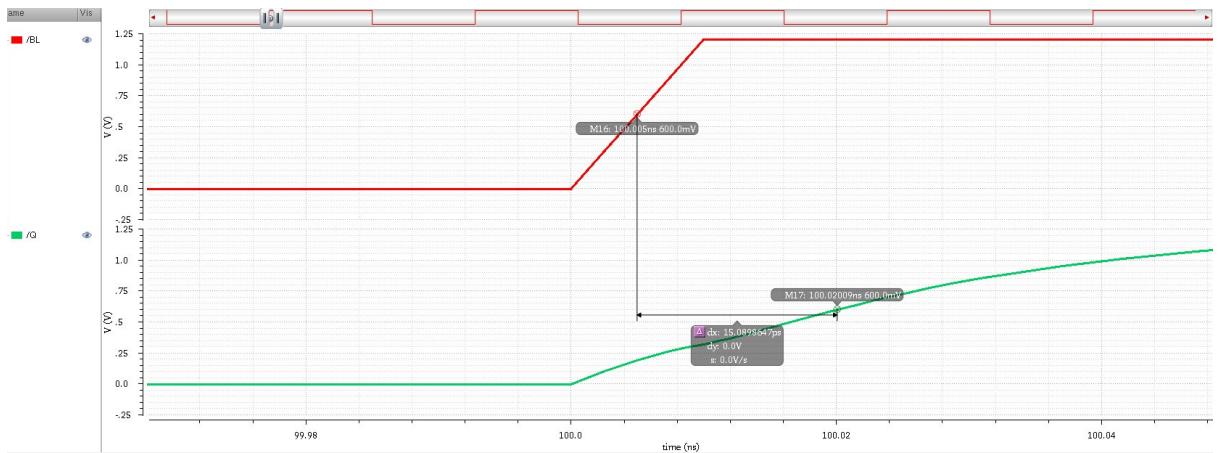


Hình 4.8: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp với điện áp 1V

Thời gian trễ lan truyền $t_{pdf} = 9.84095$ ps khi tín hiệu ngõ ra giảm từ cao xuống thấp với điện áp 1V, được thể hiện như hình 4.8.

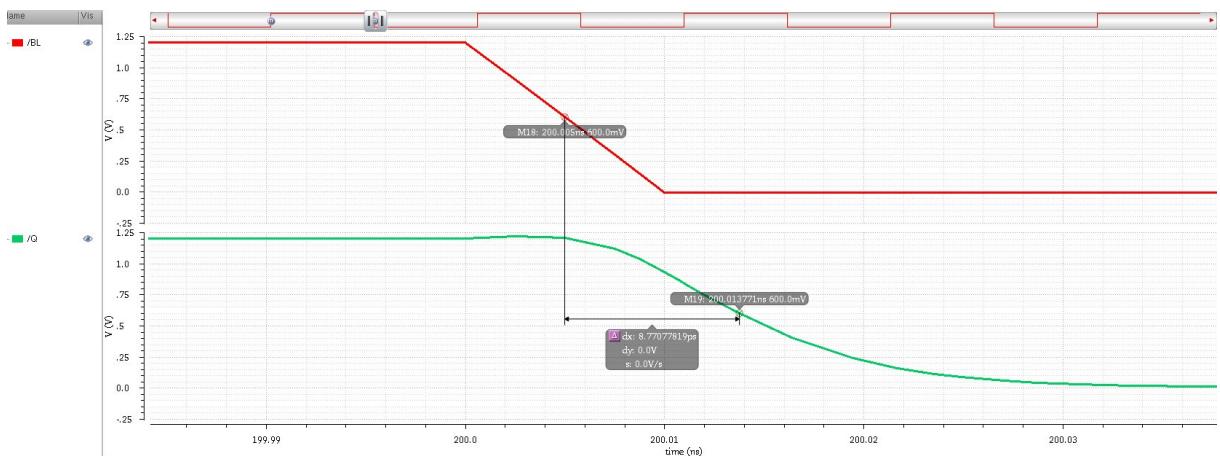
Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{pd} = 14.05133$ ps với điện áp hoạt động là 1V.

- $V_{DD} = 1.2V$



Hình 4.9: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao với điện áp 1.2V

Thời gian trễ lan truyền $t_{pdr} = 15.08986$ ps khi tín hiệu ngõ ra tăng từ thấp lên cao với điện áp 1.2V, được thể hiện như hình 4.9.



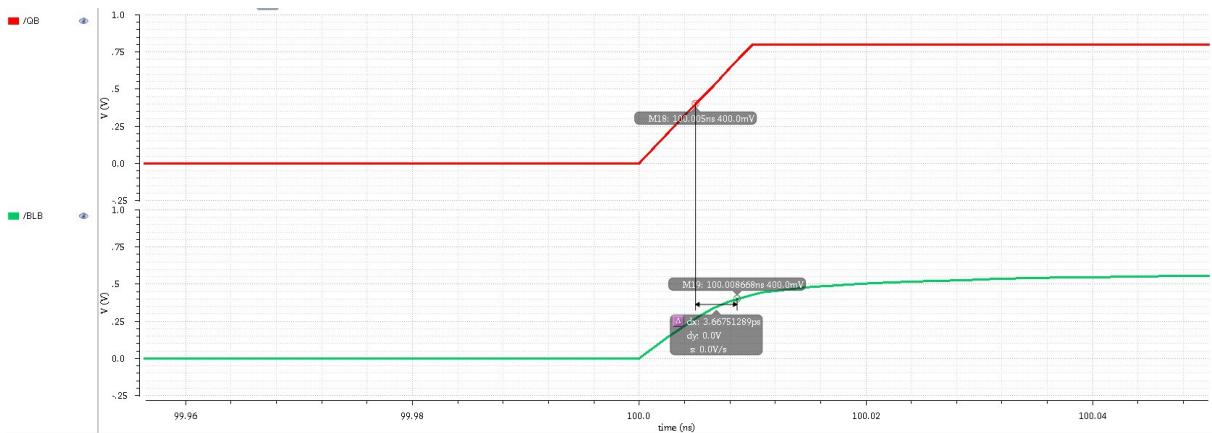
Hình 4.10: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp với điện áp 1.2V

Thời gian trễ lan truyền $t_{pdf} = 8.77078$ ps khi tín hiệu ngõ ra giảm từ cao xuống thấp với điện áp 1.2V, được thể hiện như hình 4.10.

Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{pd} = 11.93032$ ps với điện áp hoạt động là 1.2V.

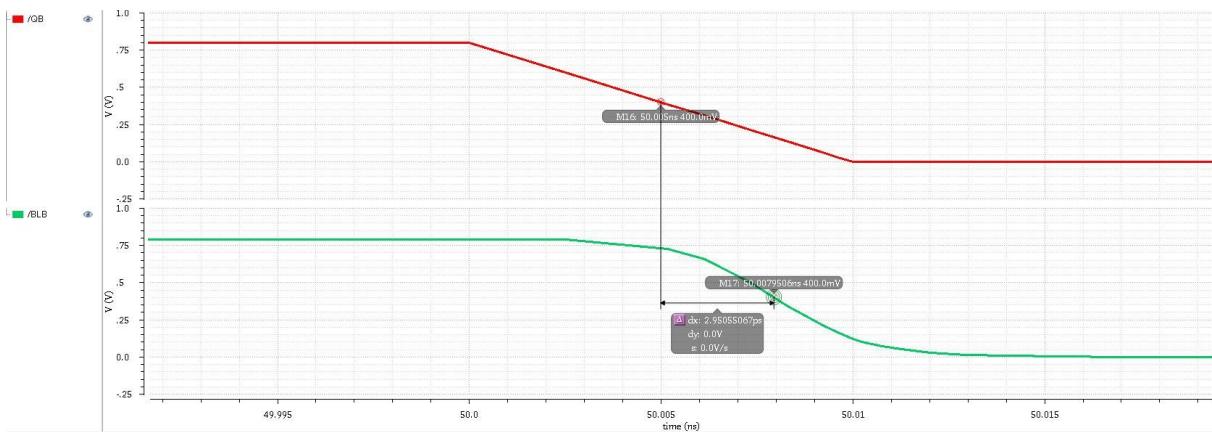
b. Thời gian trễ lan truyền trong quá trình đọc dữ liệu

- $V_{DD} = 0.8V$



Hình 4.11: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao với điện áp 0.8V

Thời gian trễ lan truyền $t_{pdr} = 3.66751$ ps khi tín hiệu ngõ ra tăng từ thấp lên cao với điện áp 0.8V, được thể hiện như hình 4.11.

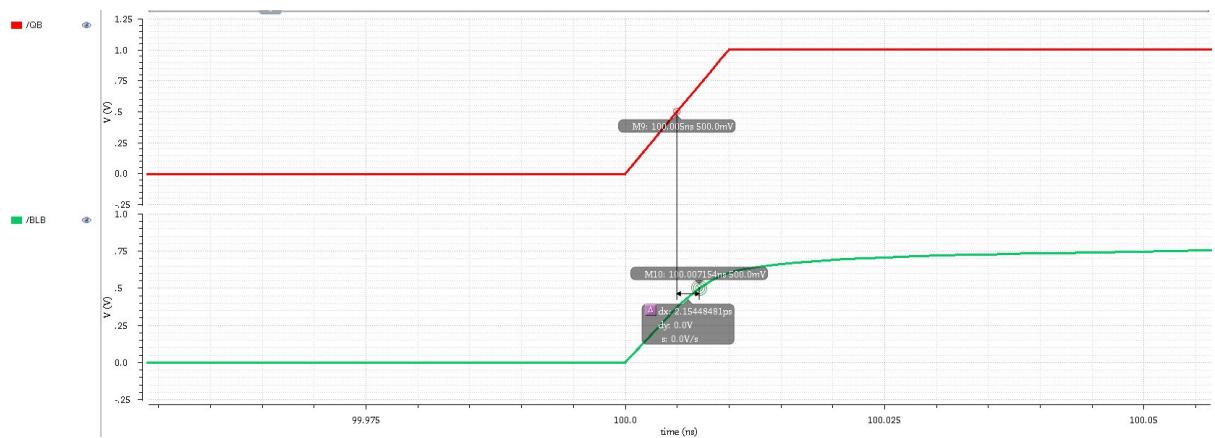


Hình 4.12: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp với điện áp 0.8V

Thời gian trễ lan truyền $t_{pdf} = 2.95055$ ps khi tín hiệu ngõ ra giảm từ cao xuống thấp với điện áp 0.8V, được thể hiện như hình 4.12.

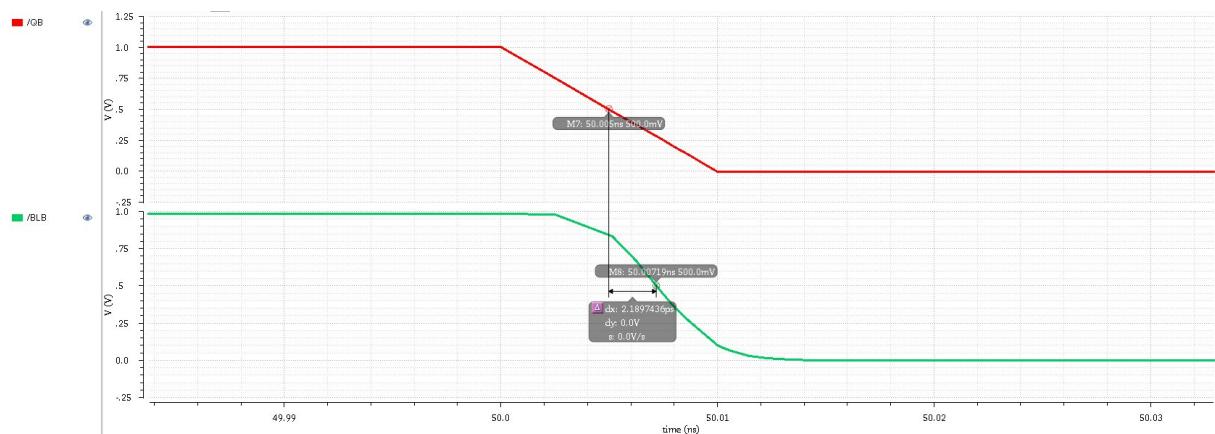
Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{pd} = 3.30903$ ps với điện áp hoạt động là 0.8V.

- $V_{DD} = 1V$



Hình 4.13: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao với điện áp 1V

Thời gian trễ lan truyền $t_{pdr} = 2.15448 \text{ ps}$ khi tín hiệu ngõ ra tăng từ thấp lên cao với điện áp 1V, được thể hiện như hình 4.13.

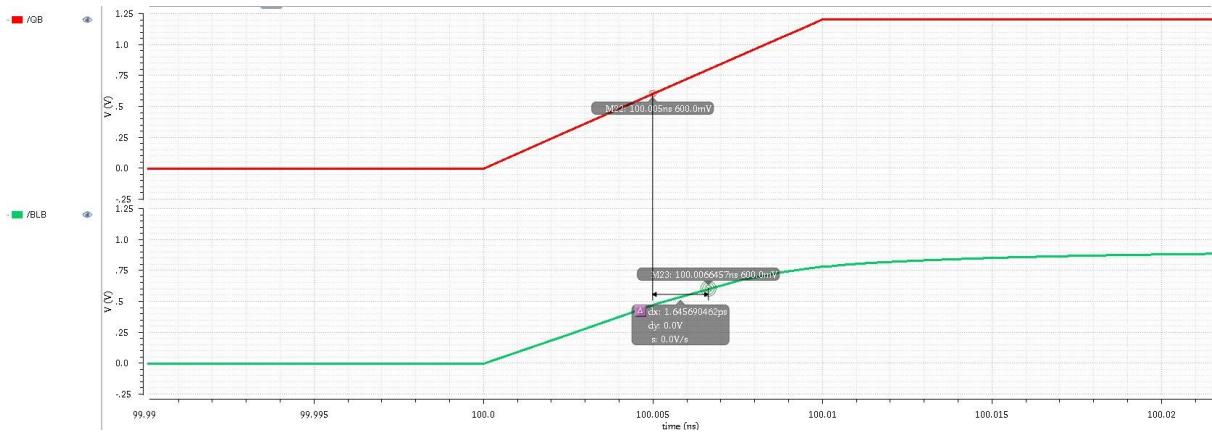


Hình 4.14: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp với điện áp 1V

Thời gian trễ lan truyền $t_{pdf} = 2.18974 \text{ ps}$ khi tín hiệu ngõ ra giảm từ cao xuống thấp với điện áp 1V, được thể hiện như hình 4.14.

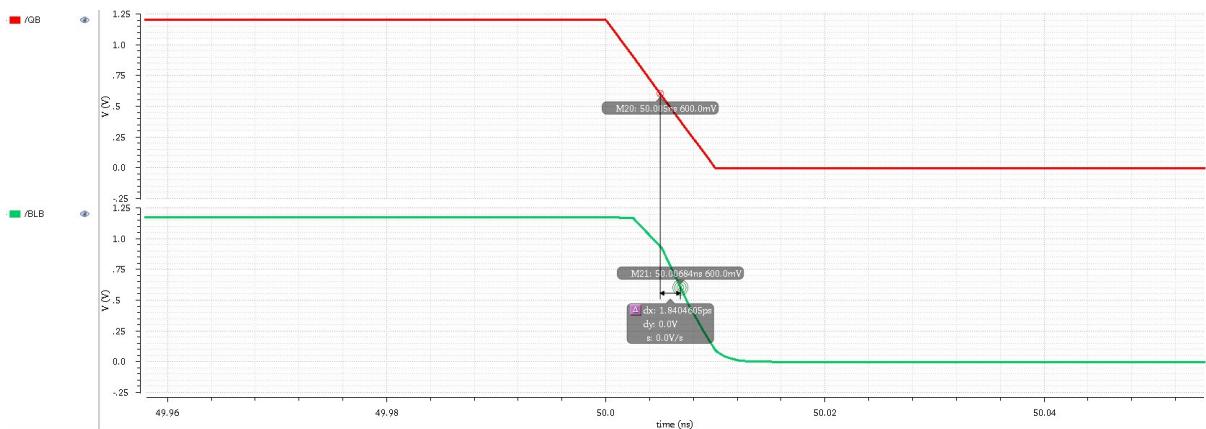
Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{pd} = 2.17211 \text{ ps}$ với điện áp hoạt động là 1V.

- $V_{DD} = 1.2V$



Hình 4.15: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao với điện áp 1.2V

Thời gian trễ lan truyền $t_{pdr} = 1.64569$ ps khi tín hiệu ngõ ra tăng từ thấp lên cao với điện áp 1.2V, được thể hiện như hình 4.15.



Hình 4.16: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp với điện áp 1.2V

Thời gian trễ lan truyền $t_{pdf} = 1.84046$ ps khi tín hiệu ngõ ra giảm từ cao xuống thấp với điện áp 1.2V, được thể hiện như hình 4.16.

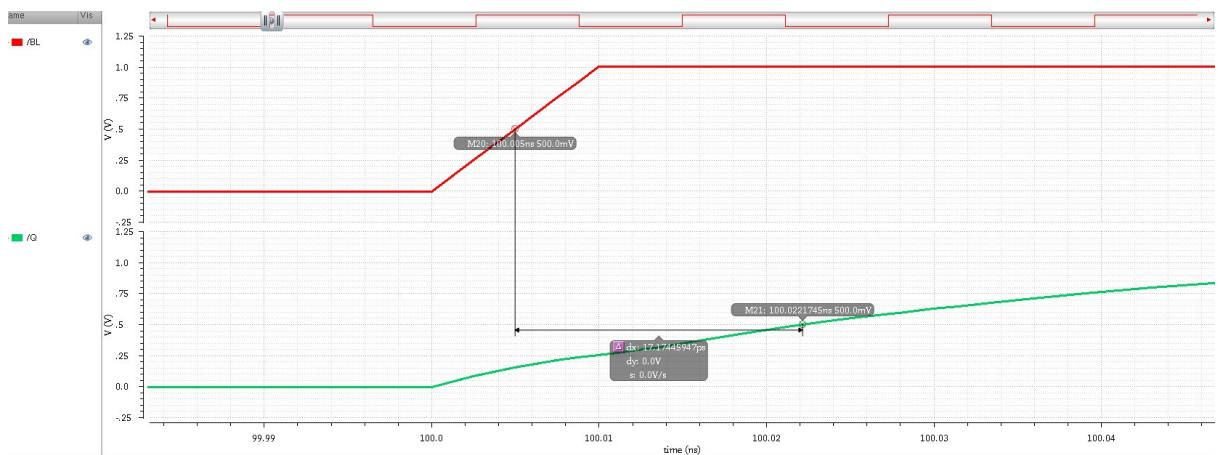
Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{pd} = 1.74308$ ps với điện áp hoạt động là 1.2V.

4.3.2 Thời gian trễ lan truyền với sự biến thiên của nhiệt độ môi trường

Ở phần này, mô phỏng tính toán thời gian trễ lan truyền trong quá trình ghi và đọc được thực hiện ở mức điện áp cung cấp 1V với điều kiện nhiệt độ môi trường (T) khác nhau.

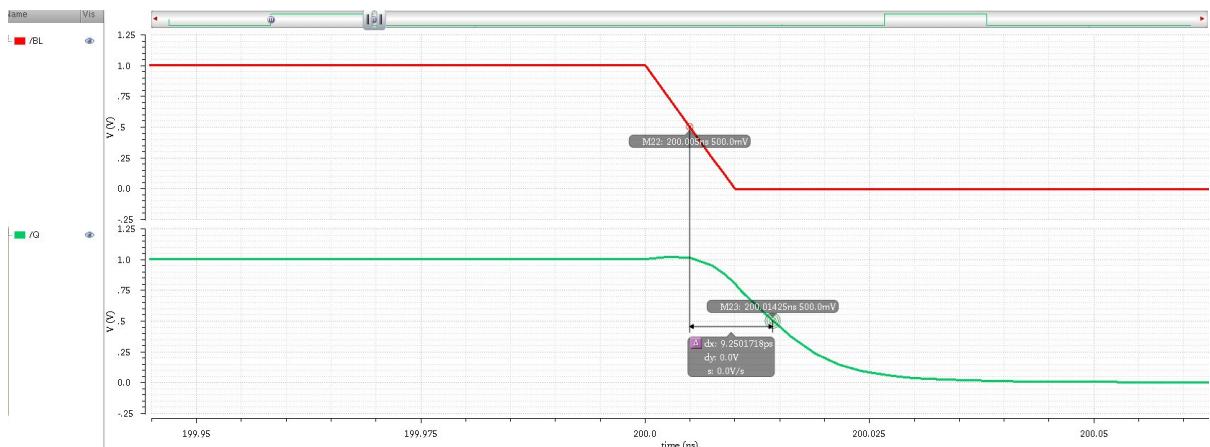
a. Thời gian trễ lan truyền trong quá trình ghi dữ liệu

- $T = 10^\circ\text{C}$



Hình 4.17: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao ở nhiệt độ 10°C

Thời gian trễ lan truyền $t_{\text{pdr}} = 17.17446 \text{ ps}$ khi tín hiệu ngõ ra tăng từ thấp lên cao ở nhiệt độ 10°C , được thể hiện như hình 4.17.

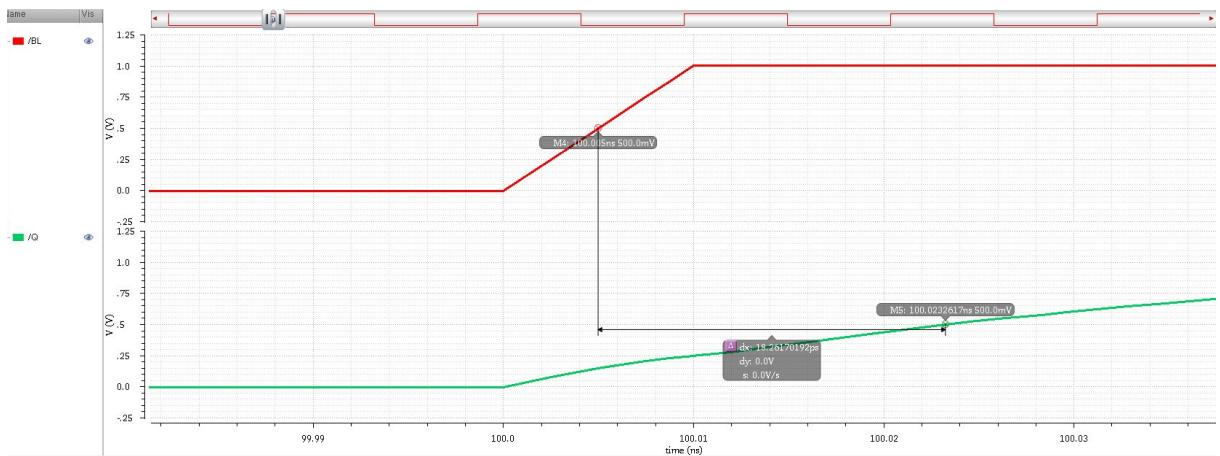


Hình 4.18: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp ở nhiệt độ 10°C

Thời gian trễ lan truyền $t_{\text{pdf}} = 9.25017 \text{ ps}$ khi tín hiệu ngõ ra giảm từ cao xuống thấp ở nhiệt độ 10°C , được thể hiện như hình 4.18.

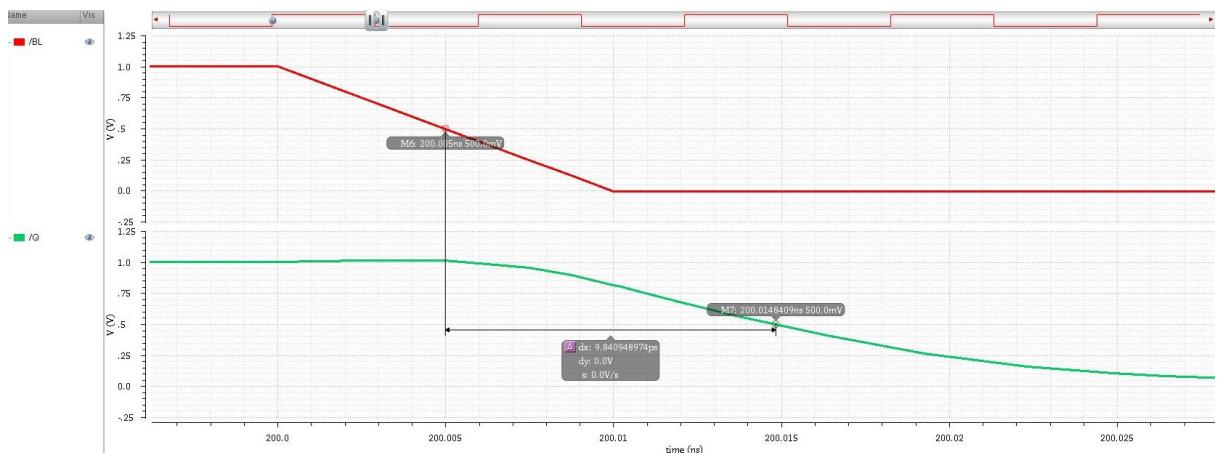
Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{\text{pd}} = 13.21232 \text{ ps}$ ở nhiệt độ môi trường là 10°C .

- $T = 27^\circ\text{C}$



Hình 4.19: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao ở nhiệt độ 27°C

Thời gian trễ lan truyền $t_{\text{pdr}} = 18.2617 \text{ ps}$ khi tín hiệu ngõ ra tăng từ thấp lên cao ở nhiệt độ 27°C , được thể hiện như hình 4.19.

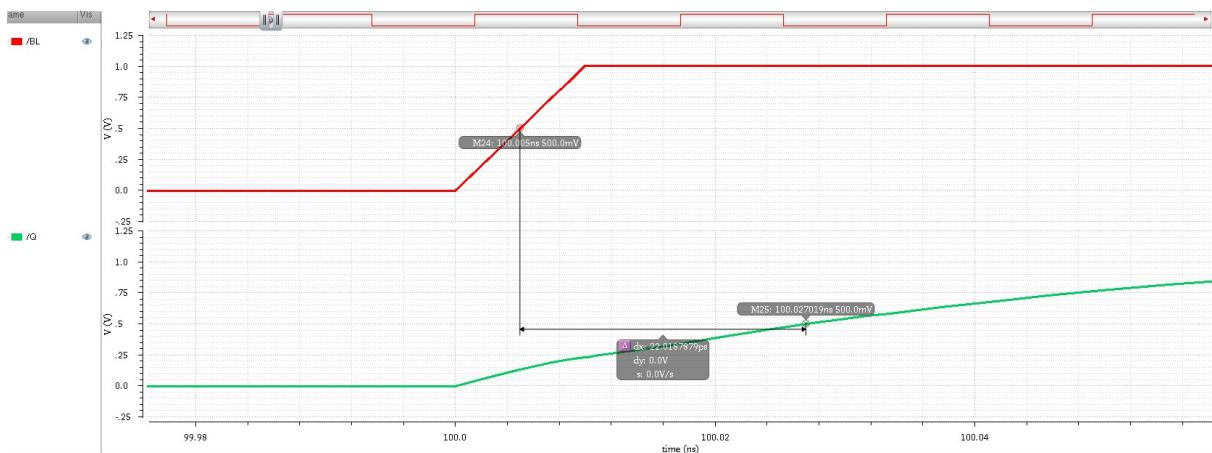


Hình 4.20: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp ở nhiệt độ 27°C

Thời gian trễ lan truyền $t_{\text{pdf}} = 9.84095 \text{ ps}$ khi tín hiệu ngõ ra giảm từ cao xuống thấp ở nhiệt độ 27°C , được thể hiện như hình 4.20.

Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{\text{pd}} = 14.05133 \text{ ps}$ ở nhiệt độ môi trường là 27°C .

- $T = 80^\circ\text{C}$



Hình 4.21: Thời gian trễ lan truyền ghi dữ liệu từ thấp lên cao ở nhiệt độ 80°C

Thời gian trễ lan truyền $t_{\text{pdr}} = 22.01879 \text{ ps}$ khi tín hiệu ngõ ra tăng từ thấp lên cao ở nhiệt độ 80°C , được thể hiện như hình 4.21.



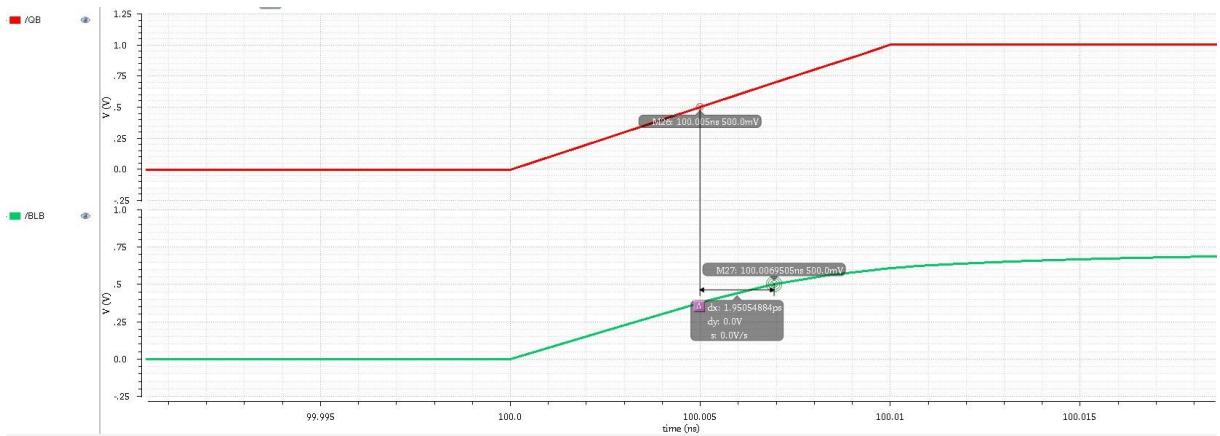
Hình 4.22: Thời gian trễ lan truyền ghi dữ liệu từ cao xuống thấp ở nhiệt độ 80°C

Thời gian trễ lan truyền $t_{\text{pdf}} = 11.89167 \text{ ps}$ khi tín hiệu ngõ ra giảm từ cao xuống thấp ở nhiệt độ 80°C , được thể hiện như hình 4.22.

Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{\text{pd}} = 16.95523 \text{ ps}$ ở nhiệt độ môi trường là 80°C .

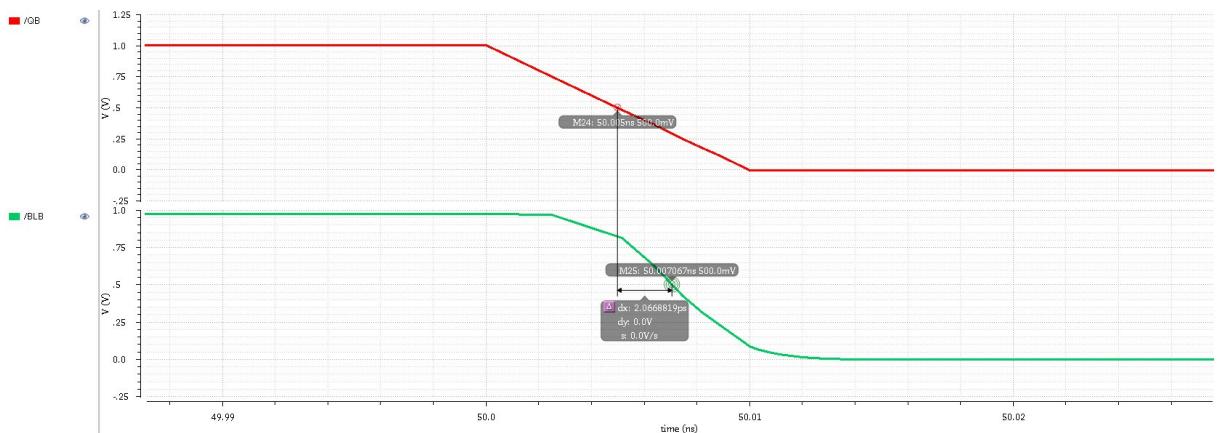
b. Thời gian trễ lan truyền trong quá trình đọc dữ liệu

- $T = 10^\circ\text{C}$



Hình 4.23: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao ở nhiệt độ 10°C

Thời gian trễ lan truyền $t_{\text{pdr}} = 1.95055 \text{ ps}$ khi tín hiệu ngõ ra tăng từ thấp lên cao ở nhiệt độ 10°C , được thể hiện như hình 4.23.

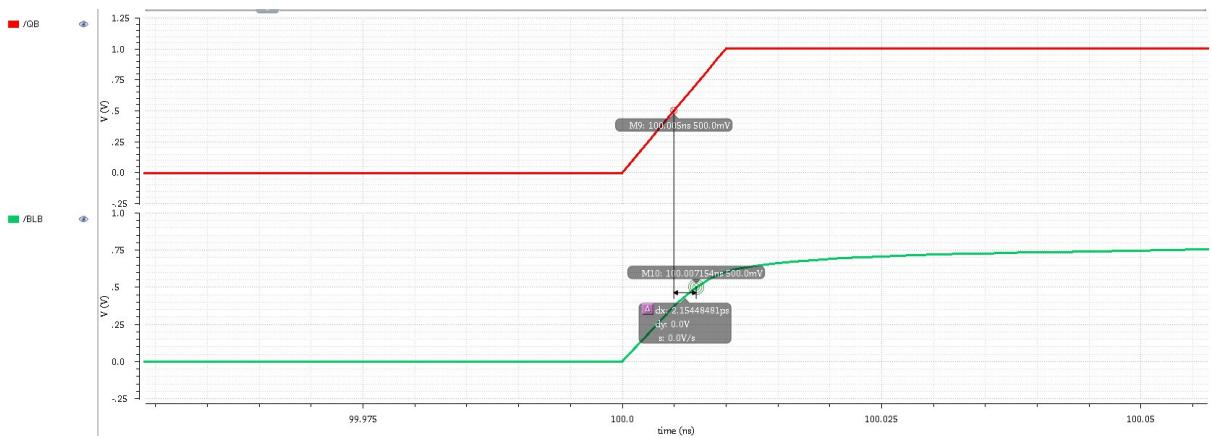


Hình 4.24: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp ở nhiệt độ 10°C

Thời gian trễ lan truyền $t_{\text{pdf}} = 2.06688 \text{ ps}$ khi tín hiệu ngõ ra giảm từ cao xuống thấp ở nhiệt độ 10°C , được thể hiện như hình 4.24.

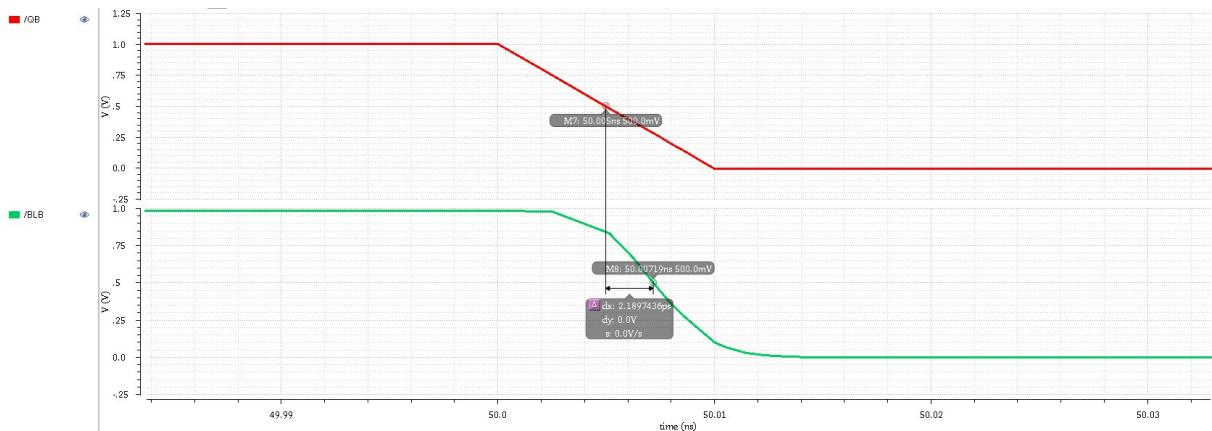
Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{\text{pd}} = 2.00876 \text{ ps}$ ở nhiệt độ môi trường là 10°C .

- $T = 27^\circ\text{C}$



Hình 4.25: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao ở nhiệt độ 27°C

Thời gian trễ lan truyền $t_{\text{pdr}} = 2.15448 \text{ ps}$ khi tín hiệu ngõ ra tăng từ thấp lên cao ở nhiệt độ 27°C , được thể hiện như hình 4.25.

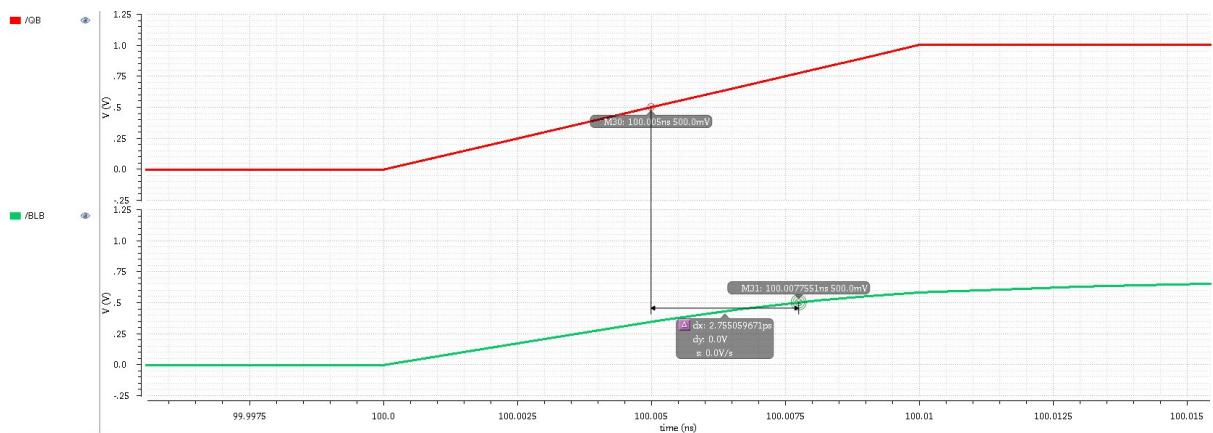


Hình 4.26: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp ở nhiệt độ 27°C

Thời gian trễ lan truyền $t_{\text{pdf}} = 2.18974 \text{ ps}$ khi tín hiệu ngõ ra giảm từ cao xuống thấp ở nhiệt độ 27°C , được thể hiện như hình 4.26.

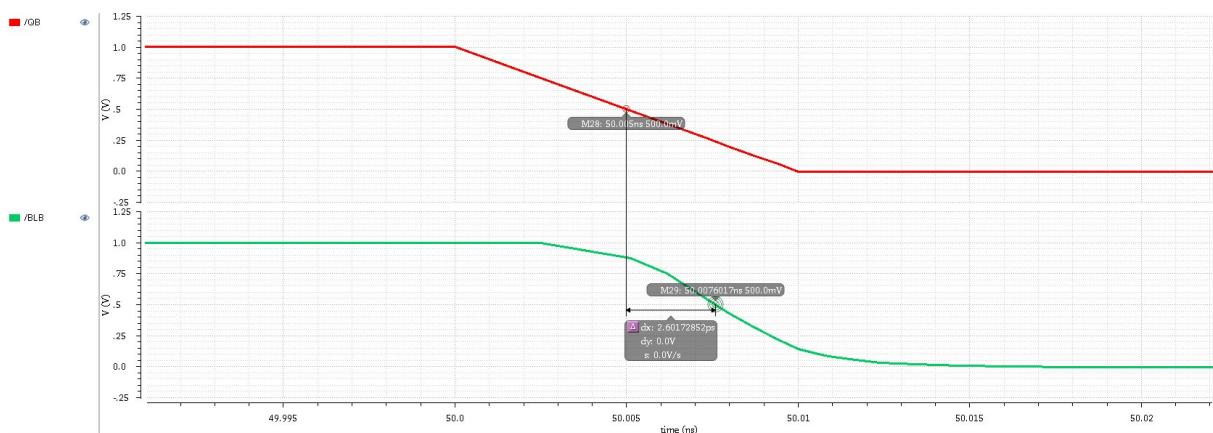
Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{\text{pd}} = 2.17211 \text{ ps}$ ở nhiệt độ môi trường là 27°C .

- $T = 80^\circ\text{C}$



Hình 4.27: Thời gian trễ lan truyền đọc dữ liệu từ thấp lên cao ở nhiệt độ 80°C

Thời gian trễ lan truyền $t_{\text{pdr}} = 2.75506 \text{ ps}$ khi tín hiệu ngõ ra tăng từ thấp lên cao ở nhiệt độ 80°C , được thể hiện như hình 4.27.



Hình 4.28: Thời gian trễ lan truyền đọc dữ liệu từ cao xuống thấp ở nhiệt độ 80°C

Thời gian trễ lan truyền $t_{\text{pdf}} = 2.60173 \text{ ps}$ khi tín hiệu ngõ ra giảm từ cao xuống thấp ở nhiệt độ 80°C , được thể hiện như hình 4.28.

Từ công thức (2.3), ta có thể tính được thời gian trễ lan truyền $t_{\text{pd}} = 2.6784 \text{ ps}$ ở nhiệt độ môi trường là 80°C .

4.4 CÔNG SUẤT

Ở phần này, nhóm sinh viên sẽ thực hiện mô phỏng, tính toán công suất trung bình dựa theo hai yếu tố: nhiệt độ và điện áp cung cấp như đã đề cập ở phần 4.3.

Nhằm khảo sát được cả công suất động và công suất tĩnh trong ô nhớ SRAM 10T, nhóm thực hiện thiết lập những thông số mô phỏng như sau:

Bảng 4.2: Thông số mô phỏng của tín hiệu WL

| | |
|------------|------|
| Voltage 1 | 0 |
| Voltage 2 | 1 |
| Period | 600n |
| Delay time | |
| Rise time | 10p |
| Fall time | 10p |

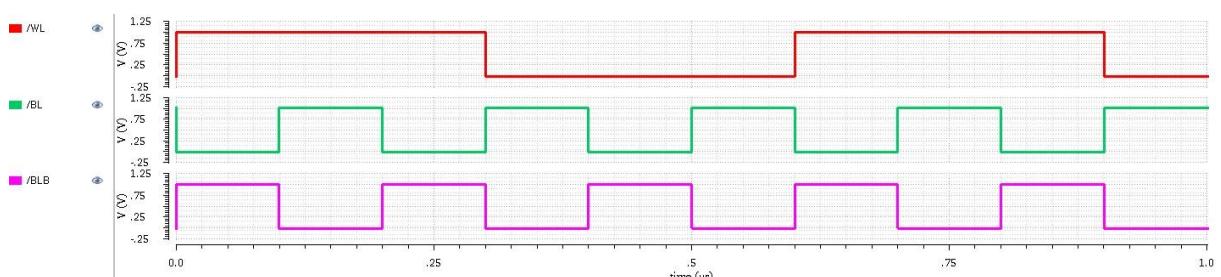
Bảng 4.3: Thông số mô phỏng của tín hiệu BL

| | |
|------------|------|
| Voltage 1 | 1 |
| Voltage 2 | 0 |
| Period | 200n |
| Delay time | |
| Rise time | 10p |
| Fall time | 10p |

Bảng 4.4: Thông số mô phỏng của tín hiệu BLB

| | |
|------------|------|
| Voltage 1 | 0 |
| Voltage 2 | 1 |
| Period | 200n |
| Delay time | |
| Rise time | 10p |
| Fall time | 10p |

Từ những thông số mô phỏng trên, ta có dạng sóng mô phỏng WL, BL, BLB như hình 4.29:



Hình 4.29: Dạng sóng mô phỏng WL, BL, BLB

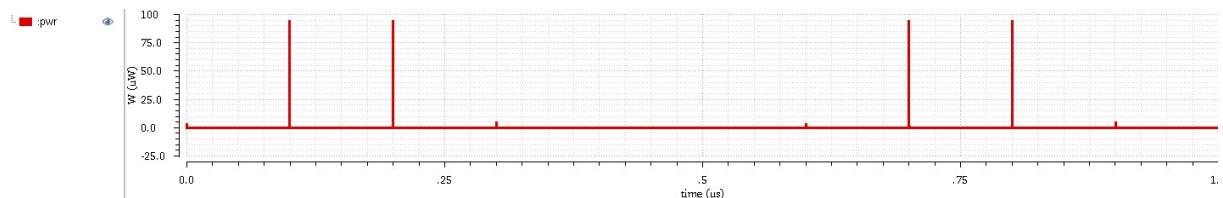
Khi $WL = 1$, ô nhớ SRAM 10T đang ở trong chế độ hoạt động (đọc hoặc ghi) cho nên ở trạng thái này, công suất tiêu thụ là công suất động. Ngược lại khi $WL = 0$, ô

nhớ đang trong quá trình giữ dữ liệu cho nên ở trạng thái này, công suất tiêu thụ là công suất tĩnh.

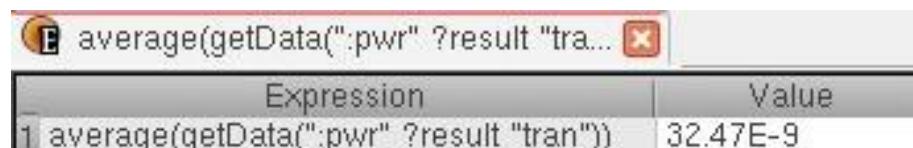
4.4.1 Công suất với sự biến thiên của điện áp cung cấp

Ở phần này, nhóm tiến hành khảo sát sự ảnh hưởng của điện áp cung cấp đối với công suất. Nhóm giữ nguyên một mức nhiệt độ ($T = 27^\circ\text{C}$), chỉ thay đổi điện áp cung cấp (V_{DD}) :

- $V_{DD} = 0.8\text{V}$



Hình 4.30: Mô phỏng công suất tức thời với điện áp 0.8V



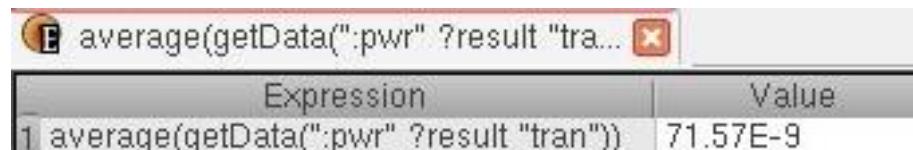
Hình 4.31: Công suất trung bình với điện áp 0.8V

Hình 4.30 mô phỏng công suất tức thời với điện áp 0.8V từ đó ta tính được công suất trung bình của ô nhớ SRAM 10T với điện áp 0.8V là $32.47\text{E-9 W} \approx 32.57\text{ nW}$, thể hiện như hình 4.31.

- $V_{DD} = 1\text{V}$



Hình 4.32: Mô phỏng công suất tức thời với điện áp 1V



Hình 4.33: Công suất trung bình với điện áp 1V

Hình 4.32 mô phỏng công suất tức thời với điện áp 1V từ đó ta tính được công suất trung bình của ô nhớ SRAM 10T với điện áp 1V là $71.57E-9$ W \approx 71.76 nW, thể hiện như hình 4.33.

- $V_{DD} = 1.2V$



Hình 4.34: Mô phỏng công suất tức thời với điện áp 1.2V

| Expression | Value |
|---|----------|
| 1 average(getData(":pwr" ?result "tran")) | 148.8E-9 |

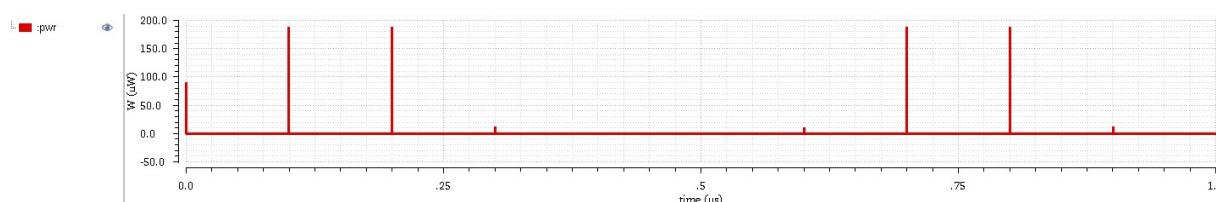
Hình 4.35: Công suất trung bình với điện áp 1.2V

Hình 4.34 mô phỏng công suất tức thời với điện áp 1.2V từ đó ta tính được công suất trung bình của ô nhớ SRAM 10T với điện áp 1.2V là $148.8E-9$ W \approx 148.9 nW, thể hiện như hình 4.35.

4.4.2 Công suất với sự biến thiên của nhiệt độ môi trường

Ở phần này, nhóm tiến hành khảo sát sự ảnh hưởng của nhiệt độ môi trường đối với công suất. Nhóm giữ nguyên một mức điện áp ($V_{DD} = 1$), chỉ thay đổi nhiệt độ môi trường (T) :

- $T = 10^{\circ}\text{C}$



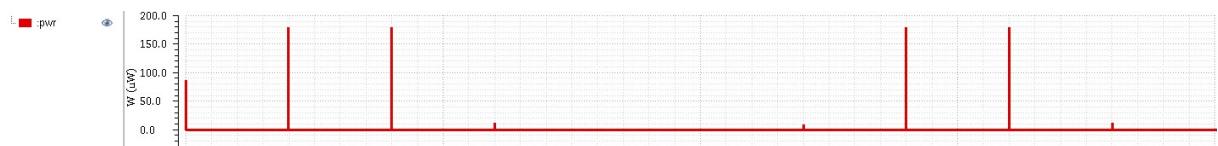
Hình 4.36: Mô phỏng công suất tức thời ở nhiệt độ 10°C

| Expression | Value |
|---|----------|
| 1 average(getData(":pwr" ?result "tran")) | 58.50E-9 |

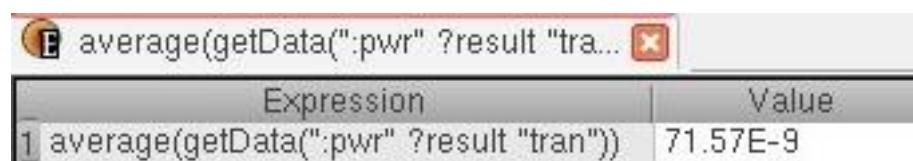
Hình 4.37: Công suất trung bình ở nhiệt độ 10°C

Hình 4.36 mô phỏng công suất tức thời ở nhiệt độ 10°C từ đó ta tính được công suất trung bình của ô nhớ SRAM 10T ở nhiệt độ 10°C là $58.50E-9$ W \approx 58.75 nW, thể hiện như hình 4.37.

- $T = 27^\circ\text{C}$



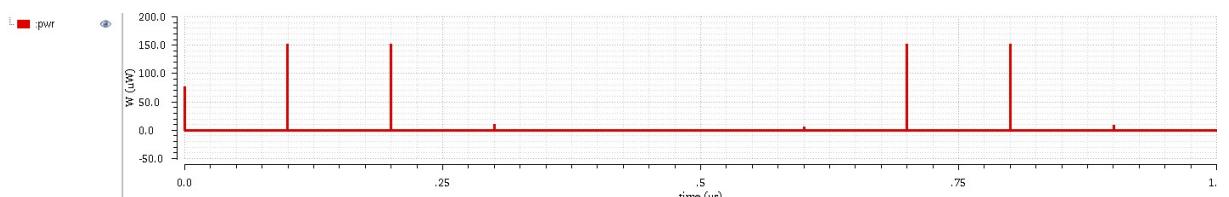
Hình 4.38: Mô phỏng công suất tức thời ở nhiệt độ 27°C



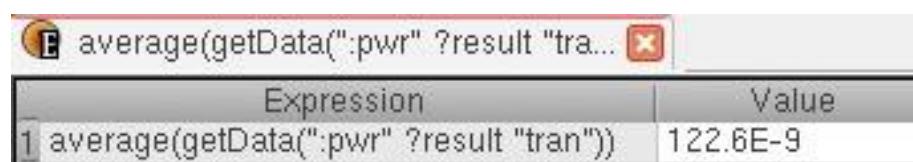
Hình 4.39: Công suất trung bình ở nhiệt độ 27°C

Hình 4.38 mô phỏng công suất tức thời ở nhiệt độ 27°C từ đó ta tính được công suất trung bình của ô nhớ SRAM 10T ở nhiệt độ 27°C là $71.57E-9$ W \approx 71.76 nW, thể hiện như hình 4.38.

- $T = 80^\circ\text{C}$



Hình 4.40: Mô phỏng công suất tức thời ở nhiệt độ 80°C



Hình 4.41: Công suất trung bình ở nhiệt độ 80°C

Hình 4.40 mô phỏng công suất tức thời ở nhiệt độ 80°C từ đó ta tính được công suất trung bình của ô nhớ SRAM 10T ở nhiệt độ 80°C là $122.6E-9$ W \approx 123.1 nW, thể hiện như hình 4.41.

Nhận xét: Thông qua hình 4.6 và 4.7, công suất tiêu thụ của ô nhớ SRAM 10T có công suất tĩnh khá thấp còn phần lớn là đến từ công suất động. Trong đó, công suất động chủ yếu đến từ hoạt động chuyển mạch của ô nhớ.

4.5 ĐÁNH GIÁ KẾT QUẢ MÔ PHỎNG

Xem xét sự thay đổi của thời gian trễ lan truyền và công suất trung bình khi điện áp cung cấp được thay đổi 0.8V, 1V và 1.2V ở tại nhiệt độ môi trường 27°C trong bảng 4.5.

Bảng 4.5: Hiệu suất của ô nhớ SRAM 10T đối với sự biến thiên của điện áp cung cấp

| Điện áp cung cấp | Thời gian trễ lan truyền | | Công suất trung bình |
|------------------|--------------------------|------------|----------------------|
| | Chế độ ghi | Chế độ đọc | |
| 0.8V | 18.20733ps | 3.30903ps | 32.57nW |
| 1V | 14.05133ps | 2.17211ps | 71.76nW |
| 1.2V | 11.93032ps | 1.74308ps | 148.9nW |

Khi tăng điện áp cung cấp, tốc độ hoạt động của ô nhớ SRAM 10T nhanh hơn, điều này có thể thấy thông qua thời gian trễ lan truyền ở chế độ ghi và chế độ đọc. Như vậy, ta có thể tăng tốc độ hoạt động của mạch bằng cách cung cấp điện áp cung cấp lớn. Nhưng ngược lại đối với công suất trung bình, nó tiêu tốn công suất nhiều hơn. Với mong muốn cân bằng tối ưu giữa thời gian trễ lan truyền và công suất trung bình, cần lựa chọn giá trị điện áp cung cấp phù hợp để ô nhớ SRAM 10T có thể hoạt động với tốc độ nhanh nhưng vẫn không tiêu tốn quá nhiều công suất trung bình.

Xem xét sự thay đổi của thời gian trễ lan truyền và công suất trung bình khi nhiệt độ môi trường thay đổi 10°C, 27°C và 80°C với mức điện áp cung cấp là 1V trong bảng 4.6.

Bảng 4.6: Hiệu suất của ô nhớ SRAM 10T đối với sự biến thiên của nhiệt độ môi trường

| Nhiệt độ môi trường | Thời gian trễ lan truyền | | Công suất trung bình |
|---------------------|--------------------------|------------|----------------------|
| | Chế độ ghi | Chế độ đọc | |
| 10°C | 13.21232ps | 2.00876ps | 58.75nW |
| 27°C | 14.05133ps | 2.17211ps | 71.76nW |
| 80°C | 16.95523ps | 2.6784ps | 123.1nW |

Thời gian trễ lan truyền ở chế độ ghi/đọc và công suất trung bình đều bị ảnh hưởng bởi nhiệt độ. Nhiệt độ càng cao sẽ làm cho hoạt động của ô nhớ SRAM 10T giảm đi đồng thời tiêu hao công suất. Để giúp cho ô nhớ có thể hoạt động ổn định và công suất thấp cần giữ nhiệt độ môi trường hoạt động không quá cao. Khi nhiệt độ môi trường thấp hơn nhiệt độ môi trường thông thường 27°C có thể thấy rằng chế độ ghi và chế độ đọc có thời gian trễ lan truyền tốt hơn, công suất trung bình cũng giảm hơn.

Thông qua đánh giá này, nhằm tối ưu hoạt động của ô nhớ SRAM 10T có thể xem xét đến điện áp cung cấp và nhiệt độ môi trường để thiết kế có thể được hoạt động tốt nhất, công suất thấp.

CHƯƠNG 5: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

5.1 KẾT LUẬN

Trong khi hoàn thành đề tài “Thiết kế ô nhớ SRAM 10T dùng cổng đảo Schmitt Trigger”, nhóm sinh viên đã nghiên cứu nhiều bài báo khoa học khác nhau liên quan đến các chủ đề về SRAM và CMOS. Nhóm đã thực hiện được những mục tiêu đã đặt ra, sử dụng cặp cổng đảo Schmitt Trigger thay thế cho cặp cổng đảo tiêu chuẩn và thu lại được một ô nhớ SRAM 10T có khả năng chống nhiễu tốt, tín hiệu ổn định, tốc độ chuyển mạch nhanh, thời gian trễ thấp, công suất thấp.

Nhóm cũng tiến hành tối ưu hóa hoạt động của ô nhớ bằng cách khảo sát sự ảnh hưởng của ô nhớ đối với điện áp cung cấp và nhiệt độ môi trường. Qua đó, xác định được mức điện áp cung cấp cũng như nhiệt độ môi trường tối ưu nhất cho hoạt động của ô nhớ SRAM 10T.

Bên cạnh những điều đã đạt được thì đề tài có một số hạn chế như chưa có sự so sánh về thời gian trễ lan truyền, công suất trung bình giữa SRAM sử dụng cổng đảo tiêu chuẩn (6T và 8T) và ô nhớ SRAM 10T sử dụng cổng đảo Schmitt Trigger cũng như với các loại SRAM khác.Thêm vào đó, đề tài chỉ đưa ra những kết quả dựa theo phần mềm mô phỏng, thiếu tính xác thực từ thực tế.

5.2 HƯỚNG PHÁT TRIỂN

Sau khi thực hiện đề tài Thiết kế ô nhớ SRAM 10T dùng cổng đảo Schmitt Trigger”, nhóm sinh viên thấy được sự ảnh hưởng nghiêm trọng của nhiệt độ môi trường đối với hiệu suất làm việc của ô nhớ. Qua đó, nhóm đề xuất phương án giảm sự tỏa nhiệt từ ô nhớ giúp hạn chế được sự gia tăng nhiệt độ môi trường hoạt động của ô nhớ SRAM luôn được ở mức thấp.

Bên cạnh đó, SRAM 10T với việc sử dụng cặp cổng đảo Schmitt Trigger thay cho cặp cổng đảo tiêu chuẩn đã mang lại những kết quả tích cực hơn. Nhưng cổng đảo Schmitt Trigger vẫn chưa thực sự lý tưởng, nên chúng ta có thể tối ưu hơn hoạt động của ô nhớ bằng cách nâng cấp cặp cổng đảo Schmitt Trigger.

TÀI LIỆU THAM KHẢO

- [1] Wenbin Liu, Jinhui Wang và cộng sự, “*Design and test of an SRAM chip*”, 2013 IEEE 10th International Conference on ASIC, 2013.
- [2] Neil H. E. Weste, David Money Harris, "CMOS VLSI Design A Circuits and Systems Perspective", xuất bản lần thứ 4, Macquarie University and The University of Adelaide, Harvey Mudd College
- [3] R Rohith Kumar Reddy, N Ramanjaneyulu, “*High Performance CMOS Schmitt Trigger*”, IJERA - International Journal of Engineering Research and Applications, Tập 2, Số 4, 08/2016
- [4] Jaydeep P. Kulkarni, Keejong Ki và cộng sự, “*A 160 mV, Fully Differential, Robust Schmitt Trigger Based Sub-threshold SRAM*”, Proceedings of the 2007 International Symposium on Low Power Electronics and Design (ISLPED '07), 2007
- [5] Ashish Sachdeva, V.K. Tomar, “*Statistical Stability Characterization of Schmitt Trigger Based 10-T SRAM Cell Design*”, 2020 7th International Conference on Signal Processing and Integrated Networks (SPIN), 2020
- [6] Debasis Mukherjee, Hemanta Kr. Mondal và cộng sự, “*Static Noise Margin Analysis of SRAM Cell for High Speed Application*”, IJCSI International Journal of Computer Science Issues, Tập 7, Số 5, 09/2010
- [7] Abhishek Agal, Pardeep và cộng sự, “*6T SRAM Cell: Design and Analysis*”, IJERA - International Journal of Engineering Research and Applications, Tập 4, Số 3, 03/2014
- [8] Lingam Rajesh, Santosh J, “*Design and Power Analysis of 8T SRAM Cell Using Charge Sharing Technique*”, International Journal of Innovative Research in Electronics and Communications (IJIREC), Tập 3, Số 1, trang 20-26, 01/2016
- [9] Nam Sung Kim, Todd Austin và cộng sự, “*Leakage current: Moore's law meets static power*”, Computer, Tập 36, Số 12, trang 68-75, 12/2003