

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP.HỒ CHÍ MINH

KHOA ĐIỆN - ĐIỆN TỬ



HCMUTE

ĐỒ ÁN 2

Đề tài: THIẾT KẾ VÀ LAYOUT SRAM6T

MÃ SỐ LỚP HP: SEPR415964

GVHD: Th.S Trần Thị Huỳnh Như

SINH VIÊN THỰC HIỆN:

Phạm Văn Tuấn 20119385

Đinh Kim Hoàng 20119340

HỌC KỲ: 1 – NĂM HỌC: 2023-2024

TP.HỒ CHÍ MINH – NGÀY 11 THÁNG 12 NĂM 2023

NHẬN XÉT CỦA GIÁO VIÊN HƯỚNG DẪN

Họ và tên sinh viên: Phạm Văn Tuấn 20119385

Đinh Kim Hoàng 20119340

Tên đề tài: THIẾT KẾ VÀ LAYOUT SRAM6T

Giáo viên hướng dẫn:

NHẬN XÉT

Ngày 11 tháng 12 năm 2023

Giảng viên chấm điểm

Th.S Trần Thị Huỳnh Như

LỜI CẢM ƠN

Trong thời gian từ khi bắt đầu làm đồ án cho tới nay, chúng tôi đã may mắn nhận được sự quan tâm, chỉ bảo và giúp đỡ từ nhiều người trong hành trình này. Đầu tiên, chúng tôi muốn bày tỏ lòng biết ơn chân thành đến cô Trần Thị Quỳnh Như - giảng viên phụ trách hướng dẫn đồ án 2. Thầy đã luôn tận tâm, nhiệt tình chỉ dẫn chúng tôi về cách thực hiện một đồ án hoàn chỉnh và góp ý xây dựng để giúp chúng tôi hoàn thiện kỹ năng của mình. Với những tài liệu và các giải thích rõ ràng, cô Như đã là người huấn luyện mạnh mẽ, đồng hành cùng chúng tôi trên con đường học tập và nghiên cứu. Không chỉ riêng cô Như, chúng tôi cũng xin bày tỏ lòng biết ơn đến những bạn của chúng tôi. Nhóm đã nhận được sự hỗ trợ đắc lực từ các bạn để có thể tìm hiểu sâu hơn và hoàn thiện những thiết kế trong đồ án. Mỗi sự đóng góp nhỏ bé từ bạn bè đều giúp tinh thần của chúng tôi được tăng cường và động lực hoàn thành đồ án cao hơn. Bên cạnh đó, chúng tôi cũng muốn cảm ơn ban giám hiệu trường Đại học Sư phạm kỹ thuật thành phố Hồ Chí Minh vì sự giúp đỡ to lớn của họ. Hệ thống thư viện trực tuyến đa dạng và cơ sở vật chất tuyệt vời đã giúp chúng tôi thuận tiện hơn trong việc tìm kiếm thông tin và tìm hiểu kỹ một số khía cạnh của đồ án của chúng tôi.

Cuối cùng, chúng tôi xin lưu ý rằng đây là đồ án được hợp tác giữa 2 người trong nhóm của chúng tôi vì thế đôi lúc sẽ không có sự đồng nhất. Những sai sót và khó khăn để hoàn thiện đều đã có, nhưng nhờ cả thầy và bạn bè mà chúng tôi đã vượt qua được. Chúng tôi hy vọng rằng ý kiến đóng góp từ quý thầy sẽ giúp đội ngũ tư vấn và chúng tôi hoàn thiện thêm nhiều kỹ năng để cải thiện những đồ án trong tương lai. Một lần nữa, chúng tôi muốn bày tỏ lòng biết ơn chân thành đến thầy cô, bạn bè, và ngôi trường đã hỗ trợ và tạo điều kiện cho chúng tôi.

MỤC LỤC

DANH MỤC CÁC CHỮ VIẾT TẮT	1
DANH MỤC HÌNH	3
PHẦN MỞ ĐẦU	8
1. Lý do chọn đề tài	8
2. Tình hình nghiên cứu	9
3. Mục tiêu nghiên cứu	9
4. Đối tượng nghiên cứu	9
5. Phương pháp nghiên cứu	9
6. Phạm vi nghiên cứu	10
7. Bố cục	10
PHẦN NỘI DUNG	11
CHƯƠNG 1: CƠ SỞ LÝ THUYẾT	11
1.1. Tổng quan về bộ nhớ bán dẫn	11
1.2. Tổng quan về SRAM	15
1.2.1. Kiến trúc ô nhớ và nguyên lý hoạt động	17
1.2.2. Cấu tạo và nguyên lí hoạt động của các khối bên trong SRAM6T	18
1.2.2.1. Ô nhớ (Cell Memory) của SRAM 6T	18
1.2.2.2. Mạch nạp trước (Pre-charge) của SRAM 6T	21
1.2.2.3. Mạch ghi (Write Driver) của SRAM 6T	23
1.2.2.4. Mạch khuếch đại cảm nhận (Sense amplifier) của SRAM 6T	26
1.2.2.4. Mạch giải mã hàng (Decoder)	28
CHƯƠNG 2: THIẾT KẾ LAYOUT VÀ KIỂM TRA CÁC KHỐI CỦA SRAM6T	30
2.1. Ô nhớ (Cell Memory)	33
2.1.1. Thiết kế mạch nguyên lý và đóng gói ô nhớ (Cell Memory)	33
2.1.2. Layout và kiểm tra ô nhớ (Cell Memory)	35
2.1.2.1. Layout ô nhớ	35

2.1.2.2. Kiểm tra layout ô nhớ	37
2.1.3. Tối ưu hóa diện tích của ô nhớ (Cell Memory)	41
2.2. Mạch nạp trước (Pre-Charge).....	45
2.2.1. Thiết kế mạch nguyên lý và đóng gói mạch nạp trước (Pre-Charge)	45
2.2.2. Layout và kiểm tra mạch nạp trước (Pre_charge)	46
2.2.2.1. Layout mạch nạp trước	46
2.2.2.2. Kiểm tra layout mạch nạp trước	48
2.2.3. Tối ưu hóa diện tích của mạch nạp trước (Pre_Charge)	51
2.3. Mạch ghi dữ liệu (Write Driver).....	54
2.3.1.Thiết kế mạch nguyên lý và đóng gói mạch ghi dữ liệu ..	54
2.3.2. Layout và kiểm tra mạch ghi dữ liệu (Write Driver).....	55
2.3.2.1.Layout mạch ghi dữ liệu	55
2.3.2.2. Kiểm tra layout mạch ghi dữ liệu	57
2.3.3. Tối ưu hóa diện tích của mạch ghi dữ liệu (Write Driver)	59
2.4. Mạch khuếch đại cảm nhận (Sense Amplifier)	62
2.4.1. Thiết kế mạch nguyên lý và đóng gói mạch khuếch đại cảm nhận	62
2.4.2. Layout và kiểm tra mạch khuếch đại cảm nhận	64
2.4.2.1. Layout của mạch khuếch đại và cảm nhận	64
2.4.2.2. Kiểm tra layout của mạch khuếch đại và cảm nhận.	67
2.4.3. Tối ưu hóa diện tích mạch khuếch đại và cảm nhận.	70
2.5. Mạch giải mã	73
2.5.1. Thiết kế mạch nguyên lý và đóng gói mạch giải mã.	73
2.5.2. Layout và kiểm tra mạch giải mã.	75
2.5.2.1 Layout mạch giải mã	75
2.5.2.2. Kiểm tra layout mạch giải mã dữ liệu	77
2.5.3. Tối ưu hóa diện tích của mạch giải mã 4 sang 16.	80
2.6. Mạch điều khiển (Control Driver)	83
2.6.1.Thiết kế mạch nguyên lý và đóng gói mạch điều khiển ...	83
2.6.2. Layout và kiểm tra mạch điều khiển (Control Driver)	84

2.6.2.1. Layout mạch điều khiển	84
2.6.2.2. Kiểm tra layout mạch điều khiển	86
2.6.3. Tối ưu hóa diện tích của mạch ghi điều khiển (Control Driver)	88
CHƯƠNG 3: THỰC HIỆN GHÉP NỐI SRAM 6T HOÀN THIỆN	92
3.1 SRAM 6T 1 bit	92
3.1.1. Thiết kế mạch SRAM 1 bit	92
3.1.2. Layout và kiểm tra SRAM6T 1bit	93
3.1.2.1. Layout SRAM6T 1 bit	93
3.1.2.2. Kiểm tra layout mạch SRAM 6T 1bit	95
3.2. SRAM6T 16x16 BIT	98
3.2.1. Thiết kế mạch của SRAM6T 256 bit	98
3.2.2. Layout và kiểm tra của SRAM6T 256 bit	100
3.2.2.1 Layout của SRAM6T 256 bit	100
3.2.2.2. Kiểm tra layout mạch SRAM 6T 1bit	105
3.2.3. Tối ưu hóa thiết kế layout SRAM6T 256 bit	108
CHƯƠNG 4: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN	112
TÀI LIỆU THAM KHẢO	113

DANH MỤC CÁC CHỮ VIẾT TẮT

Ký hiệu viết tắt	Ý nghĩa
RAM	Random Access Memory
6T, 8T, 10T	6 Transistor, 8 Transistor, 10 Transistor
SRAM	Static Random Access Memory
HDD	Hard Disk Drive
SSD	Solid-State Drive
BL	Bit Line
BLB	Bit Line Bar
WL	World Line
BJT	Bipolar Junction Transistor
CMOS	Complementary Metal-Oxide-Semiconductor
DRAM	Dynamic random-access memory
DRC	Design Rule Check
LVS	Layout Versus Schematic
PMOS	P-type metal-oxide-semiconductor logic
NMOS	N-type metal-oxide-semiconductor logic
VLSI	Very-large-scale integration
CPU	Central Processing Unit
VDD	Voltage Drain to Drain
VSS	Voltage Source of the Source
WE_EN	Write Enable
RE_EN	Read Enable

EN	Control pin of the decoder circuit
CLK	Clock Signal
PRE	PRE is the pin of the Precharge circuit
ROM	Read Only Memory
PROM	Programmable Read-Only Memory
EPROM	Erasable Programmable Read-Only Memory
TSMC	Taiwan Semiconductor Manufacturing Co., Ltd

DANH MỤC HÌNH

Hình 1.1: Cấu trúc đầy đủ của bộ nhớ bán dẫn [4].	12
Hình 1.2: Cấu trúc bộ nhớ phân cấp [4].	13
Hình 1.3: Phân loại bộ nhớ bán dẫn.	13
Hình 1.4: Hệ thống phân cấp bộ nhớ truyền thông [7].	15
Hình 1.5: Các khối cơ bản có trong SRAM [2].	17
Hình 1.6: Cấu tạo ô nhớ của SRAM 6T [2].	18
Hình 1.7: Bốn transistor được xem như 2 cổng NOT ngược chiều nhau.....	19
Hình 1.8: Đồ thị sự hoạt động của thiết kế 2 cổng NOT ngược nhau [8].	19
Hình 1.9: Dạng sóng hoạt động ghi/đọc dữ liệu trong trường hợp	21
thông thường và phát sinh lỗi [2].	21
Hình 1.10. Mạch nạp trước với 3 Transistor pMOS [8][9].	22
Hình 1.11: Một phần của mảng ô nhớ SRAM với các mạch nạp trước	23
Hình 1.12: Cấu tạo của mạch ghi.	24
Hình 1.13: Cấu tạo mạch khuếch đại cảm nhận.	26
Hình 1.14: Sơ đồ mạch giải mã bên trong SRAM [8].	28
Hình 1.15: Sơ đồ khối của mạch giải mã 2 sang 4	29
Hình 2.1: Mặt cắt biến tần với các tiếp điểm giêng và chất nền [10].	31
Hình 2.2: Quy tắc thiết kế dựa trên λ được đơn giản hóa [10].	33
Hình 2.3: Mạch đóng gói của SRAM6T (Sysbol).	34
Hình 2.4: Mạch nguyên lý của ô nhớ SRAM6T.	34
Hình 2.5: Mô hình layout được nhìn theo sơ đồ các pmos và nmos	36
Hình 2.6: Cấu tạo chi tiết layout ô nhớ 6T.	36
Hình 2.7: Một số kích thước thỏa quy luật DRC	38
Hình 2.8: File thông báo kết quả kiểm tra luật DRC của ô nhớ 6T.	39
Hình 2.9: Trạng thái sau khi kiểm tra hoàn tất bởi Cadence.	39
Hình 2.10: File thông báo kết quả kiểm tra luật LVS của ô nhớ 6T.	40
Hình 2.11: Sơ đồ sau khi tối ưu hóa diện tích của layout.	42
Hình 2.12: Sơ đồ chi tiết sau khi tối ưu hóa diện của layout.	43
Hình 2.13: Kết quả kiểm tra quy luật thiết kế DRC của ô nhớ.	44

Hình 2.14: Kết quả kiểm tra quy luật logic LVS của ô nhớ.....	44
Hình 2.15: Đóng gói của mạch nạp trước SRAM6T (Sysbol).....	45
Hình 2.16: Mạch nguyên lý của mạch trước SRAM6T.....	46
Hình 2.17: Mô hình layout được nhìn theo sơ đồ các pmos và nmos	47
Hình 2.18: Cấu tạo chi tiết layout mạch nạp trước của SRAM 6T.....	47
Hình 2.19: Một số kích thước thỏa quy luật DRC	48
Hình 2.20: File thông báo kết quả kiểm tra luật DRC của Layout Pre_Charge.	49
Hình 2.21: Trạng thái sau khi kiểm tra hoàn tất bởi Cadence.....	49
Hình 2.22: File thông báo kết quả kiểm tra luật LVS của mạch Pre_Charge...	50
Hình 2.23: Trạng thái sau khi kiểm tra hoàn tất bởi Cadence.....	51
Hình 2.24: Sơ đồ sau khi tối ưu hóa diện tích của layout.....	52
Hình 2.25: Sơ đồ chi tiết sau khi tối ưu hóa diện của layout.....	52
Hình 2.26: Kết quả kiểm tra quy luật thiết kế DRC của mạch Pre_Charge.....	53
Hình 2.27: Kết quả kiểm tra quy luật logic LVS của mạch Pre_Charge.....	53
Hình 2.28: Symbol của mạch ghi trong SRAM 6T	54
Hình 2.29: Cấu tạo chi tiết của mạch ghi trong SRAM 6T	55
Hình 2.31: Cấu tạo chi tiết layout mạch ghi dữ liệu.....	56
Hình 2.32: Một số kích thước thỏa quy luật DRC	57
Hình 2.33: Kết quả kiểm tra quy luật thiết kế DRC của mạch ghi dữ liệu.....	58
Hình 2.34: Kết quả kiểm tra luật LVS của mạch ghi dữ liệu.....	59
Hình 2.35: Sơ đồ sau khi tối ưu hóa diện tích layout của mạch ghi dữ liệu....	59
Hình 2.36: Sơ đồ chi tiết sau khi tối ưu hóa diện layout của mạch ghi	60
Hình 2.37: Kết quả kiểm tra DRC của mạch ghi khi đã tối ưu hóa.....	61
Hình 2.38: Kết quả kiểm tra LVS của mạch ghi khi đã tối ưu hóa.....	61
Hình 2.39: Cấu tạo chi tiết bên trong bộ đệm.....	62
Hình 2.40: Mạch đóng gói của bộ đệm.....	62
Hình 2.41: Cấu tạo chi tiết của mạch ghép kênh 2 sang 1.....	63
Hình 2.42: Mạch đóng gói của bộ ghép kênh 2 sang 1.....	63
Hình 2.43: Cấu tạo chi tiết của mạch khêch đại và cảm nhận	64
Hình 2.44: Mạch đóng gói của mạch khêch đại và cảm nhận	64

Hình 2.45. Layout tối ưu hóa của bộ đệm được nhìn theo sơ đồ các pmos và nmos.....	65
Hình 2.46 Cấu tạo chi tiết của bộ đệm khi đã tối ưu hóa.....	65
Hình 2.47. Layout tối ưu hóa của mạch ghép kênh 2 sang 1 được nhìn theo sơ đồ các pmos và nmos.....	66
Hình 2.48.Cấu tạo chi tiết của bộ đệm khi đã tối ưu hóa.....	66
Hình 2.49: Mô hình layout của mạch khuếch đại và cảm nhận được nhìn theo sơ đồ các pmos và nmos.....	67
Hình 2.50: Cấu tạo chi tiết layout của mạch khuếch đại và cảm nhận.....	67
Hình 2.51: Một số kích thước thỏa quy luật DRC	68
Hình 2.52: Kết quả kiểm tra quy luật thiết kế DRC của mạch khuếch đại và cảm nhận	69
Hình 2.53: Kết quả kiểm tra luật LVS của mạch khuếch đại và cảm nhận.....	70
Hình 2.54: Sơ đồ sau khi tối ưu hóa diện tích layout của mạch khuếch đại và cảm nhận	70
Hình 2.55: Sơ đồ chi tiết sau khi tối ưu hóa diện layout của khuếch đại và cảm nhận	71
Hình 2.56: Kết quả kiểm tra quy luật thiết kế DRC của mạch khuếch đại và cảm nhận khi đã tối ưu hóa.....	72
Hình 2.57: Kết quả kiểm tra quy luật thiết kế LVS của khuếch đại và cảm nhận khi đã tối ưu hóa.....	72
Hình 2.58: Symbol của mạch giải mã trong SRAM6T	73
Hình 2.59: Cấu tạo chi tiết của mạch giải mã 2 sang 4.....	74
Hình 2.60: Cấu tạo chi tiết của mạch giải mã 4 sang 16.....	74
Hình 2.61: Mô hình layout được theo sơ đồ các pmos và nmos.....	75
Hình 2.62: Cấu tạo chi tiết layout của mạch giải mã 2 sang 4.....	76
Hình 2.63: Một số kích thước thỏa quy luật DRC	77
Hình 2.64: Kết quả kiểm tra quy luật thiết kế DRC của mạch giải mã 2 sang 4.	78
Hình 2.65: Kết quả thông báo của phần mềm khi thực hiện kiểm tra DRC	79
Hình 2.66: Kết quả kiểm tra luật LVS của mạch ghi dữ liệu.....	80
Hình 2.67: Sơ đồ sau khi tối ưu hóa layout của mạch giải mã 4 sang 16.....	80

Hình 2.68: Sơ đồ chi tiết sau khi tối ưu hóa mạch giải mã 4 sang 16.....	81
Hình 2.69: Kết quả kiểm tra quy luật thiết kế DRC của mạch giải mã 4 sang 16 khi đã tối ưu hóa.....	82
Hình 2.70: Kết quả kiểm tra quy luật thiết kế LVS của mạch mạch giải mã 4 sang 16 khi đã tối ưu hóa.....	82
Hình 2.71: Symbol của mạch điều khiển trong SRAM 6T	83
Hình 2.72: Cấu tạo chi tiết của mạch điều khiển trong SRAM 6T	84
Hình 2.73: Mô hình layout được theo sơ đồ các pmos và nmos.....	84
Hình 2.74: Cấu tạo chi tiết layout mạch ghi dữ liệu.....	85
Hình 2.75: Một số kích thước thỏa quy luật DRC	86
Hình 2.76: Kết quả kiểm tra quy luật thiết kế DRC của mạch điều khiển.....	87
Hình 2.77: Kết quả kiểm tra luật LVS của mạch điều khiển.....	88
Hình 2.78: Sơ đồ sau khi tối ưu hóa diện tích layout của mạch điều khiển.....	89
Hình 2.79: Sơ đồ chi tiết sau khi tối ưu hóa diện layout của điều khiển.....	90
Hình 2.80: Kết quả kiểm tra DRC của mạch ghi khi đã tối ưu hóa.....	91
Hình 2.81: Kết quả kiểm tra LVS của mạch ghi khi đã tối ưu hóa.....	91
Hình 3.1: Mạch nguyên lý 1bit của SRAM 6T.....	92
Hình 3.3: Cấu tạo chi tiết layout của 1 bit SRAM 6T.....	94
Hình 3.4: Một số kích thước thỏa quy luật DRC.....	95
Hình 3.5: Kết quả kiểm tra quy luật thiết kế DRC của 1bit SRAM 6T.....	96
Hình 3.6: Kết quả kiểm tra luật LVS của 1bit SRAM 6T.....	97
Hình 3.7: Mạch nguyên lý của SRAM6T tổng quát.....	98
Hình 3.8: Các PIN tín hiệu của SRAM6T.....	99
Hình 3.9: Xếp xếp của các khối nạp trước, ghi, giải mã và điều khiển.....	99
Hình 3.10: Vị trí của khối khuếch đại cảm nhận trong SRAM6T.....	100
Hình 3.11: Quá trình thực hiện kiểm tra phát sinh lỗi.....	101
Hình 3.12: Việc ghép nối đã được sửa lỗi xong.....	101
Hình 3.13: Thực hiện layout từng cột ô nhớ của SRAM6T.....	102
Hình 3.14: Thực hiện lắp ghép từng cell của SRAM6T.....	102
Hình 3.15: Thực hiện lắp ghép đường BL trong một cột ô nhớ.....	103
Hình 3.16: Thực hiện lắp ghép một đường WL của một hàng trong SRAM6T.	103

Hình 3.17: Thực hiện lắp ghép VSS của các khối.....	104
Hình 3.18: Mô hình layout được theo sơ đồ các pmos và nmos của SRAM6T.	104
Hình 3.19: Cấu tạo chi tiết layout của 1 bit SRAM 6T.....	105
Hình 3.20: Một số kích thước thỏa quy luật DRC.....	106
Hình 3.21: Kết quả kiểm tra quy luật thiết kế DRC của SRAM 6T 256 bit ..	107
Hình 3.22: Thông báo sau quá trình kiểm tra DRC của SRAM6T 256 bit....	107
Hình 3.23: Kết quả kiểm tra luật LVS của SRAM 6T 256 bit.....	108
Hình 3.24: Sơ đồ sau khi tối ưu hóa diện tích của layout của SRAM6T 256 bit.	109
Hình 3.25: Sơ đồ chi tiết sau khi tối ưu hóa diện của layout.....	110
Hình 3.26: Kết quả kiểm tra quy luật thiết kế DRC của ô nhớ.....	111
Hình 3.27: Kết quả kiểm tra quy luật logic LVS của ô nhớ.....	111

PHẦN MỞ ĐẦU

1. Lý do chọn đề tài

Hiện nay các thiết bị điện tử đã không ngừng được cải tiến và nâng cao giá trị của chúng nhằm phục vụ nhu cầu của con người một cách toàn diện. Đơn cử ta có thể nói đến chiếc máy tính đầu tiên được đưa vào vận hành với tên gọi ENIAC (Electronic Numerical Integrator and Calculator) với kích thước đồ sộ này đã chiếm hết căn phòng 6x12 m và cần đến 18,000 ống hút chân không, so với ngày nay một chiếc laptop hay một thiết bị điện thoại di động cũng có các chức năng vượt trội hơn so với máy tính đời đầu nhưng kích thước lại rất nhỏ. Để làm được điều này không thể phụ định sự giúp ích rất lớn của công nghệ bán dẫn.

lĩnh vực sản xuất vi mạch với những con chip có vẻ ngoài nhỏ bé nhưng có sức mạnh bên trong thì không nhỏ. Trải qua nhiều giai đoạn tích hợp các bóng bán dẫn trên cùng một diện tích nhỏ đã trở thành cuộc chạy đua ra mắt sản phẩm của các công ty công nghệ lớn như: Intel, Samsung, TSMC. Sự hình thành và phát triển của ngành nhúng và IoT đáp ứng hầu hết các ứng dụng đòi hỏi sự phức tạp và hiện đại trong lĩnh vực đời sống. Nhưng để các hệ thống hoạt động được chính xác, thì chúng cần được lập trình sẵn các chức năng bởi các dòng lệnh và được lưu trữ vào bộ nhớ được tạo ra từ mạch tích hợp. Nhắc đến lưu trữ thì cần phải nhắc đến ROM (Read Only Memory) và RAM (Random Access Memory).

Trong đồ án này nhóm chúng tôi quyết định chọn một nhánh được xuất phát từ RAM chính là SRAM để thực hiện nghiên cứu vì trong bối cảnh các thiết bị phần cứng khác trong hệ thống máy tính phát triển chóng mặt, SRAM là một trong những bộ nhớ được đầu tư, nghiên cứu và phát triển đáp ứng được yêu cầu về hiệu suất và chi phí sản xuất. Và cũng để tiếp bước đồ án một nơi chúng tôi làm về **ĐÁNH GIÁ VÀ SO SÁNH HIỆU NĂNG CỦA SRAM 6T** chúng tôi quyết định chọn đề tài **THIẾT KẾ VÀ LAYOUT SRAM 6T** để tiếp tục nghiên cứu và hoàn thiện các công động thiết kế của một SRAM 6T hoàn chỉnh.

2. Tình hình nghiên cứu

Trong [1] bài báo nói về thiết kế bộ nhớ Sram đồng bộ 32KB với kỹ thuật dự trữ hàng và cột. Kết hợp sơ đồ thiết kế cùng với các kỹ thuật như tự căn chỉnh thời gian, đa hợp và giải mã đa tầng, nên thiết kế đạt được hiệu suất cao về tốc độ và công suất. So sánh tốc độ truy xuất dữ liệu và công suất tiêu thụ của các kiến trúc SRAM khác nhau như 6T, 7T, 8T. Trong [2] bài báo nói về sự so sánh và phân tích các ưu điểm có được của thiết kế 8T so với thiết kế 6T được dùng cho các ô nhớ SRAM. Dựa ra phân tích, so sánh chi tiết về công suất và thời gian trễ với các điều kiện hoạt động khác nhau trong thiết kế. Trong [3] bài báo đã trình bày về thiết kế và phân tích hiệu suất của vi mạch với pentacene p-channel và fullerene n-channel OPDK trong Cadence CAD. Với p, n điện áp ngưỡng thay đổi làm cho việc trì hoãn tín hiệu bên trong CMOS thấp, cải thiện hiệu suất đọc/ghi của SRAM. Tuy nhiên, bài báo chưa so sánh hiệu suất đạt được cũng như là độ trì hoãn của SRAM cấu trúc tế bào so với các cấu trúc SRAM khác và cũng chưa trình bày rõ nguyên lý hoạt động đọc/ghi.

3. Mục tiêu nghiên cứu

Mục tiêu nghiên cứu của đề tài này là nghiên cứu, thiết kế và layout SRAM:

- Nghiên cứu về SRAM.
- Thực hiện thiết kế và layout SRAM6T.
- Tiến hành đánh giá kết quả.

4. Đối tượng nghiên cứu

Đối tượng nghiên cứu của đề tài này là các khối cấu thành nền SRAM6T và layout của các khối đó để tiến hành ghép nối hoàn chỉnh 1 SRAM6T.

5. Phương pháp nghiên cứu

Đề tài áp dụng các phương pháp nghiên cứu sau:

- Phương pháp phân tích và tổng hợp lý thuyết.
- Phương pháp logic.
- Phương pháp phân loại và hệ thống hóa lý thuyết.

- Nghiên cứu chi tiết, thiết kế, các mô hình mô phỏng, phương pháp đo đạc, thu thập và phân tích dữ liệu...

Ngoài ra, phần mềm Cadence được sử dụng trong quá trình thi công SRAM 6T cũng như kiểm tra kết quả.

6. Phạm vi nghiên cứu

Đề tài nghiên cứu dựa trên các kiến thức nền từ các tài liệu môn học như Kiến trúc máy tính, Kỹ thuật số, Thiết kế vi mạch tích hợp, Thiết kế vi mạch VLSI, Điện tử cơ bản, Tín hiệu hệ thống... và các bài báo khoa học liên quan đến SRAM.

7. Bô cục

Chương 1: Cơ sở lý thuyết. Ở chương này, chúng tôi thực hiện nói về cấu tạo và các thành phần trong một bộ nhớ SRAM, nêu lên cụ thể các lý thuyết có liên quan và giới thiệu về phần mềm Cadence được sử dụng để thực hiện đề tài này.

Chương 2: Thiết kế, layout và kiểm tra các khối. Ở chương này chúng tôi thực hiện thiết kế và vẽ layout cho từng khối cũng như tiến hành tối ưu hóa khoảng cách để tạo nên diện tích layout nhỏ nhất. Thực hiện kiểm tra các qui luật kết nối bằng phần mềm Cadence.

Chương 3: Thực hiện ghép nối SRAM 6T hoàn chỉnh. Ở chương này chúng tôi thực hiện ghép các khối đã thiết kế ở chương 2 để tạo thành một SRAM 6T hoàn chỉnh và thực hiện tối ưu hóa kích thước cũng như kiểm tra nó với phần mềm Cadence.

Chương 4: Kết luận và hướng phát triển. Trong chương này, chúng tôi thực hiện sẽ đưa ra các kết luận về đề tài với những thành quả đã làm và đạt được, bên cạnh đó sẽ nêu những mặt còn hạn chế so với mục tiêu đã đề ra và nêu lên hướng phát triển lớn hơn cho đề tài trong tương lai.

PHẦN NỘI DUNG

CHƯƠNG 1: CƠ SỞ LÝ THUYẾT

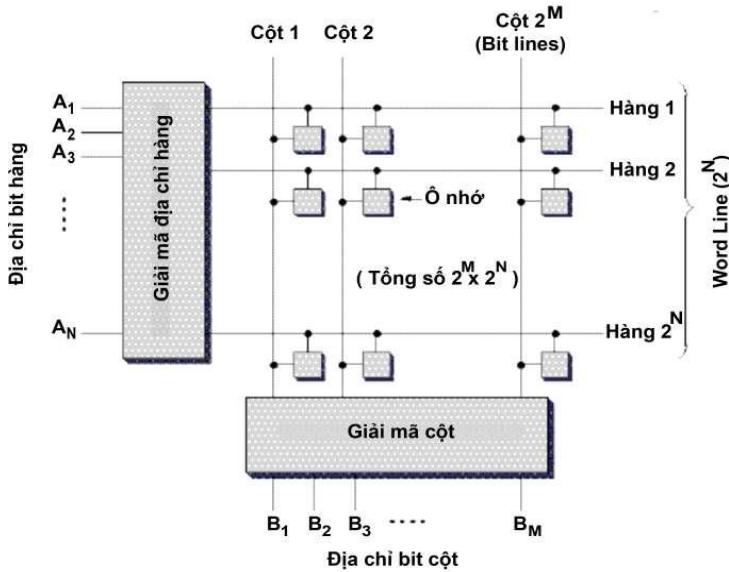
1.1. Tổng quan về bộ nhớ bán dẫn

Bộ nhớ bán dẫn là một loại bộ nhớ có thể lưu trữ dữ liệu bằng cách sử dụng các thiết bị bán dẫn. Các thiết bị bán dẫn này sử dụng các điện tử để lưu trữ dữ liệu ở dạng nhị phân, nghĩa là 0 hoặc 1. Thiết bị bán dẫn được sử dụng trong bộ nhớ bán dẫn có thể là bóng bán dẫn lưỡng cực (BJT), bóng bán dẫn trường hiệu ứng (FET), hoặc các thiết bị bán dẫn khác. Bộ nhớ bán dẫn sớm nhất có từ những năm 1960 với bộ nhớ lưỡng cực sử dụng bóng bán dẫn lưỡng cực. Bộ nhớ bán dẫn lưỡng cực làm từ các thiết bị rời rạc được Texas Instruments chuyển giao lần đầu tiên cho không quân Hoa Kỳ vào năm 1961. Về trạng thái rắn, bộ nhớ bán dẫn tích hợp được ứng dụng Bob Norman tại Fairchild Semiconductor. Bộ nhớ bán dẫn lưỡng cực đầu tiên là SP95 được IBM giới thiệu vào năm 1965. Bộ nhớ lưỡng cực cung cấp hiệu suất cải thiện hơn bộ nhớ lõi từ, nhưng nó không thể cạnh tranh với mức giá thấp hơn của bộ nhớ lõi từ. Bộ nhớ lưỡng cực không thể thay thế bộ nhớ lõi từ vì các mạch lật lưỡng cực quá lớn và đắt tiền.

Trải qua sự phát triển của nhiều năm, nhiều thập kỉ thì chúng ta đã quá quen thuộc với Flip-flops, một linh kiện điện tử có tính nhớ. Chúng ta cũng đã thấy một nhóm các FF họp thành thanh ghi để lưu trữ và dịch chuyển thông tin như thế nào. Các FF chính là các phần tử nhớ tốc độ cao được dùng rất nhiều trong việc điều hành bên trong máy tính, nơi mà dữ liệu dịch chuyển liên tục từ nơi này đến nơi khác. Tiến bộ trong công nghệ chế tạo LSI và VLSI cho phép kết hợp một lượng lớn FF trong một chip tạo thành các bộ nhớ với các dạng khác nhau. Những bộ nhớ bán dẫn với công nghệ chế tạo transistor lưỡng cực (BJT) và MOS là những bộ nhớ nhanh nhất và giá thành của nó liên tục giảm khi các công nghệ LSI và VLSI ngày càng được cải tiến.

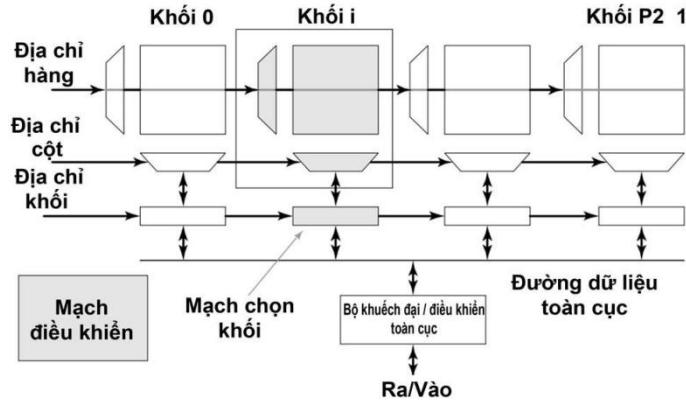
Mỗi ô nhớ trong bộ nhớ bán dẫn được gọi là 1 bit và mỗi ô nhớ này sẽ biểu thị một trạng thái duy nhất trong một trong một đơn vị thời gian là trạng thái 0 hoặc trạng thái 1. Để tạo thành một từ (word) hoặc một ký tự, chúng ta

cần sử dụng một nhóm ô nhớ. Các từ (word) này có thể được sử dụng để biểu diễn một lệnh hoặc dữ liệu nhị phân. Để truy cập một từ, chúng ta cần truy cập nhiều ô nhớ có địa chỉ khác nhau. Số lượng từ rất lớn, vì vậy việc truy cập vào các ô nhớ sẽ rất nhiều và phức tạp. Điều này sẽ dẫn đến sự gia tăng số lượng đường tín hiệu. Một giải pháp để giảm thiểu số lượng đường truy cập là sử dụng bộ giải mã hàng và bộ giải mã cột. Các bộ giải mã này sẽ giúp chọn đúng ô nhớ cần truy cập. Từ đó, cấu trúc đầy đủ của một bộ nhớ bán dẫn được hình thành như hình 1.1 bên dưới.



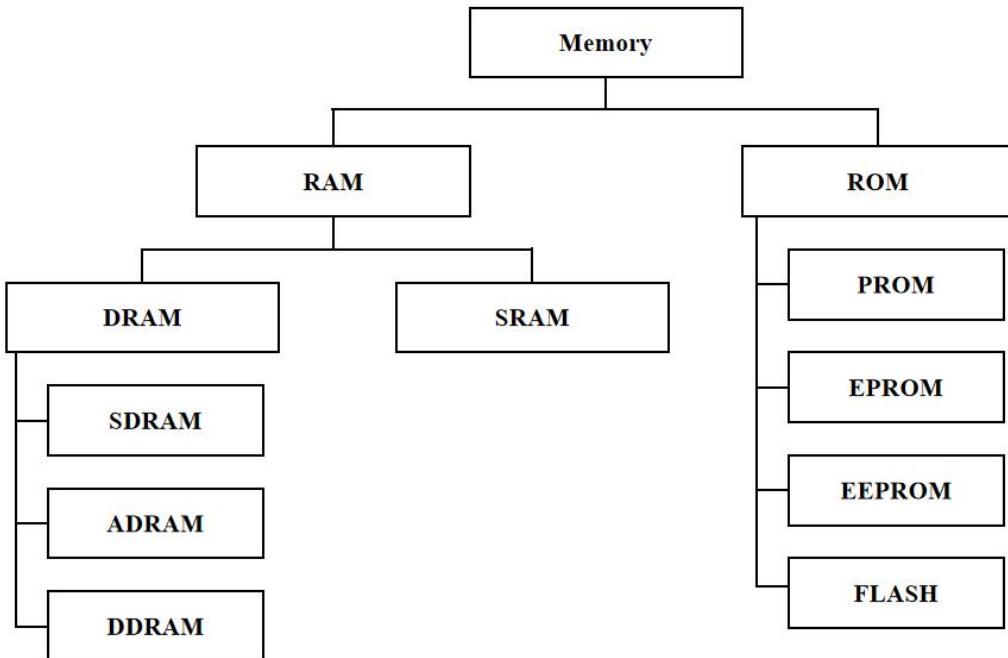
Hình 1.1: Cấu trúc đầy đủ của bộ nhớ bán dẫn [4].

Bộ nhớ sẽ có cấu trúc gồm nhiều hàng, mỗi hàng là một từ và trên mỗi từ đó sẽ có nhiều bit. Dung lượng bộ nhớ tăng lên thì chỉ có một chiều kích thước bộ nhớ được tăng, bởi chỉ có số từ được tăng trong khi số lượng bit trên mỗi từ là vẫn giữ nguyên. Điều này đã gây ra khó khăn cho việc tích hợp bộ nhớ. Bộ nhớ có hình dạng gần giống hình vuông sẽ tốt cho việc tích hợp bộ nhớ. Một giải pháp được đưa ra là ghép khối và giải mã địa chỉ theo hàng và cột như hình 2.2. Trong mỗi khối như vậy sẽ có các đường bit cục bộ. Các đường cục bộ của các khối sẽ được nối ra các đường bit toàn cục. Với cách làm như vậy, chiều dài dây nối đi trong mỗi khối sẽ ngắn hơn điều này giúp tránh quá tải trên đường BL. Để tiết kiệm được năng lượng do bởi mỗi lần giải mã địa chỉ, ta chỉ thao tác lên một khối [5].



Hình 1.2: Cấu trúc bộ nhớ phân cấp [4].

Từ cấu trúc chung và phân cấp bộ nhớ như trên chúng tôi có thể phân ra tất cả các loại bộ nhớ bán dẫn được mô tả như hình 1.3 bên dưới.



Hình 1.3: Phân loại bộ nhớ bán dẫn.

Cụ thể chức năng và cách sử dụng của các loại bộ nhớ bán dẫn lần lượt như sau:

RAM: là phần cứng trong thiết bị máy tính nơi lưu giữ hệ điều hành và là bộ nhớ chính trong máy tính và tốc độ đọc/ghi nhanh hơn nhiều so với các loại lưu trữ khác, chẳng hạn như HDD, SSD và ổ đĩa quang. Thông tin lưu trên RAM chỉ là tạm thời. Dữ liệu được giữ lại trong RAM khi máy tính đang bật, nhưng nó sẽ bị mất khi máy tính tắt. Khi máy tính được khởi động lại, hệ điều

hành và các tệp khác được tải lại vào RAM, thường là từ ổ cứng HDD hoặc SSD.

SRAM: là lưu giữ các bit dữ liệu trong bộ nhớ miễn là nguồn điện được cung cấp đầy đủ. Không giống như DRAM, lưu bit dữ liệu trong các pin chứa tụ điện và bóng bán dẫn, SRAM không cần phải làm tươi theo định kỳ. SRAM thường được sử dụng bên trong CPU vì tốc độ cao, SRAM cũng được sử dụng như bộ nhớ cache và bộ nhớ chính trong các máy chủ để có hiệu năng tốt nhất.

DRAM: là một loại bộ nhớ được sử dụng rộng rãi trên các hệ thống máy tính như là bộ nhớ chính. Xét về công suất, nó có thể đạt được 8GB cho mỗi chip trong IC

hiện đại.

ROM: là bộ nhớ chính của bất kỳ hệ thống máy tính nào cùng với RAM, nhưng không giống như RAM, trong ROM thông tin nhị phân được lưu trữ vĩnh viễn. Thông tin được lưu trữ này được cung cấp bởi nhà thiết kế và sau đó được lưu trữ bên trong

ROM. Sau khi được lưu trữ, nó vẫn ở trong thiết bị, ngay cả khi tắt và bật lại nguồn. Thông tin được nhúng vào ROM dưới dạng các bit.

PROM: là bộ nhớ chỉ đọc có thể lập trình. Đầu tiên nó được chuẩn bị dưới dạng bộ nhớ trống và sau đó nó được lập trình để lưu trữ thông tin. Sự khác biệt giữa

PROM và ROM mặt nạ là PROM được sản xuất dưới dạng bộ nhớ trống và được lập

trình sau khi sản xuất, trong khi ROM mặt nạ được lập trình trong quá trình sản xuất.

EPROM: Nó khắc phục được nhược điểm của PROM là khi đã được lập trình, mẫu cố định là vĩnh viễn và không thể thay đổi. Nếu một mẫu bit đã được thiết lập, PROM sẽ không sử dụng được, nếu mẫu bit phải được thay đổi.

EEPROM: Nó tương tự như EPROM, ngoại trừ ở chỗ, EEPROM được trả lại trạng thái ban đầu bằng cách áp dụng tín hiệu điện, thay cho ánh sáng cực tím. Do đó, nó mang lại sự dễ dàng cho việc xóa, vì điều này có thể được

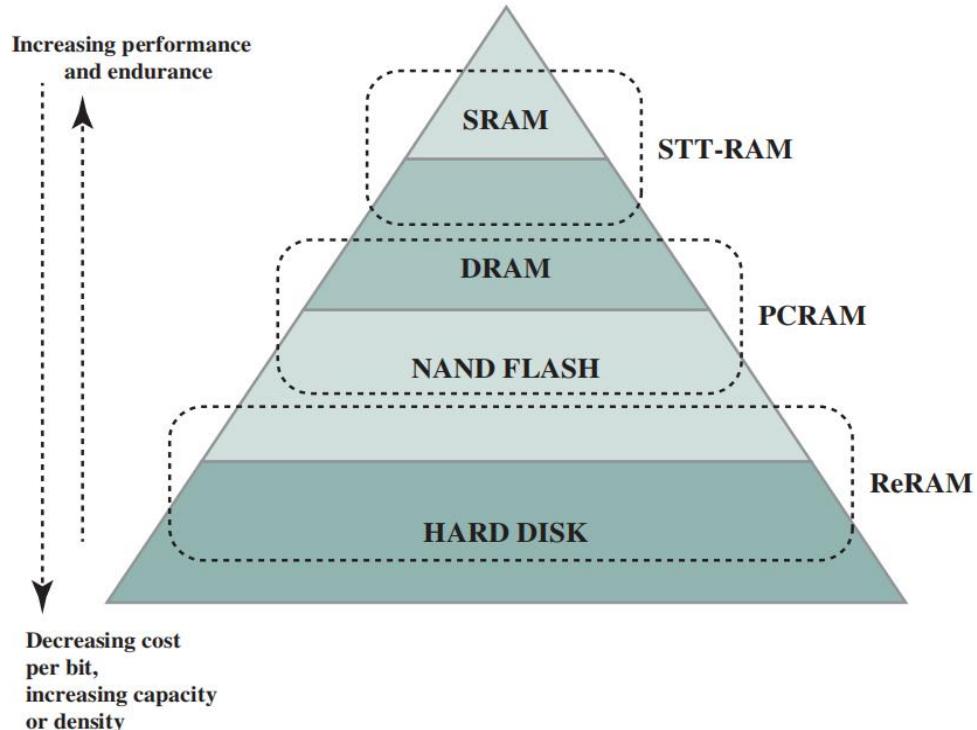
thực hiện, ngay cả khi bộ nhớ được đặt trong máy tính. Nó xóa hoặc ghi một byte dữ liệu tại một thời điểm.

FLASH: là một loại bộ nhớ điện tử có thể bị xóa và lập trình lại. Bộ nhớ flash có thể được dùng như một loại EEPROM mà ở đó nó có thể được đọc/ghi bằng điện và không mất dữ liệu khi ngừng cung cấp điện.

1.2. Tổng quan về SRAM

Hệ thống phân cấp của một bộ nhớ truyền thông bao gồm 3 cấp độ như hình 1.4:

- RAM tĩnh (SRAM): SRAM cung cấp thời gian truy cập nhanh hơn, nhưng giảm thiểu và bit mật khẩu thấp nhất (bit tốc độ). SRAM phù hợp với bộ nhớ đệm.
- RAM động (DRAM): Rẻ hơn, dày đặc hơn và chậm hơn SRAM, DRAM truyền thông là chip bộ nhớ chính bên ngoài được lựa chọn nhiều nhất.
- Đĩa cứng: Đĩa cung cấp tốc độ bit rất cao và chi phí rất thấp mỗi bit, với thời gian truy cập tương đối chậm. Đây là phương tiện truyền thông được lựa chọn đơn giản để lưu trữ bên ngoài như một phần của bộ nhớ phân cấp hệ thống [7].



Hình 1.4: Hệ thống phân cấp bộ nhớ truyền thông [7].

Vấn đề sự tách biệt giữa bộ xử lí và bộ nhớ trong quá trình truy xuất đọc ghi của bộ xử lí vào bộ nhớ sẽ mất nhiều thời gian từ đó sẽ dẫn đến sự chậm trễ và điều này rất quan trọng đối với máy tính hiện đại. SRAM (Static Random Access Memory) hay bộ nhớ truy xuất ngẫu nhiên tĩnh được ra đời để làm giảm thiểu vấn đề này.

SRAM hay còn gọi là bộ nhớ truy xuất ngẫu nhiên tĩnh một loại bộ nhớ tạm thời có thể truy cập ngẫu nhiên trong kiến trúc máy tính. Nó dùng để lưu trữ các giá trị tạm thời mà bộ xử lý (CPU) yêu cầu khi thực hiện các thao tác tính toán và xử lý dữ liệu. SRAM được xây dựng bằng cách sử dụng các transistor hàng và cột để lưu trữ bít dữ liệu bên trong. Bít dữ liệu được lưu trữ bằng cách mỗi hàng của transistor thể hiện một bit của dữ liệu.

Một số đặc điểm của SRAM:

- SRAM là bộ nhớ truy xuất ngẫu nhiên: tức là CPU có thể truy cập bất kỳ ô nhớ nào trong SRAM theo bất kỳ thứ tự nào mà nó cần đến để thực hiện các thao tác xử lý dữ liệu. Điều này có thể thực hiện được là do SRAM có các ô nhớ được cấu tạo từ các Transistor như một flipflop vì thế nó độc lập với nhau, CPU có thể truy cập ngay lập tức vào từng ô nhớ mà không phải thông qua ô nhớ trước nó. Điều này làm cho SRAM có tính khả dụng cao và có tốc độ xử lí cao hơn so với các loại bộ nhớ khác.

- SRAM có tính “tĩnh”: Tính tĩnh của SRAM để cập đến cách nó lưu trữ dữ liệu. SRAM sử dụng các transistor để lưu trữ dữ liệu trong một ô nhớ và giữ nguyên giá trị dữ liệu(ví dụ 0 hoặc 1) miễn là cung cấp điện cho SRAM. Điều này khác với DRAM, nơi giá trị dữ liệu cần phải được refresh định kỳ để giữ cho dữ liệu không bị mất.

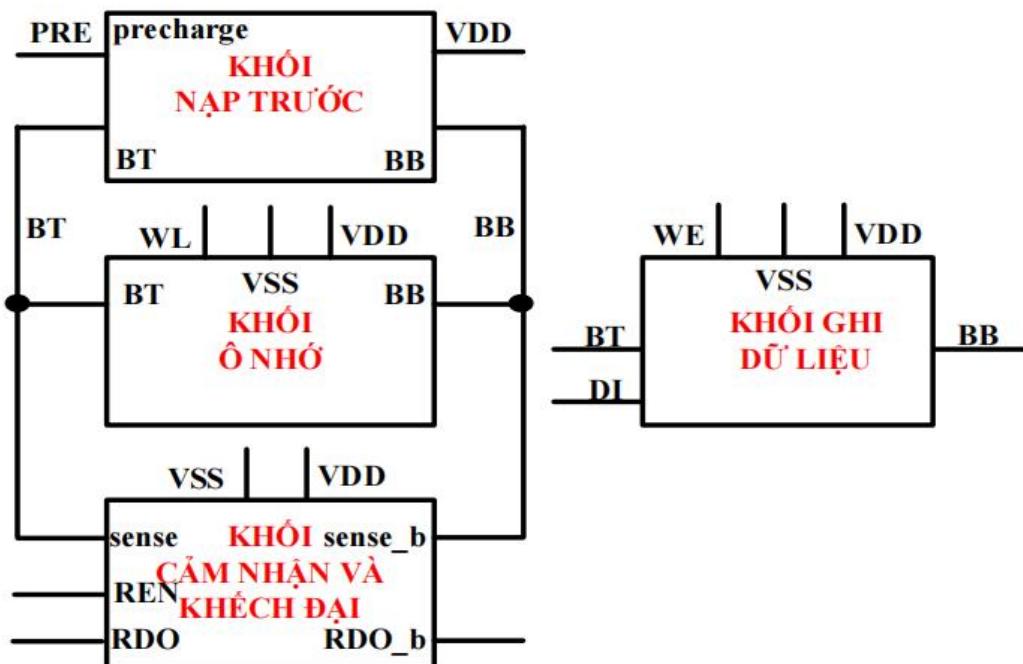
- SRAM có tính “bay hơi”: Vật liệu trong bộ nhớ SRAM có thể bay hơi theo thời gian và chúng có thể dẫn đến mất mát dữ liệu trong một số trường hợp nhất định. Tuy nhiên, nếu nguồn điện vẫn được cung cấp đầy đủ, dữ liệu vẫn được bảo quản trong bộ nhớ SRAM.

- SRAM hoạt động dựa hoàn toàn vào các tín hiệu điện nên việc đọc dữ liệu của nó sẽ nhanh chóng và dễ dàng.

- SRAM tiêu thụ ít điện năng và hoạt động nhanh hơn DRAM nhưng giá thành mắc hơn DRAM.

1.2.1. Kiến trúc ô nhớ và nguyên lý hoạt động

Bộ nhớ SRAM hoàn chỉnh bao gồm các mảng ô nhớ đi kèm với các khối ngoại vi chịu nhiều chức năng khác nhau như: khối giải mã hàng, khối giải mã cột, khối cảm nhận khuếch đại, khối ghi dữ liệu và các khối nạp trước. Trong một hoạt động đọc và ghi dữ liệu của một bộ nhớ SRAM được thiết kế bao gồm 4 khối cơ bản: Khối nạp trước; Khối đọc dữ liệu với nguyên lý cảm nhận và khuếch đại tín hiệu; Khối ghi dữ liệu vào ô nhớ; và khối lưu trữ dữ liệu là các ô nhớ. Sau đây là sơ đồ khái niệm của SRAM như hình 1.5:



Hình 1.5: Các khía cơ bản có trong SRAM [2].

Các khía cơ bản này được liên kết với nhau qua 2 đường bitline là **BT** (Bitline True) và **BB** (Bitline Bar) tương ứng, các khía muốn hoạt động thì không thể thiết nguồn **Vss** và **Vdd** cấp cho từng khía, tín hiệu **PRE** là tín hiệu cho phép khía nạp trước hoạt động khi đó thì các đường **BT** và **BB** sẽ được kéo lên **Vdd**, Các đường **sense** và **sense_b** được kết nối tương ứng với **BT** và **BB**. Tín hiệu **REN** (read enable) trong khía cảm nhận và khuếch đại cho phép dữ liệu được lưu trữ trong ô nhớ SRAM được đọc ra ở hai đường dữ liệu tương ứng là **RDO** (read out) và **RDO_b** (read out bar). Trong khía ghi dữ liệu, tín hiệu ngõ vào

DI (data input) quy định giá trị của bit dữ liệu cần ghi vào ô nhớ. **WE** (write enable) là tín hiệu cho phép khối ghi dữ liệu hoạt động. Trong khối ô nhớ SRAM, tín hiệu **WL** (wordline) được điều khiển bởi bộ giải mã địa chỉ nhằm cho phép truy cập vào ô nhớ xác định trong bộ nhớ SRAM để thực hiện hoạt động ghi/đọc.

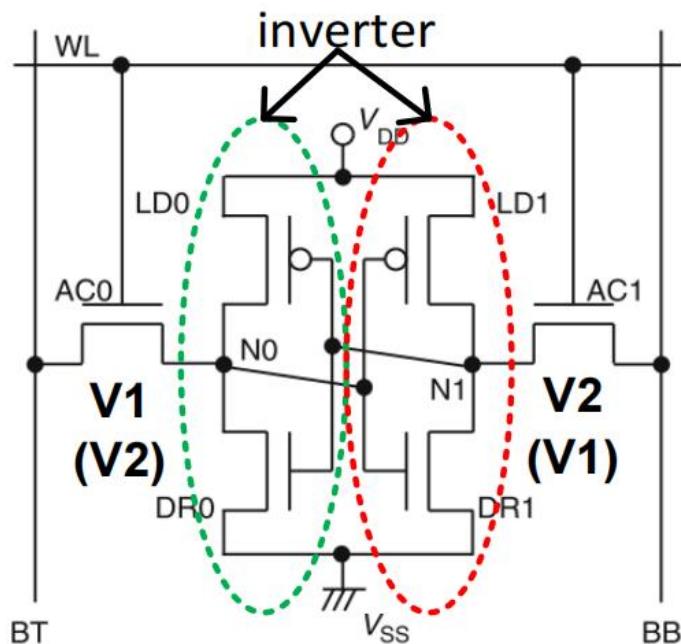
1.2.2. Cấu tạo và nguyên lý hoạt động của các khối bên trong SRAM6T

1.2.2.1. Ô nhớ (Cell Memory) của SRAM 6T

Ô nhớ hay còn gọi là tế bào nhớ (Cell Memory) là đặc trưng của từng loại SRAM để phân biệt SRAM đó là loại 6T, 8T, hay 10T.

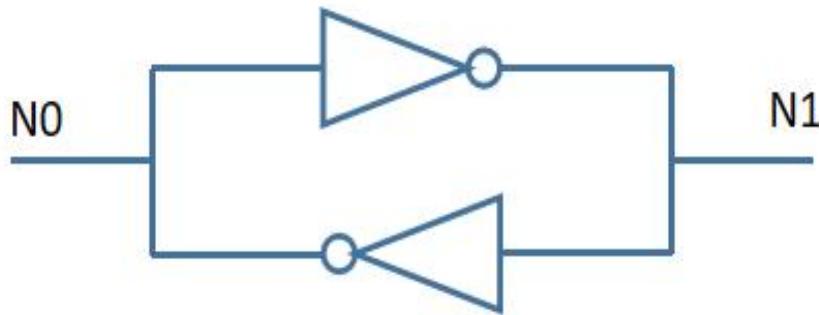
- Cấu tạo:

Một ô nhớ của SRAM 6T được cấu tạo từ 6 transistor như hình 1.6:

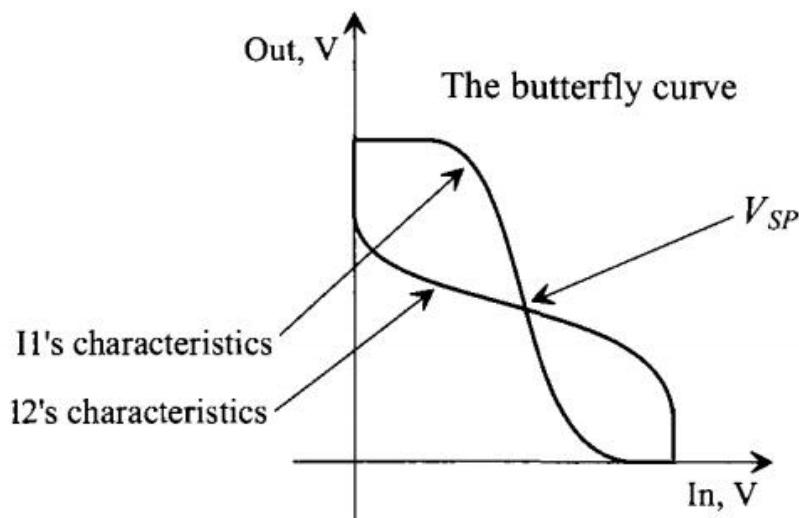


Hình 1.6: Cấu tạo ô nhớ của SRAM 6T [2].

Theo hình 1.6, 4 transistor (2 pMOS và 2 nMOS) **LD0**, **LD1**, **DR0**, **DR1** được sử dụng để tạo nên hai cổng đảo ngược chiều nhau với ngõ ra của cổng này là ngõ vào của cổng kia và có hoạt động như 1 latch để lưu lại dữ liệu như hình 1.7:



Hình 1.7: Bốn transistor được xem như 2 cổng NOT ngược chiều nhau.



Hình 1.8: Đồ thị sự hoạt động của thiết kế 2 cổng NOT ngược nhau [8].

Từ hình 1.8, chúng tôi thấy theo thiết kế này đầu vào của cổng NOT này sẽ là đầu ra của cổng NOT kia sẽ gặp một vấn đề khi tín hiệu đầu vào chuyển đến điểm chuyển mạch của các bộ đảo ngược, cả In và Out sẽ ở V_{SP} (một trạng thái giả ổn định). Điều này không phải là nơi chúng chúng tôi muốn mạch hoạt động vì V_{SP} không phải là một điện áp logic hợp lệ. Khi đưa tín hiệu đầu vào cao hơn hoặc thấp hơn, phản hồi dương có mặt trong các bộ đảo ngược kết nối chéo sẽ đẩy các nút In/Out đến các mức logic hợp lệ (những trạng thái ổn định khác).

Theo hình 1.6, hai transistor AC0 và AC1 được điều khiển bởi tín hiệu **WL** cho phép kết nối điểm **N0** và **N1** với đường **BT** và **BB** cho phép hoạt động ghi dữ liệu vào trong ô nhớ khi đường tín hiệu **WL** (Wordline) lên mức cao. Khi đường **WL** lên mức cao các transistor **AC0** và **AC1** sẽ hoạt động như một công tắc đóng là tiến hành ghi dữ liệu vào trong latch được tạo ra bởi 4

transistor (2 pMOS và 2 nMOS) **LD0**, **LD1**, **DR0**, **DR1**. Khi **WL** ở mức thấp các đường **BT** và **BB** sẽ được cách ly ra khỏi latch này vì **AC0** và **AC1** hoạt động như một công tắc mở, lúc này giá trị của ô nhớ sẽ được giữ nguyên. Ngõ ra và ngõ vào thiết kế nối tiếp dương và nó sẽ lưu dữ liệu tại 2 điểm **N0** với **N1**.

- Nguyên lý hoạt động:

Bộ nhớ truy xuất ngẫu nhiên tĩnh có hai chế độ hoạt động cơ bản gồm lưu trữ dữ liệu và ghi/đọc dựa theo hình 1.6:

+ Trong chế độ lưu trữ dữ liệu: đường tín hiệu **WL** sẽ không được kích hoạt. Điều này dẫn đến các transistor **AC1** và **AC0** ngừng dẫn, đường tín hiệu **BT** và **BB** bị cách ly hoàn toàn với ô nhớ lưu trữ dữ liệu. Do đó, ô nhớ SRAM sẽ lưu trữ trạng thái dữ liệu được ghi trước đó cho đến khi đường **WL** kích hoạt cho hoạt động đọc/ghi.

+ Trong chế độ đọc/ghi dữ liệu: lúc này tín hiệu đường **WL** sẽ hoạt động để cung cấp năng lượng cho các transistor **AC1** và **AC0** dẫn. Các đường **BT** và **BB** sẽ được nối vào ô nhớ. Từ đó dữ liệu sẽ được ghi vào hoặc đọc ra từ ô nhớ.

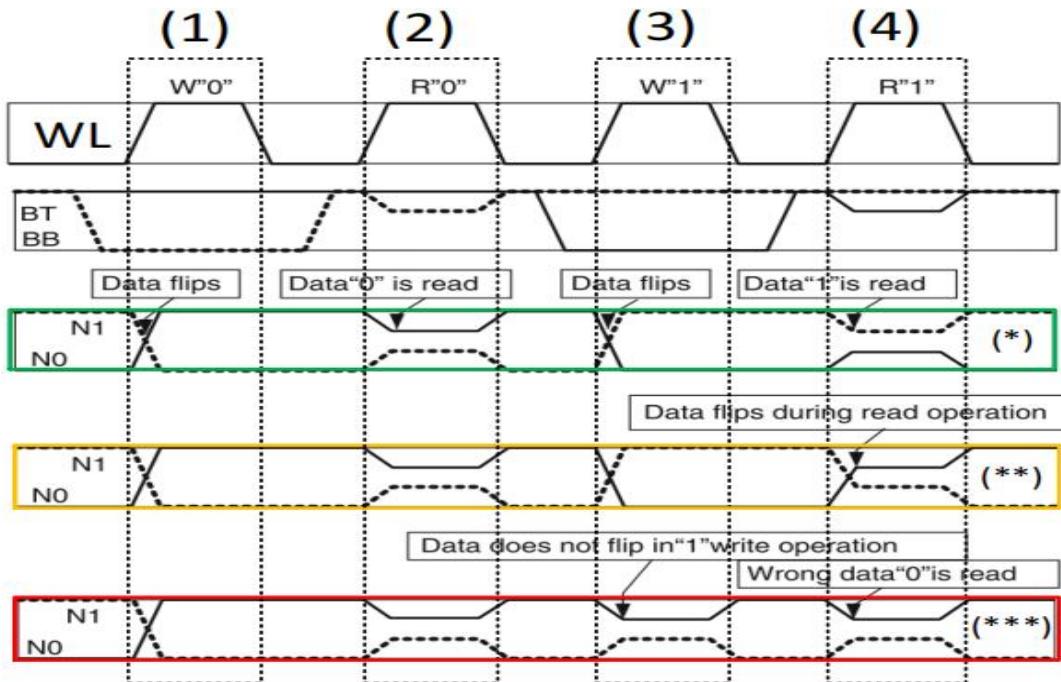
Cụ thể hơn chúng tôi có thể quan sát hình 1.9:

Trong chế độ đọc/ghi, tại giai đoạn 1, khi ghi dữ liệu ‘0’ vào ô nhớ, điểm **N1** và **N0** sẽ được mạch ghi dữ liệu thiết lập giá trị ‘0’ và ‘1’ tương ứng.

Ở giai đoạn 2, khi dữ liệu ‘0’ được đọc từ ô nhớ, cả 2 đường **BL** và **BLB** được nạp một điện áp mức cao thông qua mạch nạp trước và sau đó đường tín hiệu **WL** sẽ được kích hoạt mức cao. Lúc này, dữ liệu được lưu trữ trong ô nhớ sẽ được đưa ra đường **BT/BB**. Điều này sẽ tạo ra một sự khác biệt điện áp trên đường dữ liệu **BT/BB**. Sự khác biệt về mặt điện áp này sẽ được khuếch đại bởi mạch khuếch đại và cảm nhận sau đó dữ liệu được lưu trữ trong ô nhớ sẽ truy xuất ra bên ngoài. Như vậy, hoạt động đọc trên thiết kế 6T có thể ảnh hưởng đến dữ liệu được lưu trữ trên ô nhớ khi đường **WL** được kích hoạt.

Trong giai đoạn 3 và 4 thể hiện hai trường hợp lỗi phát sinh trong quá trình ghi và đọc dữ liệu ô nhớ SRAM. Trong quá trình đọc dữ liệu thể hiện trong khung đánh dấu (**), lỗi phát sinh là do dữ liệu đọc ra tại điểm **N0/N1** bị thay đổi so với dữ liệu được ghi vào trước đó. Trong quá trình ghi dữ liệu, lỗi

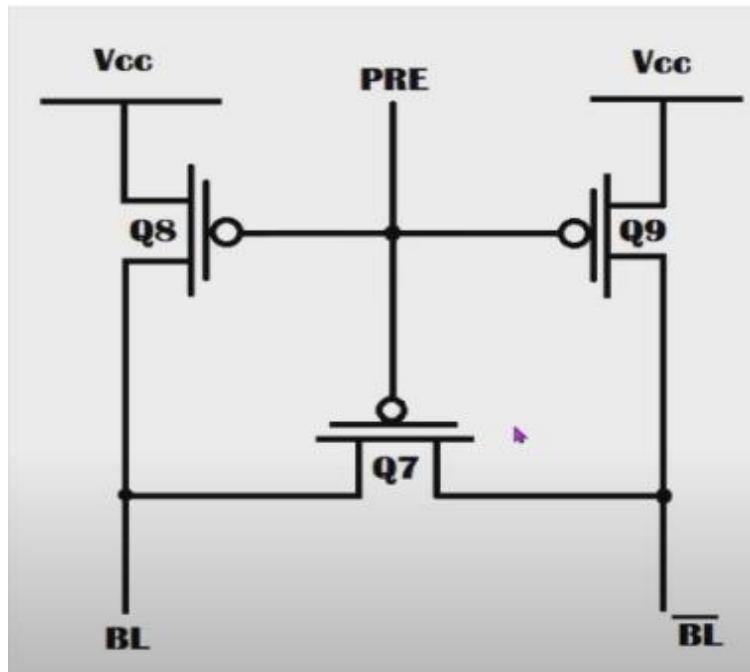
phát sinh khi tại điểm **N0/N1** dữ liệu không được thiết lập đúng mức điện áp ghi mong muốn, như được minh họa trong khung đánh dấu (***) của hình dưới.



Hình 1.9: Dạng sóng hoạt động ghi/đọc dữ liệu trong trường hợp thông thường và phát sinh lỗi [2].

1.2.2.2. Mạch nạp trước (Pre-charge) của SRAM 6T

Trong tất cả các bộ nhớ SRAM, đối với mỗi cột ô nhớ trong mảng ô nhớ có dòng bit BL và BLB. Các dòng bit được kết nối với một mạch nạc trước. Chức năng của mạch này là kéo hai dòng bit BL và BLB lên Vdd mỗi khi cột không được chọn và đặc biệt là trước các thao tác đọc. Trên thực tế, đối với các hoạt động đọc, hai dòng bit được kết nối với ô nhớ được đọc phải ở một mức điện áp nhất định, thường là Vdd và được cân bằng hoàn toàn. Một mạch nạp trước điển hình có thể sử dụng 3 transistor nMOS hoặc pMOS tùy thuộc vào thiết kế mà bạn mong muốn mức logic "1" (tích cực mức cao) hay mức logic "0" (tích cực mức thấp) để mạch nạp trước bắt đầu hoạt động. Trong thiết kế mạch nạp trước này chúng tôi sẽ sử dụng 3 transistor pMOS như mô tả hình 6:



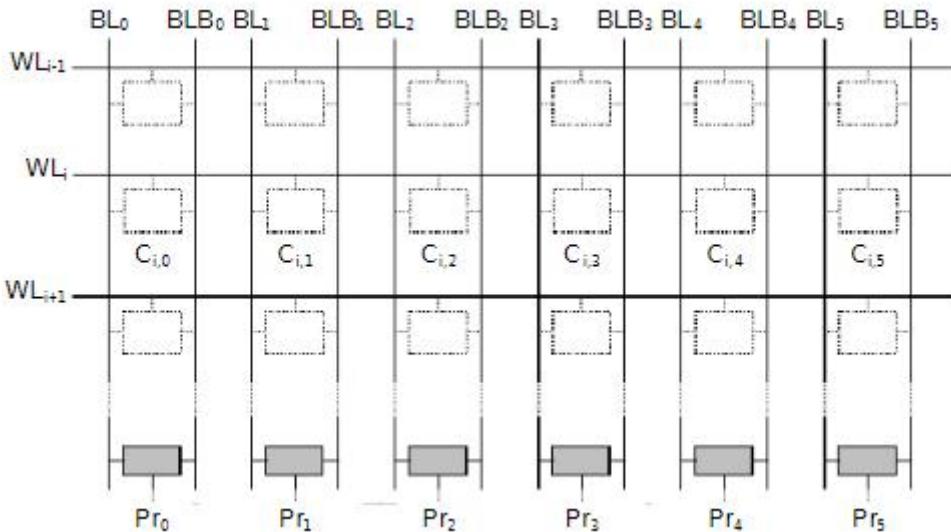
Hình 1.10. Mạch nạp trước với 3 Transistor pMOS [8][9].

Mạch nạp trước được mô tả trong hình 1.10 gồm 3 transistor pMOS: **Q7**, **Q8**, **Q9** và cả 3 chân công (Gate) của 3 transistor được nối với đường tín hiệu **PRE**. Với các transistor **Q8** và **Q9** có chân nguồn (Source) được nối lên **Vdd** để kéo **BL** và **BLB** lên **Vdd**, chân máng (Drain) được nối xuống các đường **BL** và **BLB**. Với **Q7** thì cả chân nguồn và chân máng lần lượt nối vào 2 đường **BL** và **BLB** để cân bằng điện áp.

Khi **PRE** cho phép mạch hoạt động thì transistor **Q8** và **Q9** sẽ chịu trách nhiệm nạp các dòng bit, trong khi đó transistor **Q7** sẽ cân bằng điện áp giữa **Q8** và **Q9**. Nếu điện áp giữa 2 bên **Q8** và **Q9** khác nhau thì **Q7** sẽ chịu trách nhiệm cân bằng điện áp giữa chúng, phóng điện đối với bên có điện áp cao hơn và nạp điện với bên có điện áp thấp hơn cho đến khi điện áp giữa chúng là gần như cân bằng nhau. Trong thời gian diễn ra quá trình nạp này đến khi quá trình kết thúc thì mới có thể thực hiện việc truy xuất bộ nhớ.

Bây giờ, với một số chi tiết về hoạt động bình thường của mạch nạp trước và vai trò của nó trong hoạt động của bộ nhớ. Như đã đề cập ở trên, trong cấu trúc bộ nhớ sẽ có một mạch nạp trước cho mỗi cặp **BL/BLB**, như chúng chúng tôi có thể quan sát trong sơ đồ đơn giản hóa của hình 7 mô tả một phần của máng bộ nhớ SRAM. Trong hoạt động bình thường của bộ nhớ, mạch nạp

trước hầu hết thời gian được kích hoạt và hoạt động của nó là đặt mức điện áp của từng cặp dòng bit ở một giá trị cân bằng nhất định.



Hình 1.11: Một phần của mảng ô nhớ SRAM với các mạch nạp trước

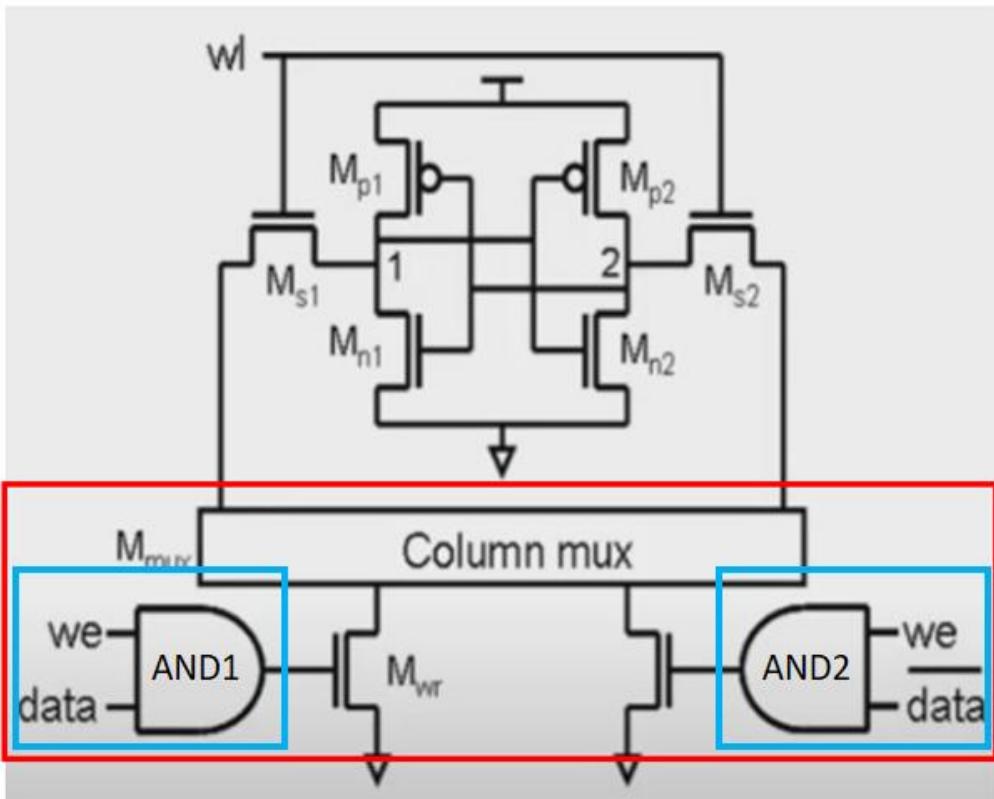
1.2.2.3. Mạch ghi (Write Driver) của SRAM 6T

Mạch ghi trong SRAM được sử dụng để lưu trữ dữ liệu vào các ô nhớ SRAM kiểu 6 transistor. Mỗi cột gồm nhiều ô nhớ trong SRAM sẽ có một mạch ghi của riêng nó. Mạch ghi này được kiểm soát bởi bộ điều khiển đọc-ghi (Read-Write Control Circuit).

Mạch ghi trong SRAM sử dụng một tín hiệu ghi (**WE**) để điều khiển quá trình lưu trữ dữ liệu. Khi bộ lưu trữ nhận được tín hiệu ghi, nó sẽ lưu trữ bit dữ liệu vào cặp transistor tương ứng. Các transistor trong cặp được điều khiển thông qua các đường bit true và bar để nối chúng với nguồn điện hoặc mát đất.

Mỗi ô nhớ SRAM sẽ có hai đường bit: đường bit true (**BL**) và đường bit bar (**BLB**). Khi tín hiệu ghi được sử dụng để ghi dữ liệu vào một ô nhớ SRAM, đường **BL** và **BLB** sẽ được sử dụng để điều khiển transistor trong cặp transistor tương ứng. Nếu bit dữ liệu được lưu trữ là một, transistor trở kháng thấp sẽ được kết nối với đường **BL** và transistor trở kháng cao sẽ được kết nối với đường **BLB**. Nếu bit dữ liệu được lưu trữ là không, chúng chúng tôi sẽ ngược lại, transistor trở kháng cao sẽ được kết nối với đường **BL** và transistor trở kháng thấp sẽ được kết nối với đường **BLB**.

Cấu tạo của mạch ghi như hình 1.12:



Hình 1.12: Cấu tạo của mạch ghi.

Theo hình 1.12: Mạch ghi được lắp vào ngày sau phia các cột được mux, mạch ghi gồm 2 cổng AND để thực hiện ghi giá trị **data** và **data đảo**, chân WE (Write Enable) là chân cho phép ghi khi có hoạt động ghi.

Nguyên lý hoạt động: gồm 2 hoạt động ghi bit "0" và ghi bit "1":

- Ghi bit "1":

Khi tín hiệu ghi được kích hoạt vào mạch ghi SRAM, bộ điều khiển ghi sẽ kích hoạt đường bit true và đường bit bar tương ứng với ô nhớ cần lưu trữ.

Khi đường bit true được kích hoạt, transistor trở kháng thấp sẽ được kích hoạt và nối với nguồn điện. Đồng thời, transistor trở kháng cao sẽ bị ngắt kết nối với mát đất và khi đường bit bar được kích hoạt, transistor trở kháng cao sẽ được kích hoạt và nối với nguồn điện. Đồng thời, transistor trở kháng thấp sẽ bị ngắt kết nối với mát đất. Cả hai transistor sẽ được kích hoạt để lưu trữ giá trị "1" trong ô nhớ SRAM tương ứng.

Ghi bit "0":

Khi tín hiệu ghi được kích hoạt vào mạch ghi SRAM, bộ điều khiển ghi sẽ kích hoạt đường bit true và đường bit bar tương ứng với ô nhớ cần lưu trữ.

Khi đường bit true được kích hoạt, transistor trở kháng cao sẽ được kích hoạt và nối với nguồn điện. Đồng thời, transistor trở kháng thấp sẽ bị ngắt kết nối với mát đất. Khi đường bit bar được kích hoạt, transistor trở kháng thấp sẽ được kích hoạt và nối với mát đất. Đồng thời, transistor trở kháng cao sẽ bị ngắt kết nối với nguồn điện. Cả hai transistor sẽ được kích hoạt để lưu trữ giá trị "0" trong ô nhớ SRAM tương ứng.

Cụ thể hơn hoạt động này chúng tôi có thể xem hình 1.12 và hình 1.6:
Giải thích cụ thể theo từng tính hiệu:

Khi đường **WE** ở mức thấp thì hoạt động ghi không được thực hiện do **WE** nối với ngõ vào của hai cổng **AND 1,2** nên đầu ra của hai cổng **AND** này cũng ở mức thấp dẫn tới việc hai transistor nMOS không dẫn. Khi đó hai đường dữ liệu **BT** và **BB** sẽ lấy giá trị từ **N0** và **N1** từ ô nhớ. Lúc này giá trị của ô nhớ sẽ được giữ nguyên và không có việc gì xảy ra.

Khi đường **WE** tác động ở mức cao thì lúc này hoạt động ghi dữ liệu vào ô nhớ bắt đầu. Khi dữ liệu **data** ở mức thấp và dữ liệu **data đảo** ở mức cao, dữ liệu sau khi qua cổng **AND1** sẽ bằng 0 và dữ liệu sau khi qua cổng **AND2** sẽ bằng 1. Transistor nMOS nối với cổng **AND2** khi đó sẽ dẫn nên đường dữ liệu **BL** sẽ nhận giá trị 0 từ **VSS**. Sau đó **BL** sẽ truyền giá trị 0 vừa nhận lên ô nhớ và cho transistor pMOS **LD1** dẫn nên giá trị 1 từ **VDD** sẽ truyền cho đường **BLB** nên **BLB** truyền giá trị 1 xuống cho **BLB** ở mạch ghi. Khi đó **BL** và **BLB** ở mạch ghi lần lượt là 0 và 1, ô nhớ lúc này sẽ ghi giá trị của dữ liệu data.

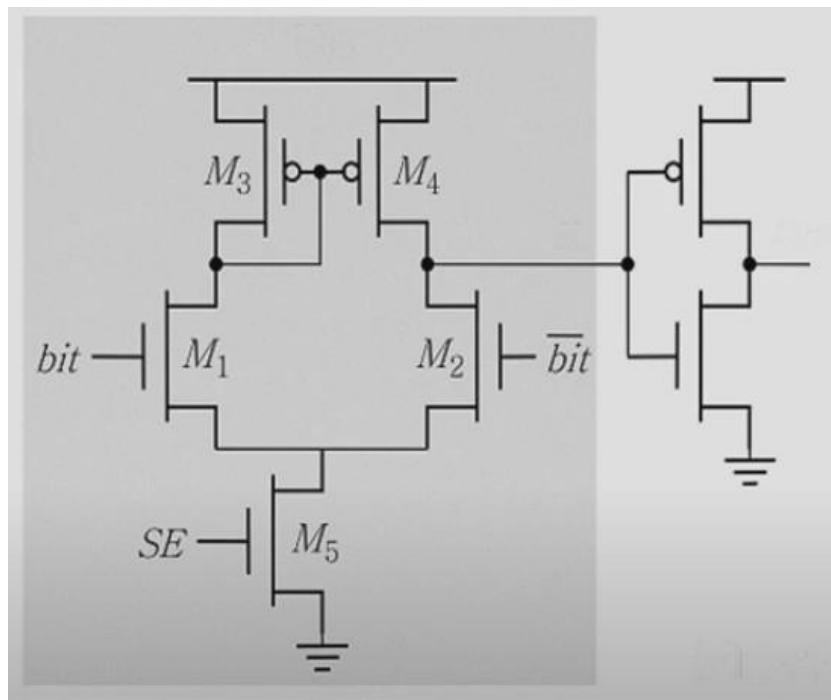
Ngược lại khi **data** ở mức cao và **data đảo** ở mức thấp, dữ liệu sau khi qua cổng **AND1** sẽ bằng 1 và dữ liệu sau khi qua cổng **AND2** sẽ bằng 0. Transistor nMOS nối với cổng **AND 1** sẽ dẫn và cho đường **BLB** nhận giá trị 0 từ **VSS**. Sau đó **BLB** sẽ truyền giá trị 0 vừa nhận lên ô nhớ và cho transistor pMOS **LD0** dẫn nên giá trị 1 từ **VDD** sẽ truyền cho đường **BL** nên **BL** truyền giá trị 1 xuống cho **BL** ở mạch ghi. Khi đó **BL** và **BLB** ở mạch ghi lần lượt là 1 và 0.

1.2.2.4. Mạch khuếch đại cảm nhận (Sense amplifier) của SRAM 6T.

Mạch khuếch đại cảm nhận (SA - Sense Amplifier) là một thành phần quan trọng trong thiết kế bộ nhớ. Trong hoạt động đọc dữ liệu, mạch khuếch đại cảm nhận (sense amplifier) phải khuếch đại dữ liệu trên đường bitline. Ô nhớ có kích thước nhỏ nên chúng không đủ mạnh để xả bitline một cách nhanh chóng. Đồng thời, đường bitline sẽ tiếp tục chuyển động dần đến khi có khoảng điện thế lớn giữa chúng, gây ra sự tiêu tốn năng lượng đáng kể do bitline có điện dung lớn. Do đó, việc giới hạn độ rộng xung word line sẽ giúp kiểm soát lượng điện tích được kéo xuống từ bitline và giảm thiểu sự tiêu tốn năng lượng.

Chức năng chính của mạch khuếch đại cảm nhận trong SRAM là khuếch đại một điện áp sai biệt nhỏ trên đường bit (được phát triển bởi một ô nhớ đang được truy cập) thành tín hiệu đầu ra kỹ thuật số toàn phạm vi, giúp giảm thiểu thời gian cần thiết cho hoạt động đọc. Vì SRAM không yêu cầu mạch làm mới dữ liệu sau khi cảm nhận, hoạt động cảm nhận phải là không phá hủy.

Bộ khuếch đại cảm nhận được sử dụng phổ biến nhất hiện nay trong SRAM được gọi là bộ khuếch đại cảm nhận chéo hoặc bộ khuếch đại cảm biến chốt điện áp như hình 1.13:



Hình 1.13: Cấu tạo mạch khuếch đại cảm nhận.

Nguyên lí hoạt động:

Bộ khuếch đại cảm nhận gồm 2 giai đoạn tăng cường được nối chéo với nhau như một ô nhớ để đảm bảo sự tăng cường đầy đủ cho tín hiệu vào và được kích hoạt bởi tín hiệu **SE**.

Khi đường tín hiệu vào **SE** tích cực thì cả 2 giai đoạn tăng cường được khởi động. Trong giai đoạn đầu tiên, điện áp đồng thời của những đường bit được gửi đến mạch khuếch đại cảm nhận chéo. Sau đó, điện áp các đường bit này sẽ được chuyển đổi thành dạng tín hiệu thích hợp để được nhận diện. Điều này được thực hiện bằng cách sử dụng trạng thái không ổn định của mạch khuếch đại cảm nhận chéo, nơi một lời giải tạm thời của tín hiệu nhận được được giữ cho đến khi kết quả đầu ra xác định. Trong giai đoạn thứ hai, tín hiệu đã được tách ra trước đó sẽ được khuếch đại và chuyển đổi thành tín hiệu số bằng các bộ đếm hoặc cổng logic. Cuối cùng, tín hiệu số sẽ được chuyển đổi trở lại dạng tín hiệu điện áp thật để được sử dụng trong các phần khác của hệ thống điện tử.

Cụ thể chúng tôi có thể nhìn vào hình 1.13:

Các Transistor **M1**, **M2**, **M3**, **M4** tạo thành cấu trúc bô sung ghép chéo và các bóng bán dẫn **M5** tách rời bộ khuếch đại cảm biến sau khi cảm biến bắt đầu tùy thuộc vào kích hoạt cảm biến tín hiệu (**SEN**).

Hoạt động đọc của ô nhớ được bắt đầu sau khi các đường bit được nạp trước bằng nguồn V_{DD} trước khi đường **WL** được chọn. Khi đường **WL** được chọn thì nó sẽ kích hoạt một ô nhớ/một hàng ô nhớ nhất định.

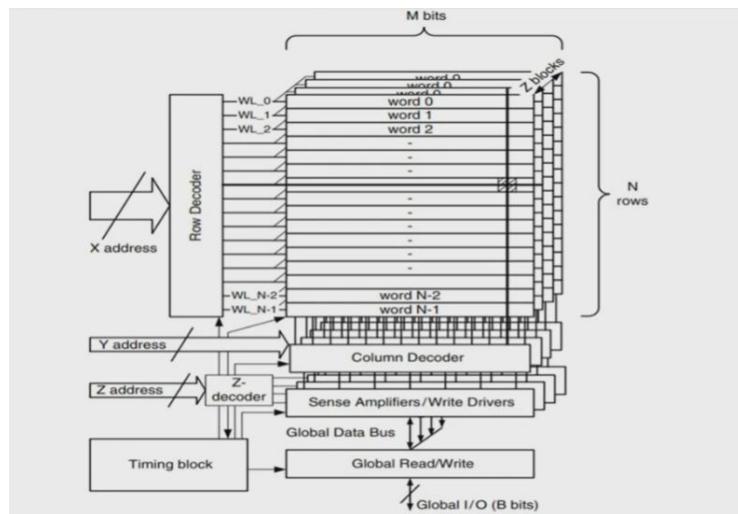
Khi ô nhớ được chọn bởi đường **WL** thì tín hiệu **SE** sẽ tích cực cho phép hai transistor **M3** và **M4** dẫn làm cho hai đường **BL** và **BLB** nối với ô nhớ (xem hình 1.6) có **N0 = 0** và **N1 = 1**. Với **N0 = 0** thì **M2** sẽ dẫn và **M1** sẽ ngưng dẫn, tạo nên một cổng đảo, tương tự với **N1 = 1** thì **M1** dẫn và **M2** sẽ ngưng dẫn tạo nên một cổng đảo. Do đó, chúng tôi có thể thấy rằng hai đường **BL** và **BLB** cùng thể hiện cho một bit dữ liệu với **BLB** là trạng thái đảo của **BL**.

1.2.2.4. Mạch giải mã hàng (Decoder)

Mạch giải mã là một khối kỹ thuật số quan trọng trong SRAM có ‘n’ ngõ vào và tối đa 2^n ngõ ra. Một trong các ngõ ra này sẽ hoạt động ở mức cao dựa trên sự kết hợp của các ngõ vào hiện có, khi mạch giải mã được cấp nguồn. Điều đó có nghĩa là mạch giải mã phát hiện một mã cụ thể. Ngõ ra của mạch giải mã là các số hạng tối thiểu của dòng biến đầu vào ‘n’, khi nó được kích hoạt.

Bộ giải mã bên trong SRAM thường được thiết kế với cấu trúc mạch đa cấp, trong đó các bit địa chỉ vào được chuyển đổi lần lượt thành các tín hiệu chọn tương ứng với từng cấp độ (level) của cấu trúc mạch. Mỗi cấp độ có thể chứa một hay nhiều bộ giải mã thích hợp để tương ứng với số lượng điểm đến của các mạch lưu trữ trong SRAM.

Sơ đồ mạch mã giải đa cấp bên trong SRAM được thể hiện như hình 1.14:



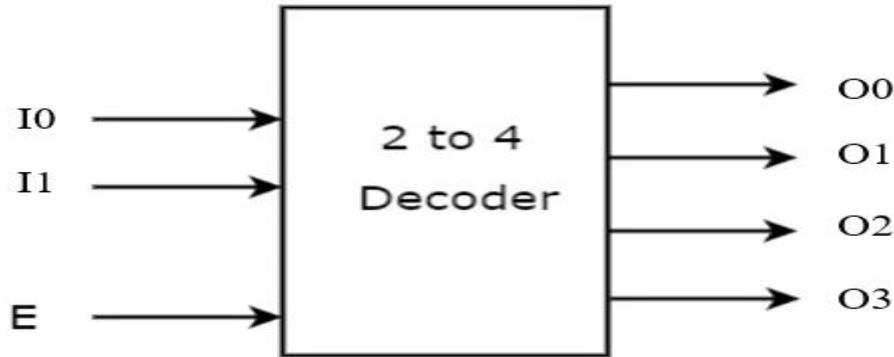
Hình 1.14: Sơ đồ mạch giải mã bên trong SRAM [8].

Bộ giải mã 4 sang 16 ngõ vào được chọn để thiết kế và thi công trong đề tài này :

Để thiết kế được bộ giải mã hàng 4 sang 16 đường, tiến trình công việc sẽ lần lượt thiết kế các mạch cổng NOT, cổng AND2 và bộ giải mã 2 sang 4.

Thiết kế bộ giải mã 2 sang 4.

Bộ giải mã 2 sang 4 bao gồm 2 ngõ vào dữ liệu **I0**, **I1**, 1 chân ngõ vào cho phép **E** và 4 ngõ ra lần lượt là **O3**, **O2**, **O1**, **O0**. Sơ đồ khối của mạch giải mã 2 sang 4 được thể hiện trong hình 1.15 sau.



Hình 1.15: Sơ đồ khối của mạch giải mã 2 sang 4

Theo như hình 1.15 khi chân **E** có mức logic “0” thì không có ngõ ra nào được hoạt động bắt chấp các tín hiệu ngõ vào.Khi chân **E** có mức logic “1” thì cho phép mạch hoạt động khi đó các tín hiệu ngõ vào tương ứng với tổ hợp logic của **I0**, **I1** sẽ dùng để giải mã cho ra các ngõ ra **O3**, **O2**, **O1**, **O0** được thể hiện qua bảng 1.1:

Bảng 1.1: Bảng chân trị của bộ giải mã 2 sang 4

E	I0	I1	O0	O1	O2	O3
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	1	0	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

Từ bảng chân trị như bảng 1.1, chúng chúng tôi có được biểu thức logic tối giản của các ngõ ra tương ứng:

$$O0 = E \cdot \overline{I0} \cdot \overline{I1}$$

$$O1 = E \cdot I0 \cdot \overline{I1}$$

$$O2 = E \cdot \overline{I0} \cdot I1$$

$$O3 = E \cdot I0 \cdot I1$$

CHƯƠNG 2: THIẾT KẾ LAYOUT VÀ KIỂM TRA CÁC KHỐI CỦA SRAM6T

* Mục tiêu

Với kiến thức ở phần cơ sở lý thuyết, đến với chương này chúng tôi sẽ thực hiện vẽ các thiết kế chi tiết của các khối bằng phần mềm Cadence là một tool hỗ trợ cho việc thiết kế VLSI. Chúng tôi sẽ thực hành vẽ mạch nguyên lý, đóng gói và từ đó thiết kế layout cũng như việc tối ưu diện tích để đạt được kết quả tốt nhất. Việc thực hiện kiểm tra các quy tắc thiết kế và quy luật logic sẽ được thực hiện bằng phần mềm Cadence. Thông qua chương này chúng tôi sẽ hiểu rõ hơn về quy tắc thiết kế và cách thiết kế layout một mạch từ mạch nguyên lý của nó, đồng thời cũng giúp hoàn thiện hơn trong tư duy và lối suy nghĩ để có thể tạo ra một thiết kế tối ưu về diện tích và tránh việc hao phí năng lượng không đáng có.

Trong đồ án này chúng tôi sẽ tiến hành các bước: vẽ mạch nguyên lý, đóng gói và tiến hành layout theo nhiều kiểu khác nhau và rút ra phương án tối ưu nhất, thực hiện kiểm tra các quy luật kết nối và quy luật logic trong thiết kế mà mình tạo ra. Với mỗi khối của SRAM sẽ được thiết kế theo quy trình 90nm mà thư viện của Cadence cung cấp sẽ có một mạch đại diện cho nó, và được chia thành các phần nhỏ để thiết kế và đánh giá.

* Tìm hiểu về layout trong VLSI

- Layout là gì ?

Trước khi đi vào thiết kế chi tiết ta cần tìm hiểu xem layout trong VLSI là gì và vai trò của layout trong VLSI.

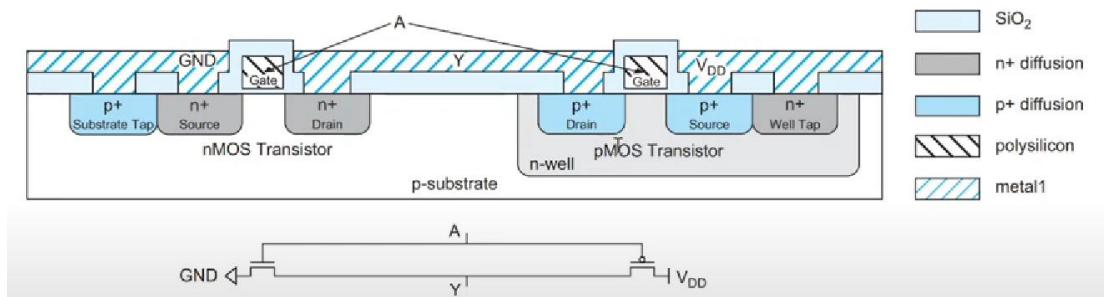
Layout trong VLSI là quá trình bố trí các thành phần điện tử trên một chip bán dẫn. Layout là một bước quan trọng trong thiết kế VLSI, quyết định đến hiệu suất, tính năng và chi phí của chip.

Khi thực hiện thiết kế mạch nguyên lý có thể nói gốc nhìn của bạn trong công đoạn này là nhìn theo chiều lát cắt dọc hoặc lát cắt ngang của một mạch nhưng đối với quá trình layout thì nó hoàn toàn khác biệt. Ta có thể hiểu theo một cách cơ bản là một mạch hay thậm chí là một BJT trong VLSI đều được

cấu tạo từ các lớp bán dẫn và các lớp kim loại xếp lên nhau và chúng cách ly với nhau cũng như không thể ảnh hưởng đến nhau. Việc thực hiện layout chính là bố trí các đường giao trên các lớp để các BJT liên kết lại với nhau theo đúng các quy luật và sơ đồ nguyên lý mà ta đã thiết kế. Một cấu trúc mạch tùy thuộc vào độ phức tạp sẽ có số lượng các lớp của nó sẽ khác nhau.

Một thiết kế nguyên lý mạch có thể cho ra nhiều layout khác nhau nhưng về cơ bản thì các layout này phải tuân theo các quy tắc về logic và quy tắc thiết kế. Việc nối các lớp với nhau sẽ được vận hành bằng cách dùng Via, có thể hiểu đơn giản là chúng ta sẽ đâm xuyên qua các lớp tùy thuộc vào bạn sử dụng loại Via nào để nối các lớp nào lại với nhau, ngay tại via thì 2 lớp sẽ được thông với nhau.

Ta có thể ví dụ cơ bản nhất về Layout chính là việc layout một cổng NOT. Dưới đây là hình mặt cắt của cổng NOT khi được layout dưới góc nhìn VLSI.



Hình 2.1: Mặt cắt biến tần với các tiếp điểm giếng và chất nền [10].

- Một số quy luật thiết kế trong layout

Các quy tắc thiết kế layout là một tập hợp các quy tắc mà các nhà thiết kế mạch điện tử phải tuân theo khi thiết kế layout của chip. Các quy tắc này được quy định bởi các nhà sản xuất chip bán dẫn và thường được cập nhật khi công nghệ sản xuất chip phát triển.

Mục đích của các quy tắc thiết kế layout là đảm bảo rằng các chip bán dẫn có thể được sản xuất một cách đáng tin cậy với chất lượng cao. Các quy tắc này quy định kích thước nhỏ nhất của các đặc điểm và khoảng cách gần nhất giữa các đặc điểm để tránh các vấn đề như: đoán mạch, hở mạch và nhiễu.

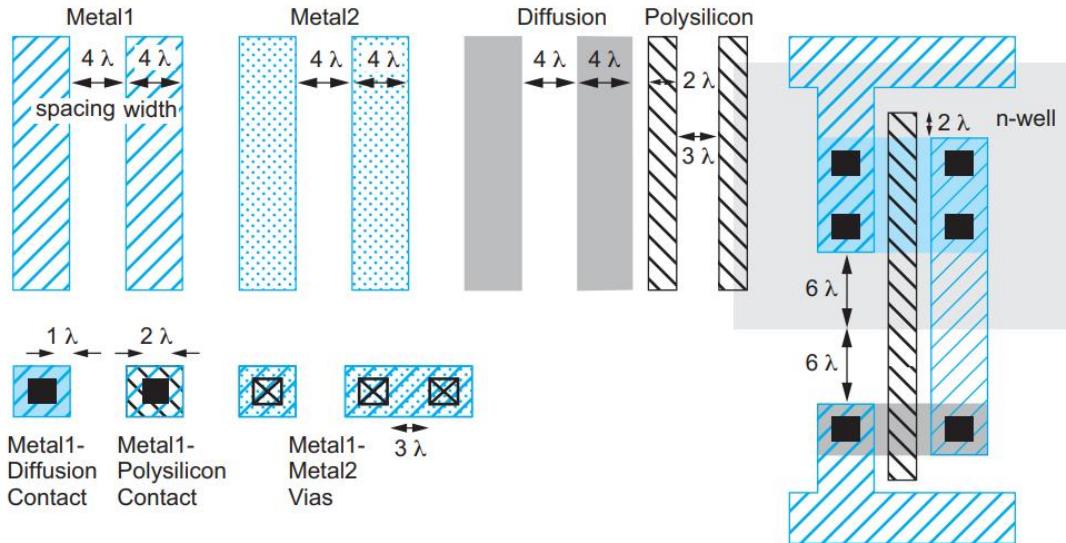
Việc di chuyển từ một quy trình sản xuất sang một quy trình tiên tiến hơn hoặc quy trình của một nhà máy đúc khác có thể khó khăn vì không phải tất cả các quy tắc thiết kế layout đều được mở rộng theo cùng một cách. Ví dụ, một quy tắc thiết kế layout có thể yêu cầu kích thước nhỏ nhất của một đặc điểm là 1 micron trong quy trình sản xuất cũ, nhưng có thể là 0,5 micron trong quy trình sản xuất mới. Điều này có nghĩa là các nhà thiết kế mạch điện tử phải điều chỉnh layout của chip để đáp ứng các quy tắc thiết kế layout mới. Với đồ án này chúng tôi dùng quy trình thiết kế 90nm được cung cấp bởi công cụ Cadence và các tính toán sẽ dựa vào một đơn vị chuẩn là λ . Trong bài tiểu luận này đơn vị λ được tính bằng 0.03 um hay 30 nm.

Ngoài ra, các quy tắc thiết kế layout của các nhà máy đúc khác nhau cũng có thể khác nhau. Điều này có nghĩa là các nhà thiết kế mạch điện tử phải kiểm tra các quy tắc thiết kế layout của nhà máy đúc mà họ dự định sản xuất chip trước khi bắt đầu thiết kế layout.

Tiêu biểu ta có thể nêu ra Một tập hợp các quy tắc thiết kế conservative nhưng dễ sử dụng cho các layout có hai lớp kim loại trong quy trình n-well như sau [10]:

- + Các đường Metal và Diffusion có độ rộng tối thiểu 4 và có khoảng cách tối thiểu 4λ .
- + Contacts có diện tích $2\lambda \times 2\lambda$ và xung quanh phải được bao quanh bởi 1λ ở lớp trên và lớp dưới.
- + Polysilicon có độ rộng là 2λ .
- + Polysilicon có thể chồng lên lớp Diffusion khoảng cách 2λ ở nơi có transistor và 1λ ở nơi không có transistor.
- + Polysilicon và Contacts phải cách nhau 3λ .
- + N-well bao quanh pMOS phải lớn ít nhất 6λ . và phải cách nMOS 6λ .

Các quy tắc này sẽ được ra ví dụ minh họa như hình 2.2 bên dưới:



Hình 2.2: Quy tắc thiết kế dựa trên λ được đơn giản hóa [10].

2.1. Ô nhớ (Cell Memory)

2.1.1. Thiết kế mạch nguyên lý và đóng gói ô nhớ (Cell Memory)

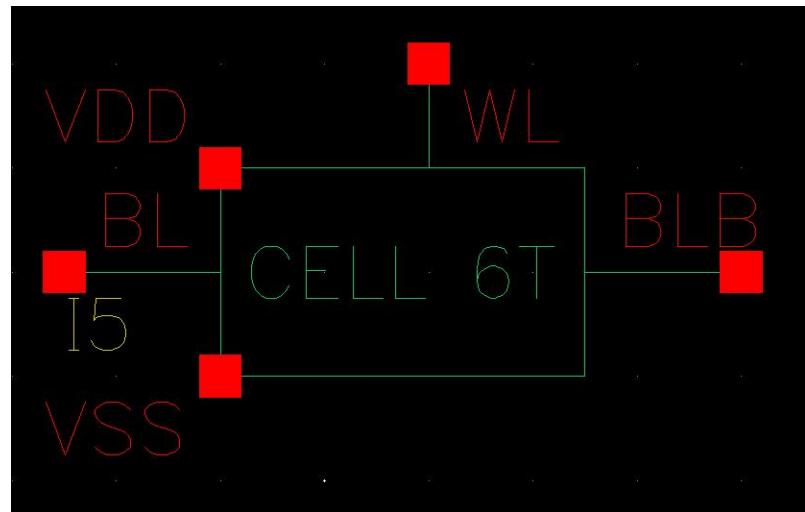
- Cấu tạo của ô nhớ:

Đặc trưng của SRAM6T là ô nhớ được cấu tạo từ 6 transistor được ghép nối để có thể thực hiện việc lưu, đọc, và ghi dữ liệu vào bên trong. Cấu tạo của một ô nhớ gồm có 5 chân như hình 2.3.

+ 1 ngõ vào **WL** được nối với bộ giải mã để thực hiện chức năng chọn ô nhớ cho các hoạt động đọc, ghi và lưu dữ liệu.

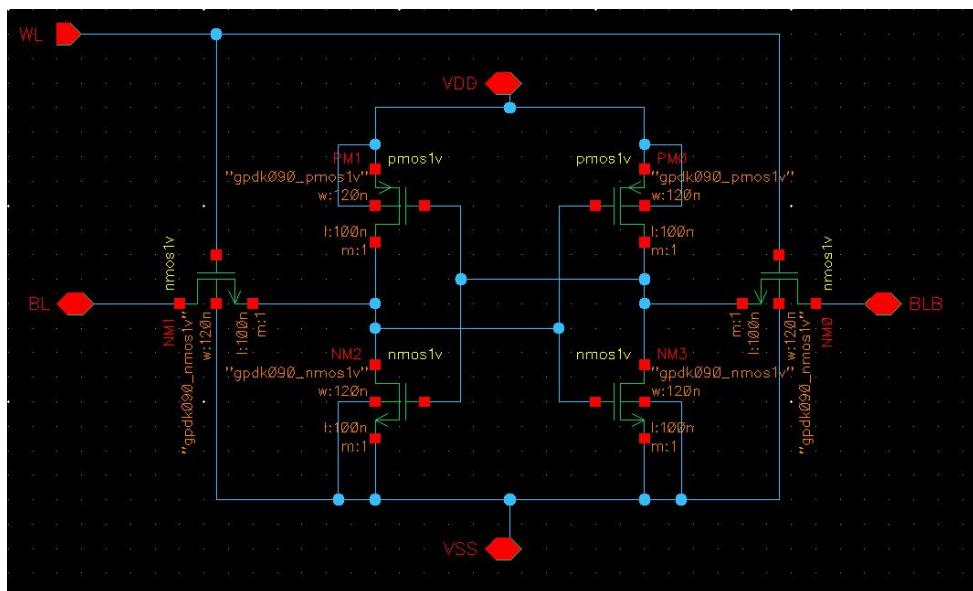
+ 2 ngõ vào ra **BL** và **BLB** chịu trách nhiệm liên kết ô nhớ với các khối đọc và ghi dữ liệu.

+ 2 chân cấp nguồn **Vdd**, **Vss** chịu trách nhiệm cấp nguồn để ô nhớ có thể hoạt động. Ta luôn phải cấp nguồn cho ô nhớ thì lúc này ô nhớ mới có thể hoạt động và đó cũng chính là đặc tính của SRAM, loại RAM chỉ hoạt động khi được cấp nguồn.



Hình 2.3: Mạch đóng gói của SRAM6T (Sysbol).

Dựa theo lý thuyết ở phần 1.2.2.1 ta sẽ tiến hành lắp các transistor để tạo ra một mạch nguyên lý cho SRAM6T như hình 2.4.



Hình 2.4: Mạch nguyên lý của ô nhớ SRAM6T.

Với thiết kế theo quy trình 90nm được thực hiện bởi Cadence thì giá trị chiều dài và chiều rộng của các transistor được thể hiện trên hình 2.4 với giá trị chiều dài 100nm và chiều rộng 120nm. Các transistor được kết nối theo đúng với mạch điện đã nêu ra ở lý thuyết. Lưu ý về chân body của pmos và nmos, với pmos chân body sẽ được nối lên nguồn để tạo một cực điện áp âm ở cực cổng và ngược lại với chân body của nmos ta cần nối đất để tạo điện áp dương ở cực nguồn điều này sẽ mang lại các lợi ích:

- + Giúp đơn giản hóa mạch điện, vì chỉ cần một nguồn cấp điện duy nhất.

+ Giúp giảm tiếng ồn, vì các transistor pMOS và nMOS hoạt động ở hai mức điện áp ngược nhau.

+ Giúp tăng hiệu suất, vì các transistor pMOS và nMOS có thể được sử dụng để tạo ra mạch logic bổ sung (CMOS), giúp giảm tiêu thụ điện năng.

2.1.2. Layout và kiểm tra ô nhớ (Cell Memory)

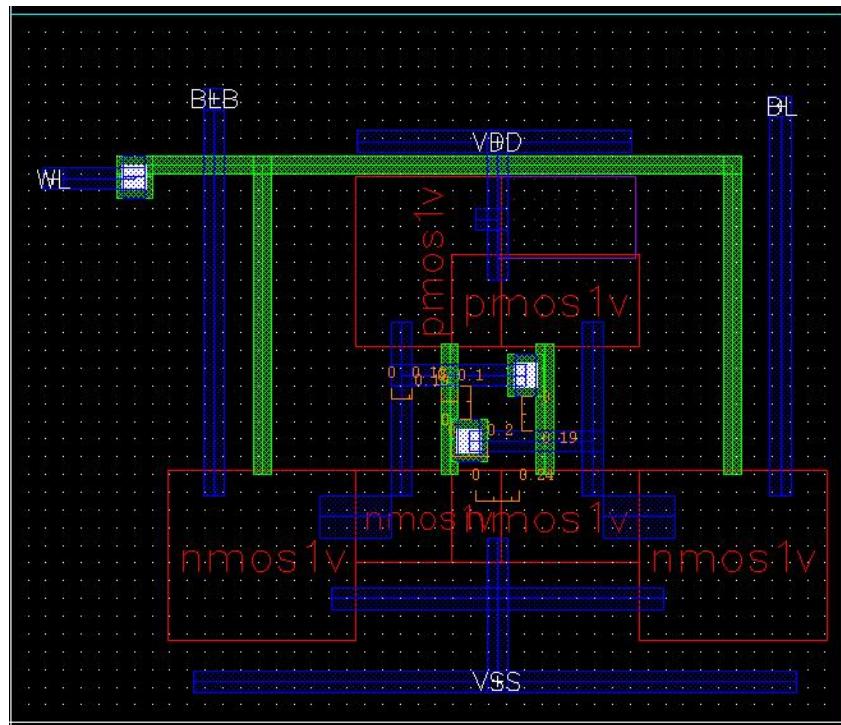
2.1.2.1. Layout ô nhớ

Với mạch nguyên lý đã được thiết kế như trên và phần đánh giá cũng như kiểm tra chức năng của ô nhớ đã được chúng tôi thực hiện ở đồ án 1 của mình [6]. Chúng tôi sẽ tiến hành thiết kế layout cho ô nhớ của SRAM6T bằng công cụ của Cadence. Việc thiết kế layout này sẽ được thực hiện bằng phần mềm của Cadence bao gồm cả việc kiểm tra quy luật kết nối và tính logic của nó.

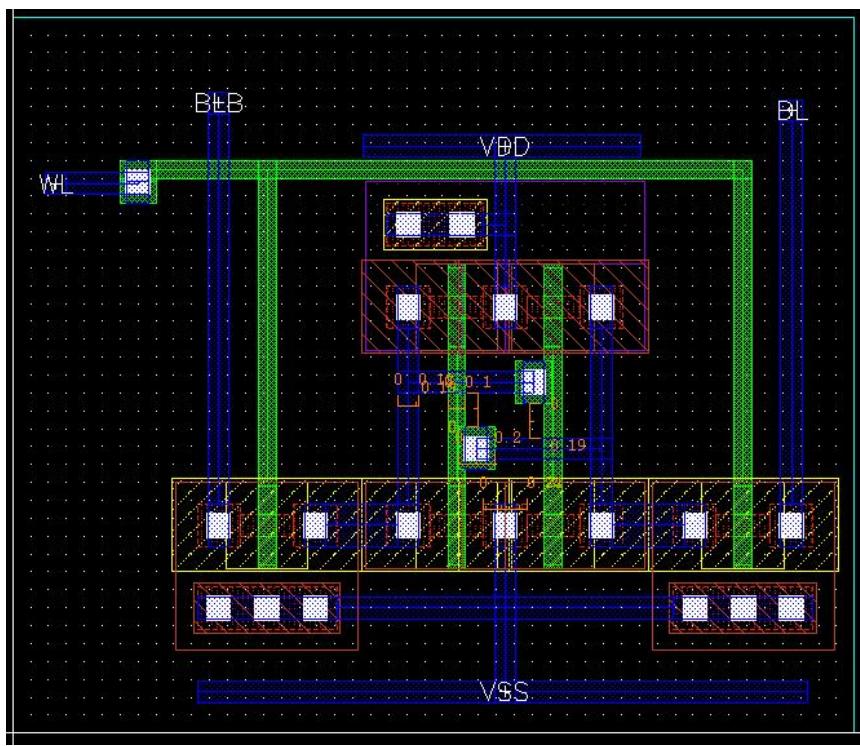
Như đã đề cập ở phần đầu của chương 2 việc thiết kế layout là việc ta sẽ thực hiện kết nối các đường dây nằm trên các lớp để tạo ra một mạch đúng với mạch nguyên lý và các lớp sẽ cách điện với nhau. Với việc layout thì nó có thể có rất nhiều hình dạng tùy thuộc vào ý tưởng của người thiết kế và với chúng tôi cũng vậy việc layout này nằm ở ý tưởng cá nhân nhưng nó sẽ đảm bảo được việc đúng các quy luật và quy tắc thiết kế.

Thực hiện layout và đánh giá các thiết kế của chúng tôi như sau:

Cách 1: Thực hiện với tất cả các điện cực là metal bao gồm các ngõ vào và ra như hình 2.5:



Hình 2.5: Mô hình layout được nhìn theo sơ đồ các pmos và nmos
Đi sâu vào thiết kế layout và đánh giá chi tiết như hình 2.6:



Hình 2.6: Cấu tạo chi tiết layout ô nhớ 6T.

Chi tiết được đánh dấu bằng ô vuông màu đỏ trong hình chính là các điện cực hay là các pin ngõ vào và ra của một SRAM6T và được cấu tạo từ metal. Các chi tiết được đánh dấu màu vàng chính là các Via chịu trách nhiệm

liên kết lớp metal và lớp poly tại điểm mà có via ngay tại đó các đường dây tại hai lớp có thể nối với nhau.

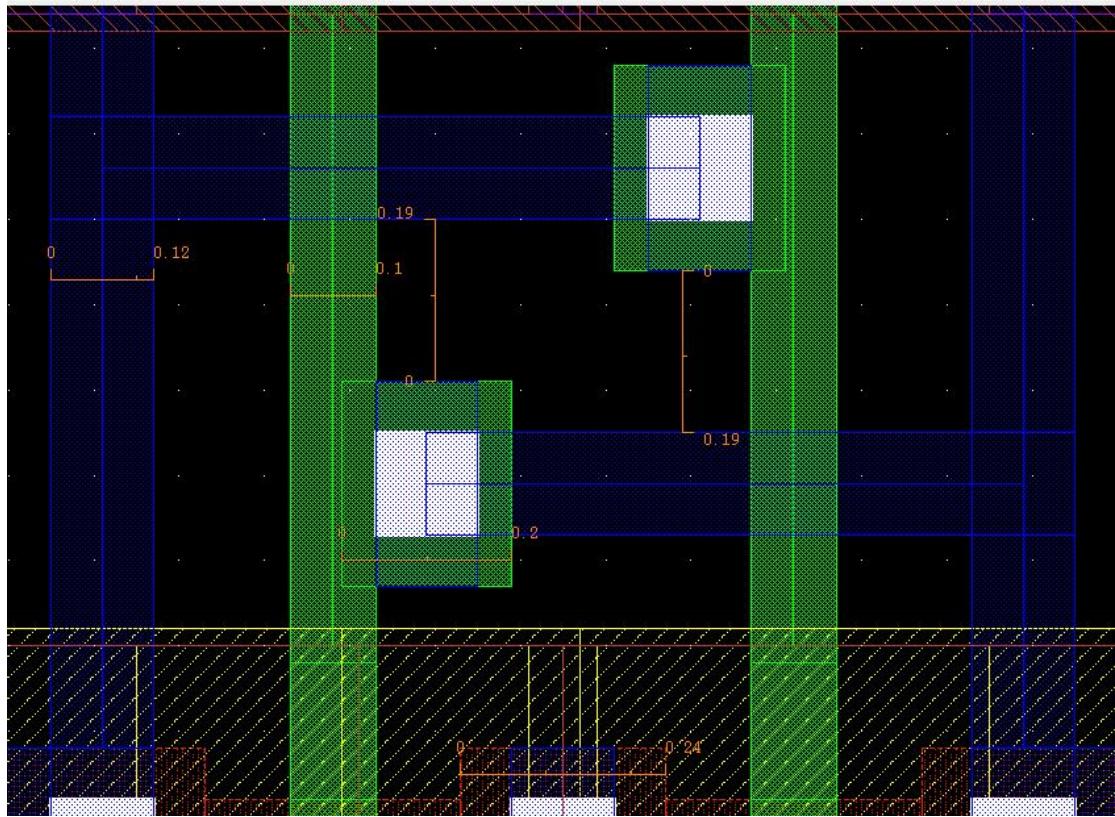
Các đường dây màu xanh dương chính là đường dây metal có thể liên kết trực tiếp các pin được cấu tạo bằng metal vào trong cực của BJT cũng có cấu tạo từ metal.

Chi tiết đáng chú ý là việc sử dụng bodytie configuration trong việc thiết kế các transistor để đảm bảo mạch hoạt động ổn định và không bị nhiễu, cụ thể ở thiết kế này chúng tôi tiến hành sử dụng Partial bodytie tức là một số transistor được kết nối với nền, trong khi các transistor khác không được kết nối với nền, lợi ích của việc này là giảm nhiễu và giảm điện dung để giúp cải thiện và làm tăng hiệu suất của transistor. Trong trường hợp ghép 2 điện cực của Transistor để tạo thành thiết kế nhỏ gọn hơn thì việc sử dụng bodytie kiểu Detached là một cách giúp tối ưu và giúp giảm hiện tượng phóng điện tĩnh giữa hai tiếp điểm, có thể gây hư hỏng cho mạch.

2.1.2.2. Kiểm tra layout ô nhớ

Việc thực hiện kiểm tra chuyên sâu về quy luật thiết kế DRC và quy luật logic được thực hiện bởi phần mềm Cadence, nhưng thay vì dựa hết vào phần mềm ta có thể thực hiện kiểm tra thủ công một số nguyên lý cơ bản để ta hiểu hơn về quy luật thiết kế.

Việc thực hiện kiểm tra quy luật thiết kế DRC cơ bản có thể được thực hiện như hình 2.7:



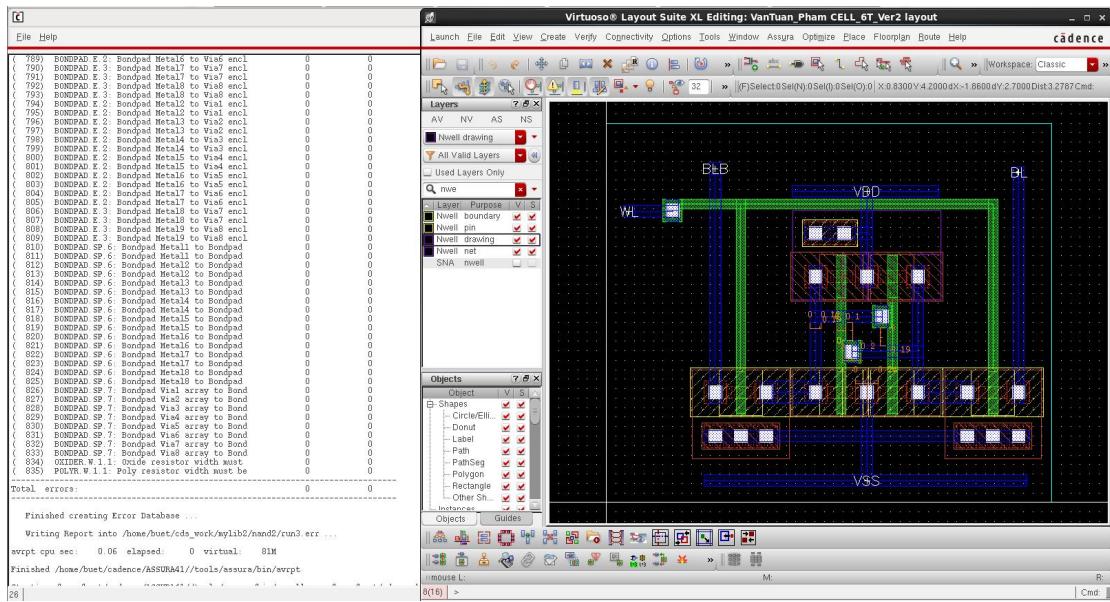
Hình 2.7: Một số kích thước thỏa quy luật DRC

Như đã nhắc ở đầu chương 2 việc tính toán các kích thước của đường dây là từ một đơn vị chuẩn λ dựa vào đó ta có thể đánh giá hình 2.7:

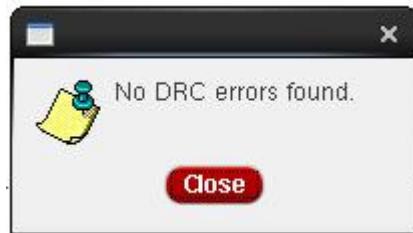
Với quy trình thiết kế 90nm thì λ có thể bằng 30nm và chúng tôi sẽ dùng giá trị này trong đồ án này:

- Khoảng cách giữa các đường metal $\geq 4\lambda$ tức là ≥ 0.12 um và khoảng cách đo được trong hình là khoảng 0.19 um \Rightarrow thỏa quy luật
- Độ rộng của một đường metal $\geq 4\lambda$ và trên hình độ rộng của đường metal = 0.12um \Rightarrow thỏa quy luật
- Độ rộng của một đường poly $\geq 2\lambda$ và trong hình chúng tôi đo được là 0.1 um \Rightarrow thỏa yêu cầu.

Một vài quy luật có thể kiểm tra bằng thủ công nhưng xét cả quá trình và các quy luật theo đúng chuẩn DRC thì có thể nói là rất nhiều và rất lớn vì vậy để kiểm tra một cách triệt để thiết kế ta sẽ sử dụng tool Cadence trong trường hợp này và kết quả sau khi thực hiện kiểm tra như hình 2.8 và hình 2.9. Sau khi thực hiện kiểm tra DRC với Cadence ta có thể kiểm tra tổng cộng 835 quy luật và cho về kết quả sau khi kiểm tra.



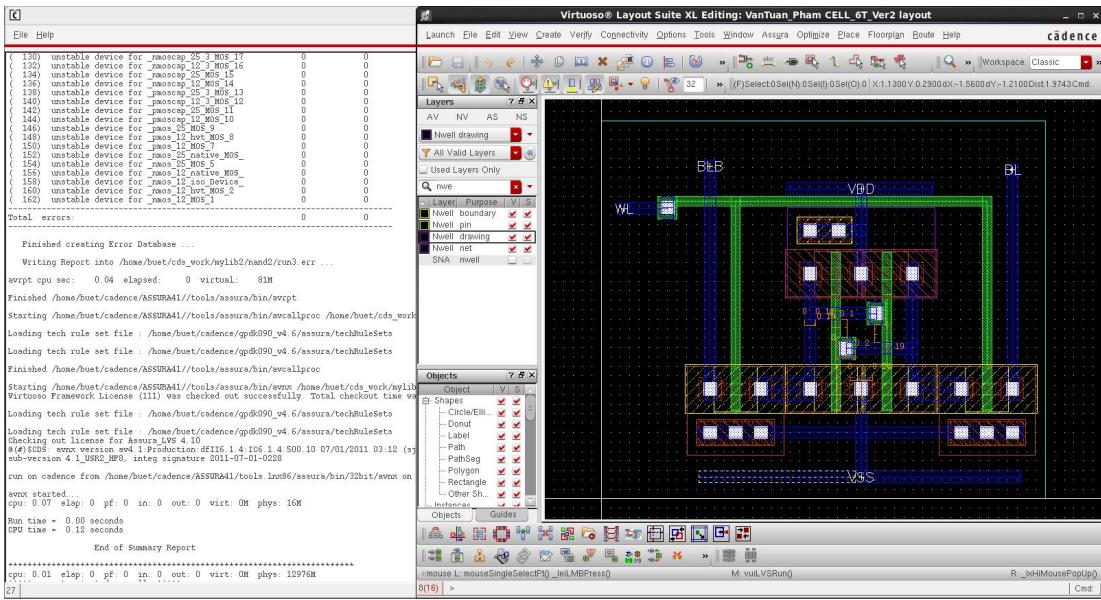
Hình 2.8: File thông báo kết quả kiểm tra luật DRC của ô nhớ 6T.



Hình 2.9: Trạng thái sau khi kiểm tra hoàn tất bởi Cadence.

Về cơ bản việc thực hiện kiểm tra quy luật thiết kế đã hoàn chỉnh và có thể tiến hành bước tiếp theo là thực hiện kiểm tra tính logic của mạch có chính xác với mạch nguyên lý không. Sau khi thực hiện kiểm tra ta sẽ thu được file thông báo kết quả kiểm tra và một cửa sổ thông báo trạng thái khi đã kiểm tra xong như hình 2.10 và 2.11.

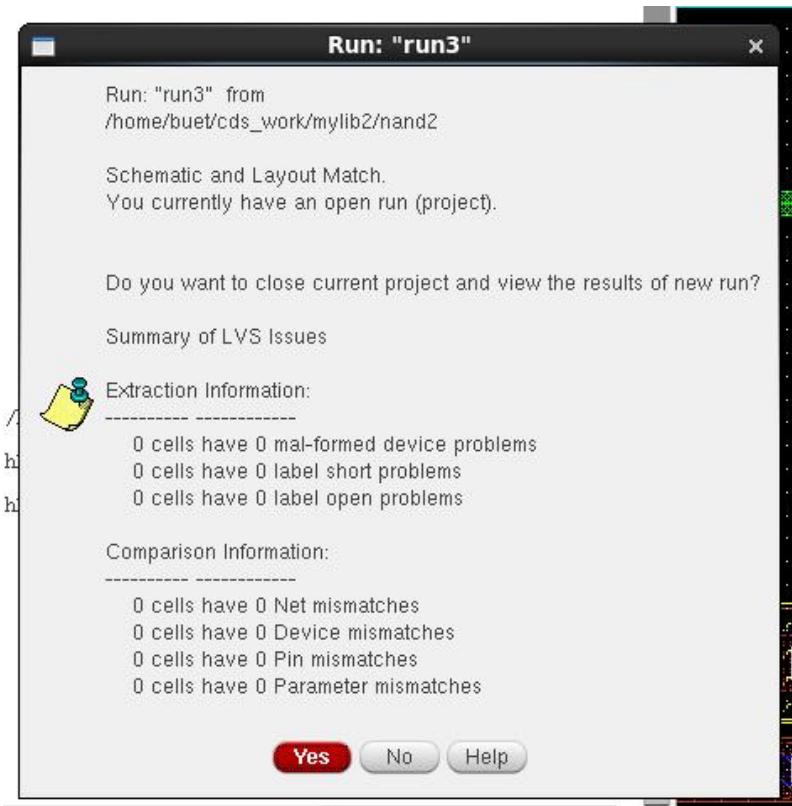
Việc thực hiện kiểm tra logic là một yếu tố quan trọng để xem quá trình thiết kế có bám sát với quá trình thiết kế mạch nguyên lý hay không. Việc đánh giá gồm 162 quy luật để việc kiểm tra diễn ra hoàn chỉnh. Việc này là cực kì quan trọng vì có thể bạn thiết kế đúng với qui luật thiết kế nhưng chỉ cần sai sót so với mạch nguyên lý thì chức năng của mạch sẽ hoàn toàn khác.



Hình 2.10: File thông báo kết quả kiểm tra luật LVS của ô nhớ 6T.

Sau khi thực hiện kiểm tra chương trình sẽ cho ra trạng thái, kết quả sau khi kiểm tra như hình 2.11 bao gồm:

- **Extraction Information:** Thông tin này báo cáo kết quả trích xuất từ schematic và layout. Nếu không có lỗi nào được báo cáo, thì schematic và layout khớp nhau hoàn hảo.
 - + Device count: Số lượng thiết bị được trích xuất từ schematic và layout.
 - + Label short count: Số lượng nhãn bị trùng lặp giữa schematic và layout.
 - + Label open count: Số lượng nhãn không được sử dụng trong schematic hoặc layout.
- **Comparison Information:** Thông tin này báo cáo kết quả so sánh giữa schematic và layout. Nếu không có lỗi nào được báo cáo, thì schematic và layout khớp nhau hoàn hảo.
 - + Net count: Số lượng net được so sánh giữa schematic và layout.
 - + Device count: Số lượng thiết bị được so sánh giữa schematic và layout.
 - + Pin count: Số lượng pin được so sánh giữa schematic và layout.
 - + Parameter count: Số lượng thông số được so sánh giữa schematic và layout.



Hình 2.10: Trạng thái sau khi kiểm tra hoàn tất bởi Cadence.

Sau bước kiểm tra thì ta có thể thấy việc trích xuất cũng như so sánh giữa mạch nguyên lý và layout là tương đồng với nhau và không phát sinh các lỗi về logic giữa 2 mạch này.

2.1.3. Tối ưu hóa diện tích của ô nhớ (Cell Memory)

Việc thực hiện tối ưu hóa diện tích của layout là cực kì quan trọng và có thể nói nó quyết định sự thành bại của thiết kế, vì khi chúng ta tối ưu hóa được diện tích của layout chúng ta có thể đạt được các mong muốn:

- Giảm chi phí sản xuất: Diện tích layout càng nhỏ thì chi phí sản xuất càng thấp. Điều này là do các nhà sản xuất chip thường tính phí dựa trên diện tích chip.

- Tăng hiệu suất: Diện tích layout càng nhỏ thì hiệu suất chip càng cao. Điều này là do các thiết bị điện tử có thể được bố trí gần nhau hơn, giúp giảm độ trễ tín hiệu.

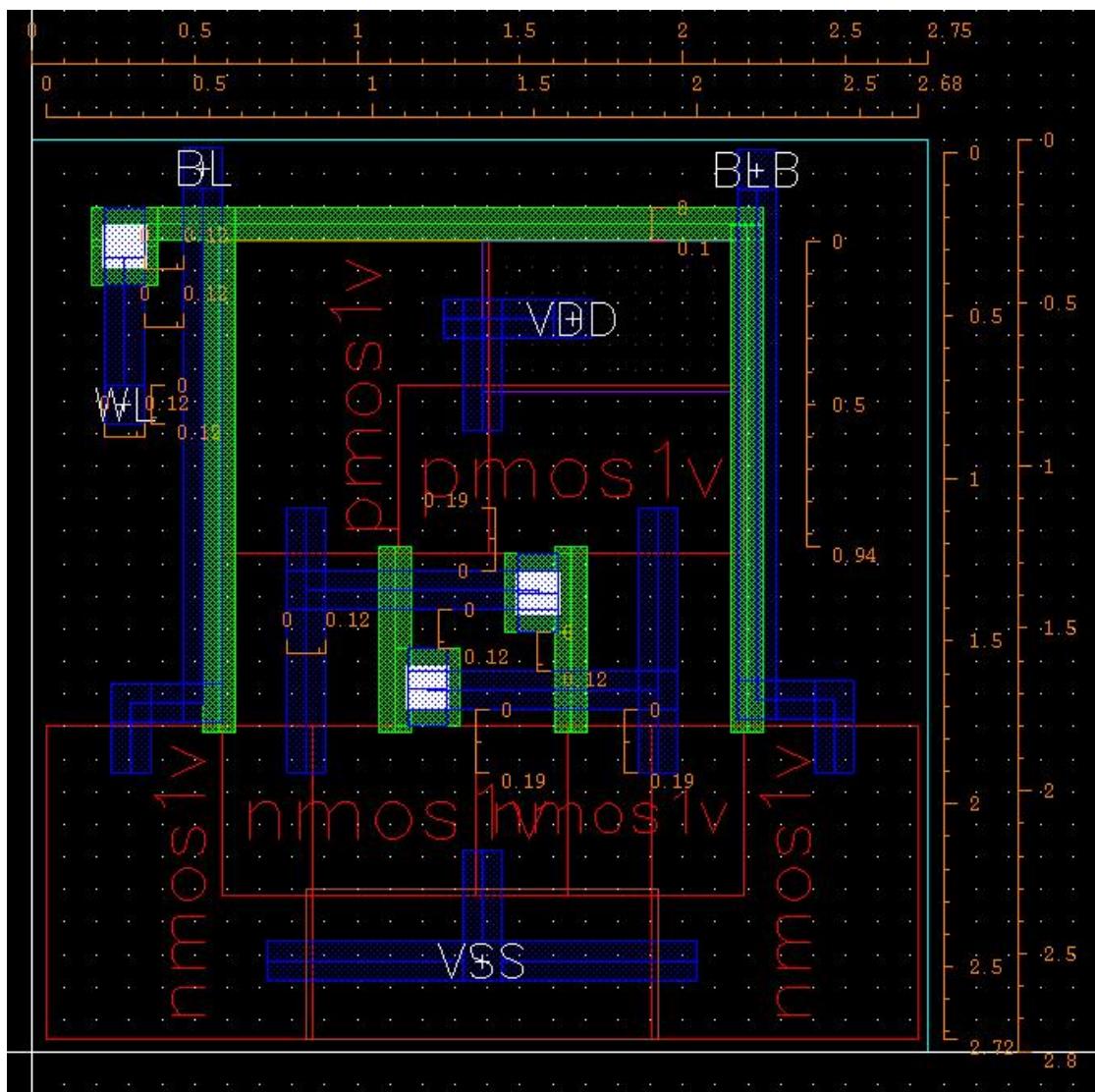
- Tăng khả năng tương thích: Diện tích layout càng nhỏ thì chip càng dễ dàng tương thích với các thiết bị khác. Điều này là do chip có thể được đặt trên các bo mạch nhỏ hơn.

Ở đồ án này chúng tôi thực hiện tối ưu hóa diện tích của layout bằng 2 phương pháp được sử dụng rất phổ biến là:

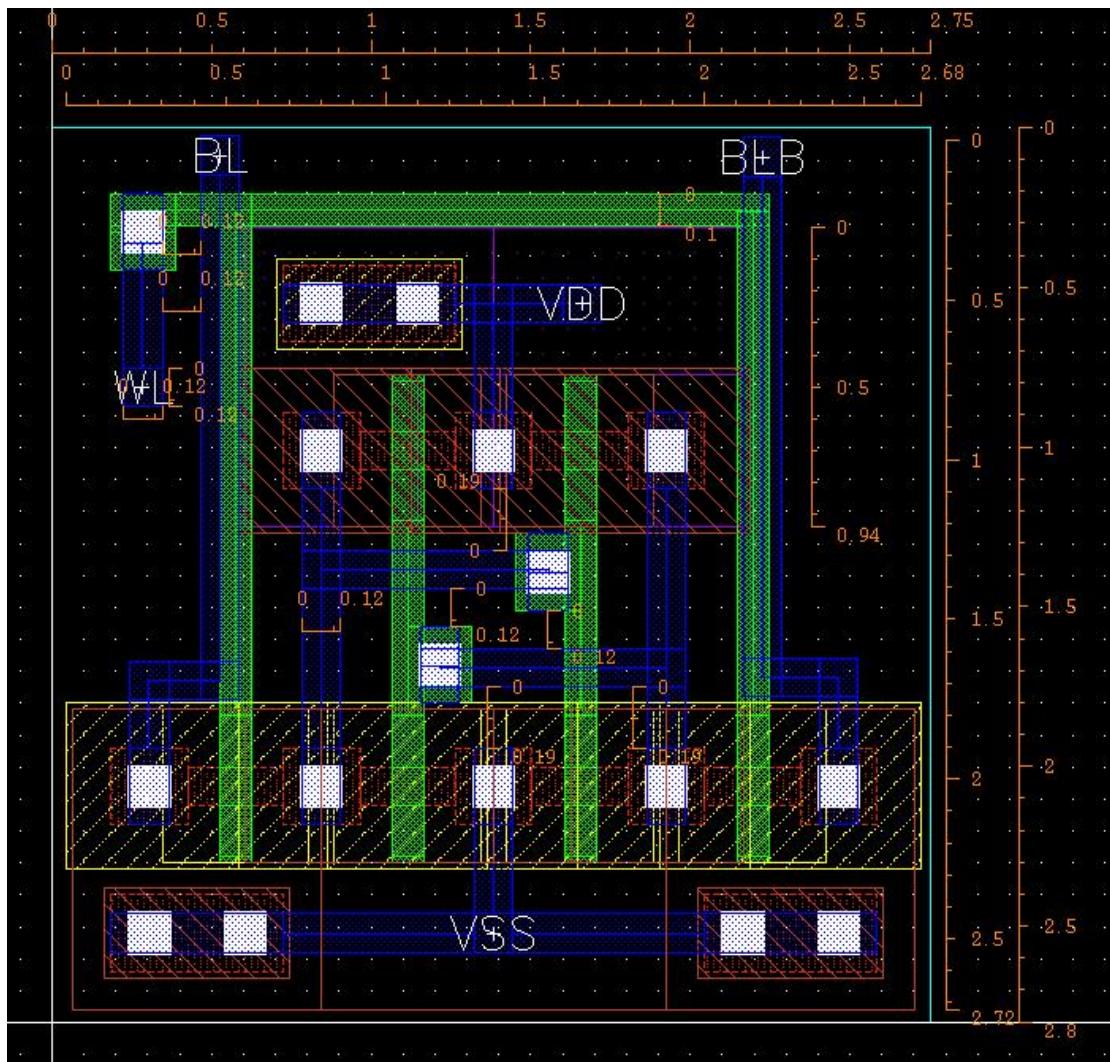
- Bố trí các thiết bị một cách hợp lý: Các thiết bị có thể được bố trí một cách hợp lý để giảm khoảng cách giữa chúng.

- Sử dụng các kỹ thuật tối ưu hóa diện tích: Có một số kỹ thuật tối ưu hóa diện tích có thể được sử dụng để giảm diện tích layout mà không ảnh hưởng đến hiệu suất.

Sau khi thực hiện tối ưu hóa diện tích ta có thể nhìn tổng quát về ô nhớ 6T như hình 2.11 và hình 2.12:



Hình 2.11: Sơ đồ sau khi tối ưu hóa diện tích của layout.



Hình 2.12: Sơ đồ chi tiết sau khi tối ưu hóa điện của layout.

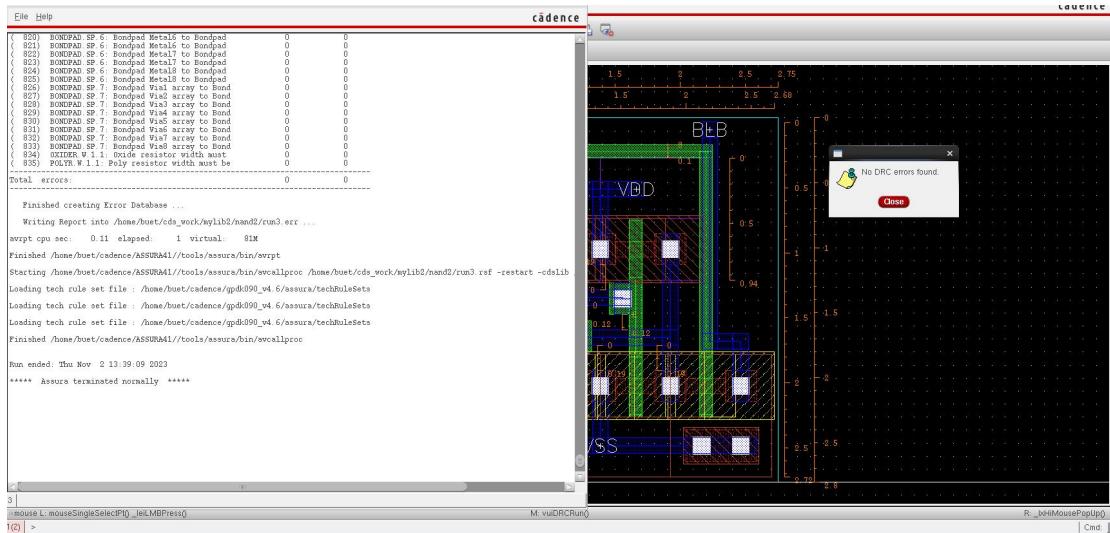
Từ hình 2.11 và 2.11 có thể nhận thấy diện tích sau khi thực hiện tối ưu hóa sẽ được giảm đáng kể so với thiết kế ban đầu ở hình 2.5 và hình 2.6:

- Thực hiện ghép nối các điện cực nơi tiếp điểm của các transistor để tạo thành điện cực chung sẽ làm cho diện tích giảm đáng kể.
- Tối ưu khoảng cách giữa các đường dây metal và khoảng cách giữa các đường poly theo đúng quy tắc thiết kế với khoảng cách giữa các đường metal là 0.12 um và với các đường poly là 0.1 um.

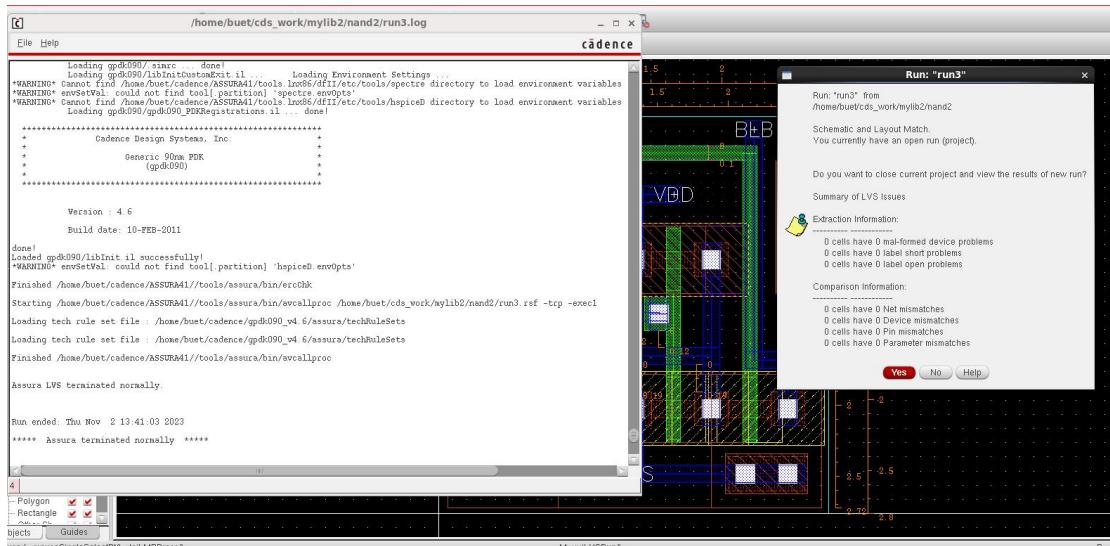
Sau khi thực hiện tối ưu hóa diện tích ta có thể đo đạc được diện tích của ô nhớ trong SRAM6T bằng 2.68×2.72 um. Với con số này có thể chấp nhận được vì mục đích của tối ưu hóa là đưa mạch về dạng hình vuông với chiều dài và rộng bằng nhau.

Và để đảm bảo việc tối ưu hóa diễn ra xuông sê và không gặp bất kì lỗi này thì ta cần tiến hành kiểm tra lại thiết kế một lần nữa. Kết quả kiểm tra như hình 2.13 kiểm tra quy luật thiết kế DRC và hình 2.14 kiểm tra quy luật logic

2.14.



Hình 2.13: Kết quả kiểm tra quy luật thiết kế DRC của ô nhớ.



Hình 2.14: Kết quả kiểm tra quy luật logic LVS của ô nhớ.

2.2. Mạch nạp trước (Pre-Charge)

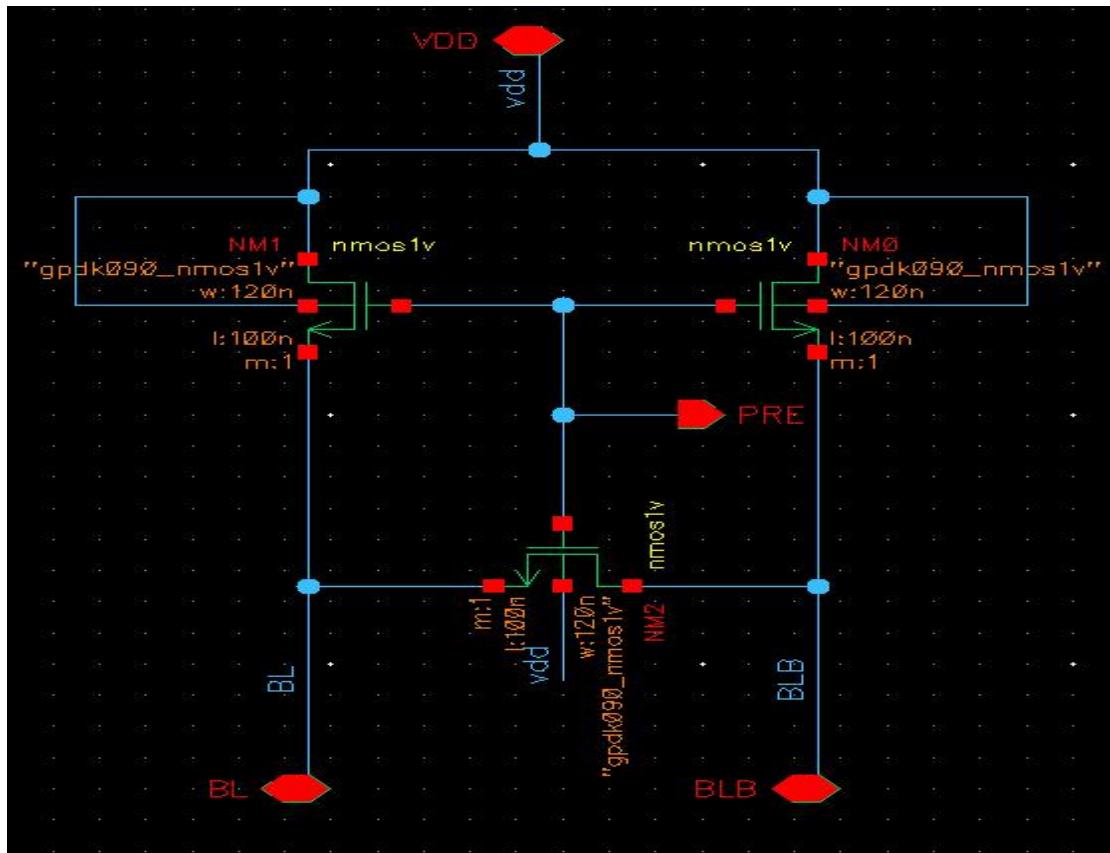
2.2.1. Thiết kế mạch nguyên lý và đóng gói mạch nạp trước (Pre-Charge)

- Cấu tạo của ô nhớ:
- + Chân **Vdd**: là chân cấp nguồn.
- + Chân **PRE**: chịu trách nhiệm điều khiển hoạt động của mạch nạp trước, cho phép nạp giá trị Vdd cho đường **BL** và **BLB** hay không.
- + Chân **BL**, **BLB**: là 2 chân ngõ ra của mạch.



Hình 2.15: Đóng gói của mạch nạp trước SRAM6T (Sysbol).

Mạch nạp trước sử dụng 3 transistor pMOS hoặc 3 nMOS. Với đồ án này mạch mà nhóm sử dụng là mạch nạp dùng 3 transistor nMOS gồm: MN0, MN1 và MN2. Sử dụng tính hiệu điều khiển PRE tích cực mức thấp như hình 1.10 để nạp giá trị Vdd vào 2 đường BL và BLB thông qua 2 transistor MN0 và MN1, transistor MN2 chịu trách nhiệm như 1 công tắc đóng khi PRE tích cực làm cho 2 đường BL và BLB được nối với nhau dẫn đến sự cân bằng đường áp giữa 2 đường BL và BLB từ những gì đã nêu ta sẽ xây dựng được nguyên lý mạch nạp trước như hình 2.16 bên dưới.



Hình 2.16: Mạch nguyên lí của mạch trước SRAM6T.

Như những tiêu chí đã được chỉ ra rõ ở mục **2.1.1** thì các thiết kế sau này sẽ tuân theo các tiêu chuẩn đó để đảm bảo tính đồng bộ của mạch.

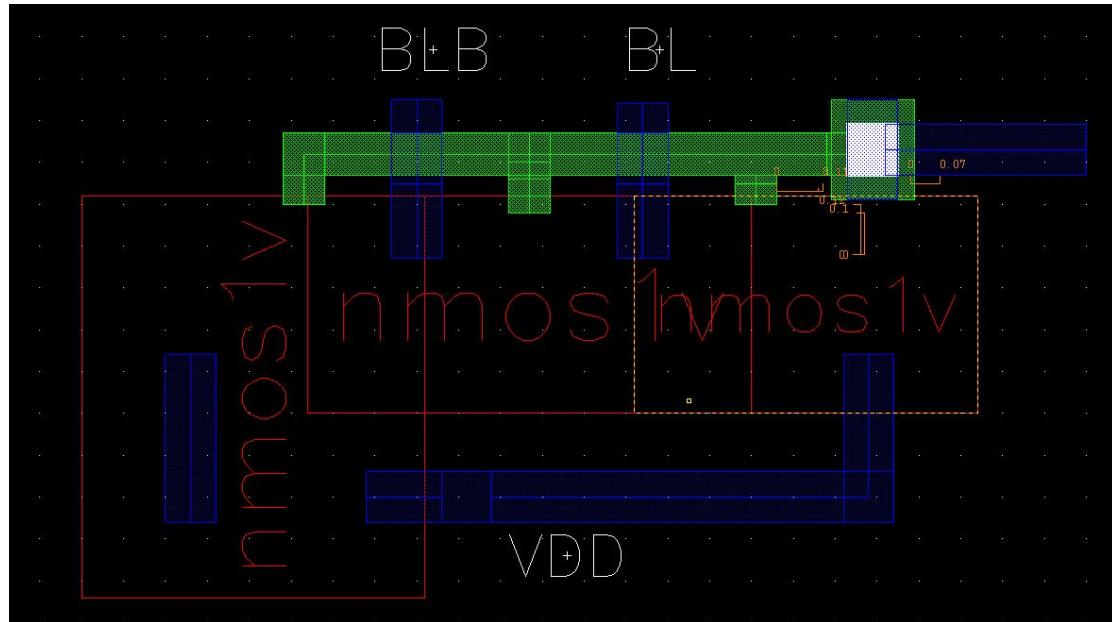
2.2.2. Layout và kiểm tra mạch nạp trước (Pre_charge)

2.2.2.1. Layout mạch nạp trước

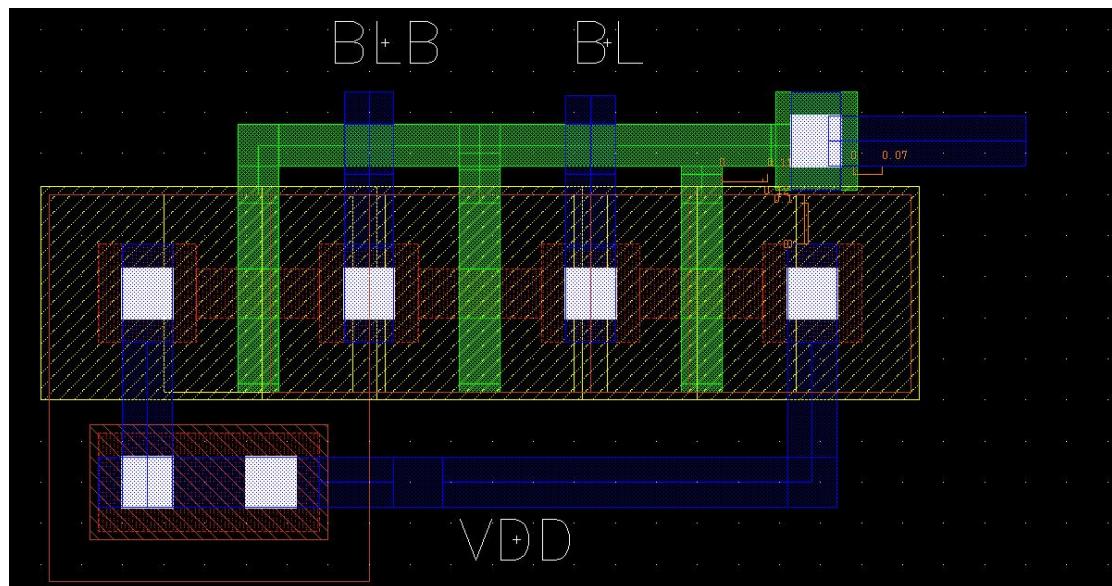
Với những gì đã nêu rõ ở mục **2.1.2.1. Layout ô nhớ** về các thiết kế và phần đánh giá cũng như kiểm tra chức năng đã được chúng tôi thực hiện ở đồ án 1 của mình. Chúng tôi sẽ tiến hành thiết kế layout các phần của SRAM6T bằng công cụ của Cadence cũng như việc thiết kế layout là việc ta sẽ thực hiện kết nối các đường dây nằm trên các lớp để tạo ra một mạch đúng với mạch nguyên lý và các lớp sẽ cách điện với nhau. Trong các nguyên cứu sau này sẽ không nhắc lại vấn đề đó.

Thực hiện layout và đánh giá các thiết kế của chúng tôi như sau:

Cách 1: Thực hiện với tất cả các điện cực là metal bao gồm các ngõ vào và ra như hình 2.17:



Hình 2.17: Mô hình layout được nhìn theo sơ đồ các pmos và nmos
Đi sâu vào thiết kế layout và đánh giá chi tiết như hình 2.18:



Hình 2.18: Cấu tạo chi tiết layout mạch nạp trước của SRAM 6T.

Chi tiết được đánh dấu bằng ô vuông màu đỏ trong hình chính là các điện cực hay là các pin ngõ vào và ra của một SRAM6T và được cấu tạo từ metal. Các chi tiết được đánh dấu màu vàng chính là các Via chịu trách nhiệm liên kết lớp metal và lớp poly tại điểm mà có via ngay tại đó các đường dây tại hai lớp có thể nối với nhau.

Các đường dây màu xanh dương chính là đường dây metal có thể liên kết trực tiếp các pin được cấu tạo bằng metal vào trong cực của BJT cũng có cấu tạo từ metal.

2.2.2.2. Kiểm tra layout mạch nạp trước

Việc thực hiện kiểm tra chuyên sâu về quy luật thiết kế DRC và quy luật logic được thực hiện bởi phần mềm Cadence, nhưng thay vì dựa hết vào phần mềm ta có thể thực hiện kiểm tra thủ công một số nguyên lý cơ bản để ta hiểu hơn về quy luật thiết kế.

Việc thực hiện kiểm tra quy luật thiết kế DRC cơ bản có thể được thực hiện như hình 2.19:



Hình 2.19: Một số kích thước thỏa quy luật DRC

Như đã nhắc ở đầu chương 2 việc tính toán các kích thước của đường dây là từ một đơn vị chuẩn λ dựa vào đó ta có thể đánh giá hình 2.19:

Với quy trình thiết kế kích thước 90nm thì λ có thể bằng 30nm và chúng tôi sẽ dùng giá trị này trong đồ án:

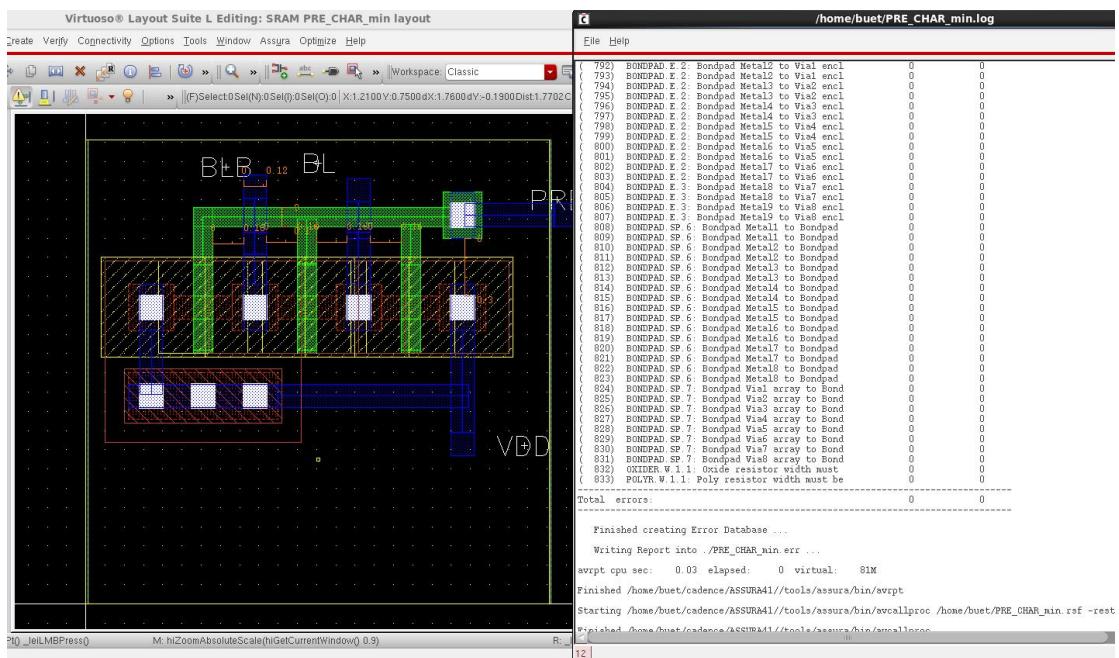
- Khoảng cách giữa các đường metal với lớp Oxide $\geq 3\lambda$ tức là ≥ 0.09 um và khoảng cách đo được trong hình là 0.3um \Rightarrow thỏa quy luật

- Khoảng cách giữa các đường metal $\geq 4\lambda$ tức là ≥ 0.12 um và khoảng cách đo được trong hình là khoảng 0.16 um \Rightarrow thỏa quy luật

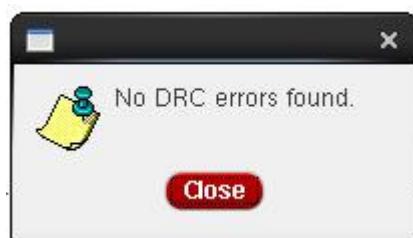
- Độ rộng của một đường metal $\geq 4\lambda$ và trên hình độ rộng của đường metal = 0.12um \Rightarrow thỏa quy luật

- Độ rộng của một đường poly $\geq 2\lambda$ và trong hình chúng tôi đo được là 0.1 um \Rightarrow thỏa yêu cầu.

Một vài quy luật có thể kiểm tra bằng thủ công nhưng xét cả quá trình và các quy luật theo đúng chuẩn DRC thì có thể nói là rất nhiều và rất lớn vì vậy để kiểm tra một cách triệt để thiết kế ta sẽ sử dụng tool Cadence trong trường hợp này và kết quả sau khi thực hiện kiểm tra như hình 2.20 và hình 2.21. Sau khi thực hiện kiểm tra DRC với Cadence ta có thể kiểm tra tổng cộng 833 quy luật và cho về kết quả sau khi kiểm tra.



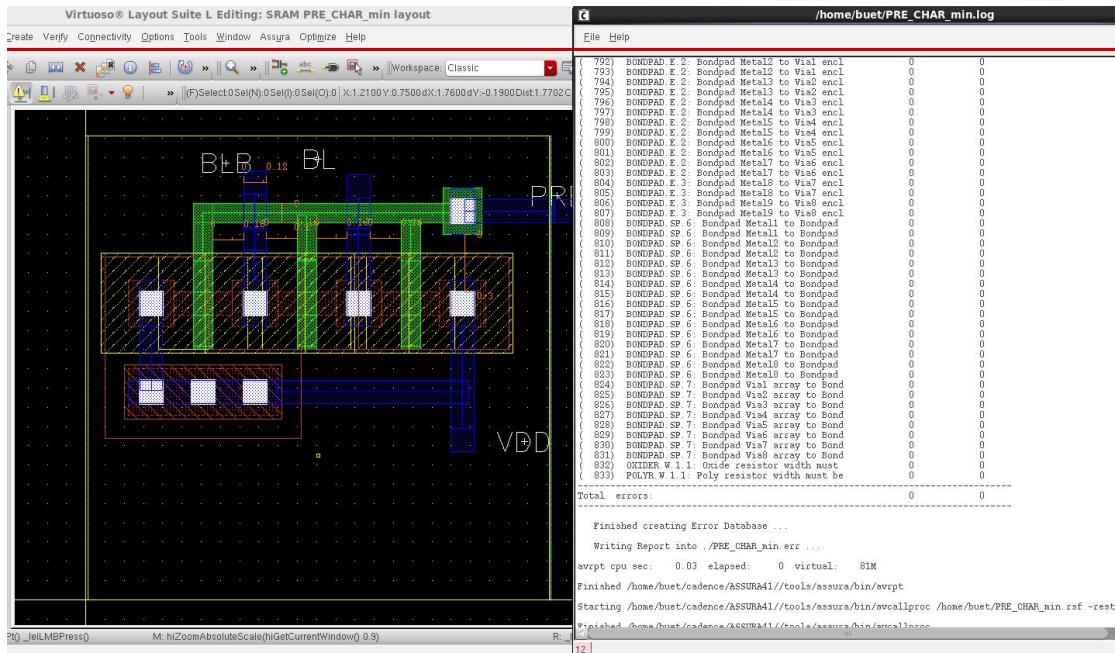
Hình 2.20: File thông báo kết quả kiểm tra luật DRC của Layout Pre_Charge.



Hình 2.21: Trạng thái sau khi kiểm tra hoàn tất bởi Cadence.

Về cơ bản việc thực hiện kiểm tra quy luật thiết kế đã hoàn chỉnh và có thể tiến hành bước tiếp là thực hiện kiểm tra tính logic của mạch có chính xác với mạch nguyên lý không. Sau khi thực hiện kiểm tra ta sẽ thu được file thông báo kết quả kiểm tra và một cửa sổ thông báo trạng thái khi đã kiểm tra xong như hình 2.22 và 2.23.

Việc thực hiện kiểm tra logic là một yếu tố quan trọng để xem quá trình thiết kế có bám sát với quá trình thiết kế mạch nguyên lý hay không. Việc đánh giá gồm 162 quy luật để việc kiểm tra diễn ra hoàn chỉnh. Việc này là cực kì quan trọng vì có thể bạn thiết kế đúng với qui luật thiết kế nhưng chỉ cần sai sót so với mạch nguyên lý thì chức năng của mạch sẽ hoàn toàn khác.



Hình 2.22: File thông báo kết quả kiểm tra luật LVS của mạch Pre_Charge.

Sau khi thực hiện kiểm tra chương trình sẽ cho ra trạng thái, kết quả sau khi kiểm tra như hình 2.23 bao gồm:

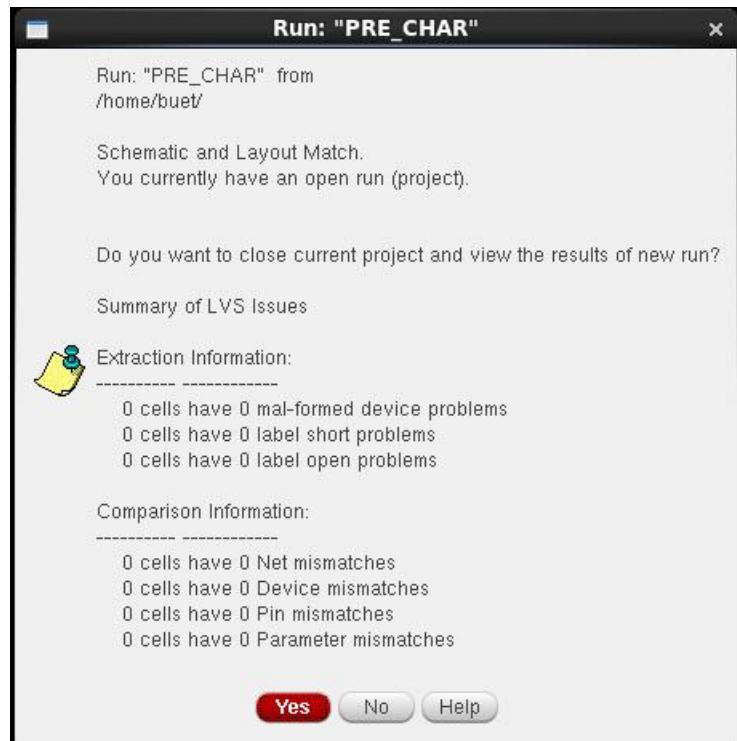
- **Extraction Information:** Thông tin này báo cáo kết quả trích xuất từ schematic và layout. Nếu không có lỗi nào được báo cáo, thì schematic và layout khớp nhau hoàn hảo.

- + Device count: Số lượng thiết bị được trích xuất từ schematic và layout.
- + Label short count: Số lượng nhãn bị trùng lặp giữa schematic và layout.
- + Label open count: Số lượng nhãn không được sử dụng trong schematic hoặc layout.

- **Comparison Information:** Thông tin này báo cáo kết quả so sánh giữa schematic và layout. Nếu không có lỗi nào được báo cáo, thì schematic và layout khớp nhau hoàn hảo.

- + Net count: Số lượng net được so sánh giữa schematic và layout.

- + Device count: Số lượng thiết bị được so sánh giữa schematic và layout.
- + Pin count: Số lượng pin được so sánh giữa schematic và layout.
- + Parameter count: Số lượng thông số được so sánh giữa schematic và layout.



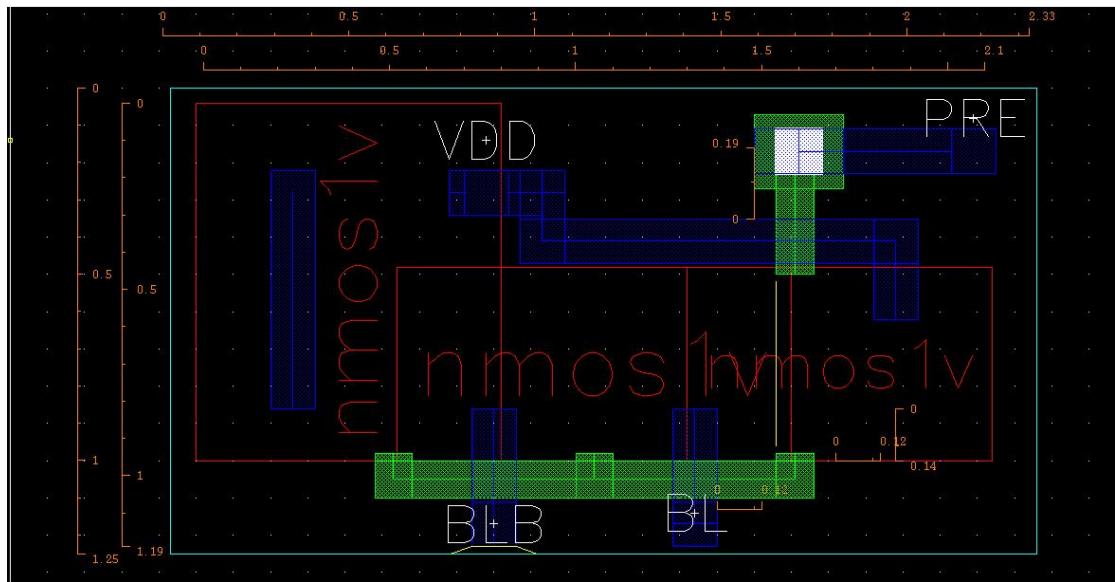
Hình 2.23: Trạng thái sau khi kiểm tra hoàn tất bởi Cadence.

Sau bước kiểm tra thì ta có thể thấy việc trích xuất cũng như so sánh giữa mạch nguyên lý và layout là tương đồng với nhau và không phát sinh các lỗi về logic giữa 2 mạch này.

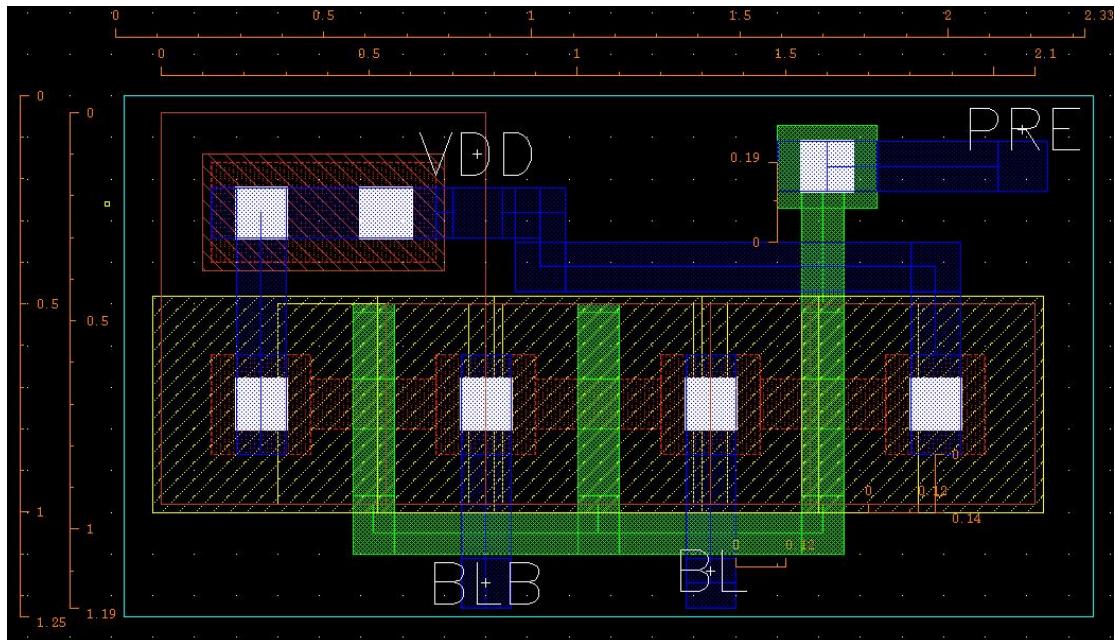
2.2.3. Tối ưu hóa diện tích của mạch nạp trước (Pre_Charge)

Việc thực hiện tối ưu hóa diện tích của Layout đóng vai trò rất quan trọng và những vai trò của

Sau khi thực hiện tối ưu hóa diện tích ta có thể nhìn tổng quát về ô nhớ 6T như hình 2.24 và hình 2.25:



Hình 2.24: Sơ đồ sau khi tối ưu hóa diện tích của layout.



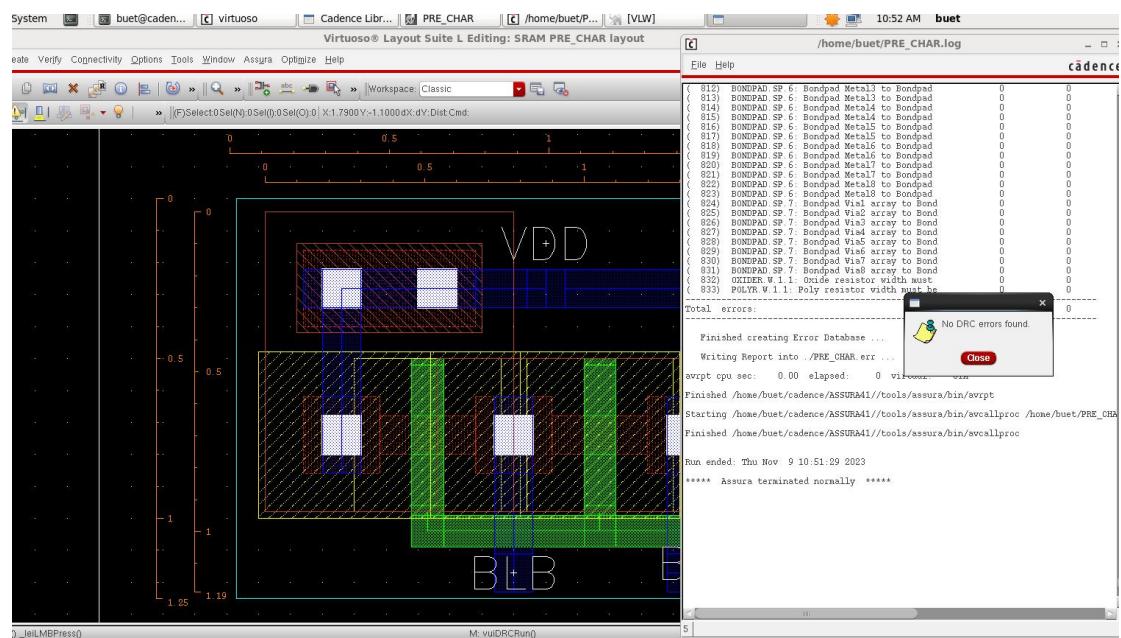
Hình 2.25: Sơ đồ chi tiết sau khi tối ưu hóa diện tích của layout.

Từ hình 2.24 và 2.25 có thể nhận thấy diện tích sau khi thực hiện tối ưu hóa sẽ được giảm đáng kể so với thiết kế ban đầu ở hình 2.17 và hình 2.18:

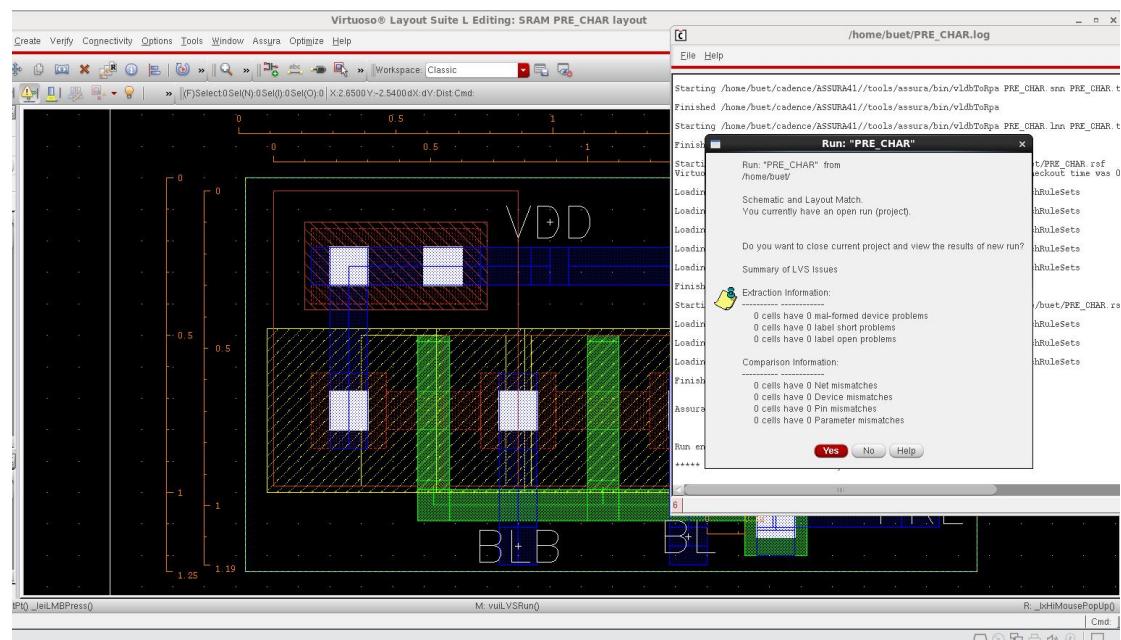
- Thực hiện ghép nối các điện cực nơi tiếp điểm của các transistor để tạo thành điện cực chung sẽ làm cho diện tích giảm đáng kể.
- Tối ưu khoảng cách giữa các đường dây metal và khoảng cách giữa các đường poly theo đúng quy tắc thiết kế với khoảng cách giữa các đường metal là 0.12 um và với các đường poly là 0.1 um.

Sau khi thực hiện tối ưu hóa điện tích ta có thể đo đạc được điện tích của mạch nạp trước bằng 2.38×1.19 um. Với con số này có thể chấp nhận được.

Và để đảm bảo việc tối ưu hóa diễn ra suôn sẻ và không gặp bất kì lỗi nào thì ta cần tiến hành kiểm tra lại thiết kế sau khi đã tối ưu hóa một lần nữa. Kết quả kiểm tra như hình 2.26 kiểm tra quy luật thiết kế DRC và hình 2.27 kiểm tra quy luật logic LVS.



Hình 2.26: Kết quả kiểm tra quy luật thiết kế DRC của mạch Pre_Charge.



Hình 2.27: Kết quả kiểm tra quy luật logic LVS của mạch Pre_Charge.

2.3. Mạch ghi dữ liệu (Write Driver)

2.3.1. Thiết kế mạch nguyên lý và đóng gói mạch ghi dữ liệu

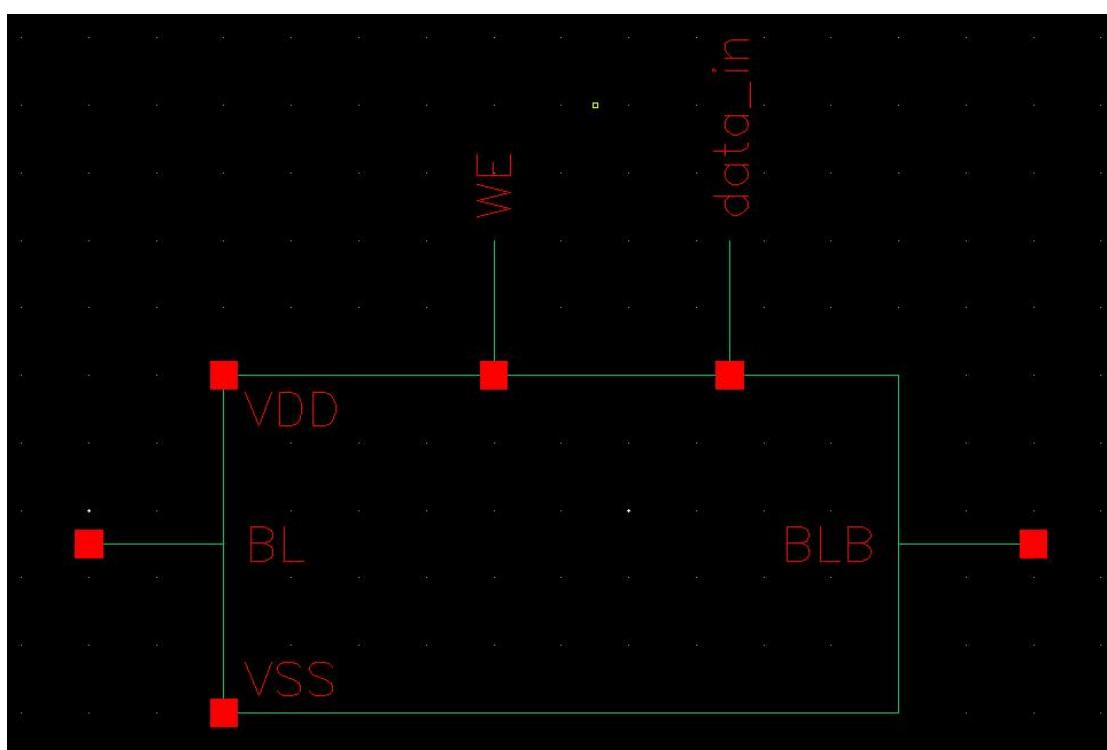
- Cấu tạo của mạch ghi dữ liệu gồm 6 chân với các chức năng khác nhau như hình 2.28 là đóng gói (symbol) và 2.29 cấu tạo chi tiết thiết kế (schematic) của mạch ghi dữ liệu thể hiện :

+ Chân WE là chân điều khiển cho phép mạch thực hiện ghi dữ liệu khi WE tích cực.

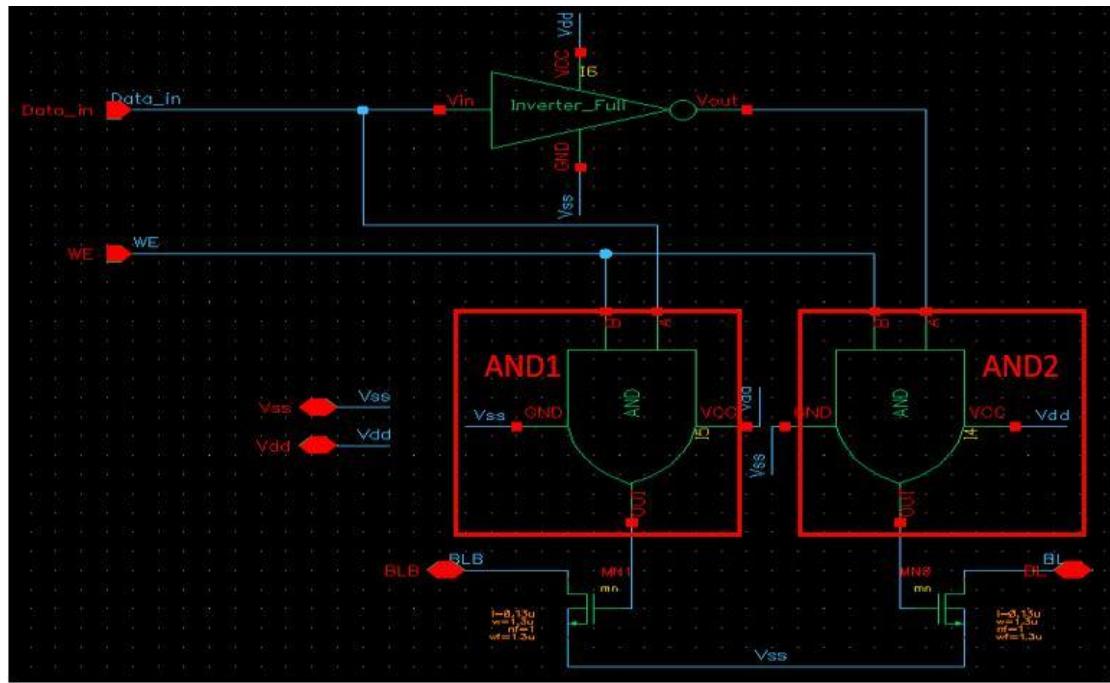
+ Chân Data_in là chân dữ liệu vào để thực hiện ghi dữ liệu mà chân này đưa vào ô nhớ.

+ Chân Vdd và Vss là các chân nguồn cho hoạt động của mạch ghi dữ liệu.

+ Chân BL và BLB là 2 chân ngõ ra của mạch ghi.



Hình 2.28: Symbol của mạch ghi trong SRAM 6T



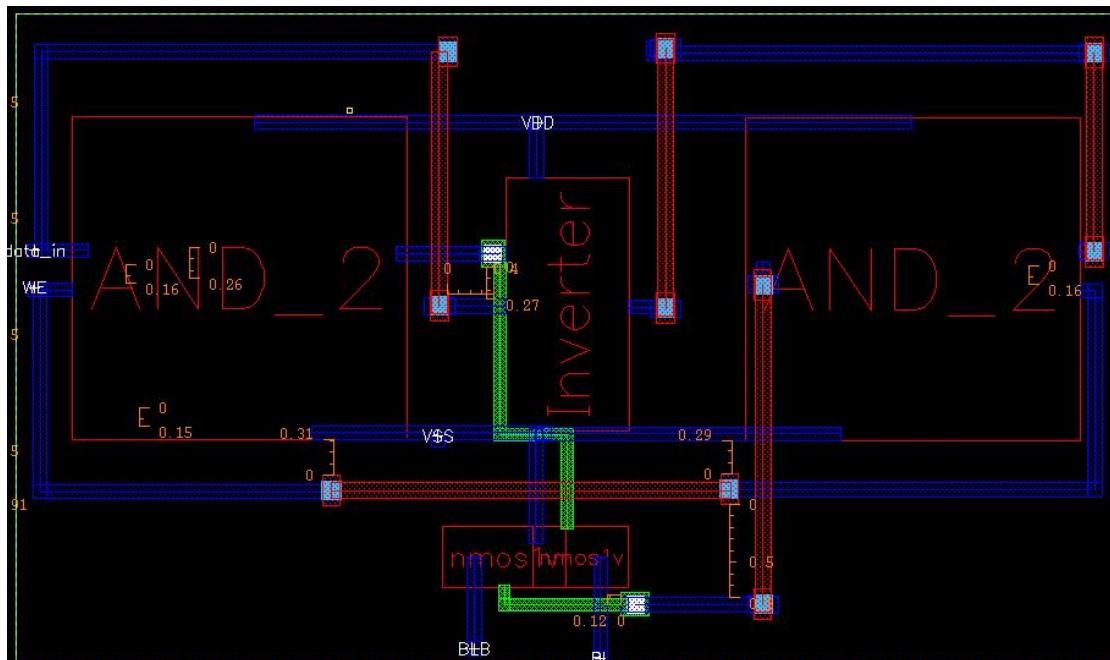
Hình 2.29: Cấu tạo chi tiết của mạch ghi trong SRAM 6T

2.3.2. Layout và kiểm tra mạch ghi dữ liệu (Write Driver)

2.3.2.1. Layout mạch ghi dữ liệu

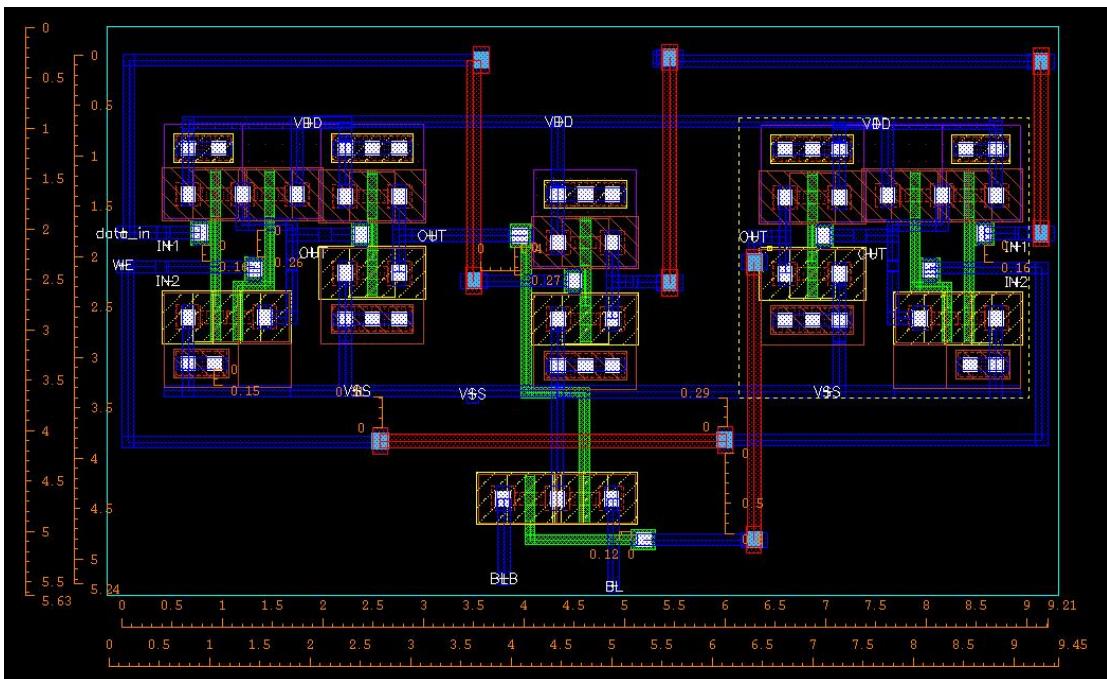
Thực hiện layout và đánh giá các thiết kế của chúng tôi như sau:

Cách 1: Thực hiện với tất cả các điện cực là metal bao gồm các ngõ vào và ra như hình 2.30:



Hình 2.30: Mô hình layout được theo sơ đồ các pmos và nmos.

Đi sâu vào thiết kế layout và đánh giá chi tiết như hình 2.31:



Hình 2.31: Cấu tạo chi tiết layout mạch ghi dữ liệu.

Các đường dây màu xanh dương, màu đỏ chính là đường dây metal có thể liên kết trực tiếp các pin được cấu tạo bằng metal vào trong cực của BJT cũng có cấu tạo từ metal.

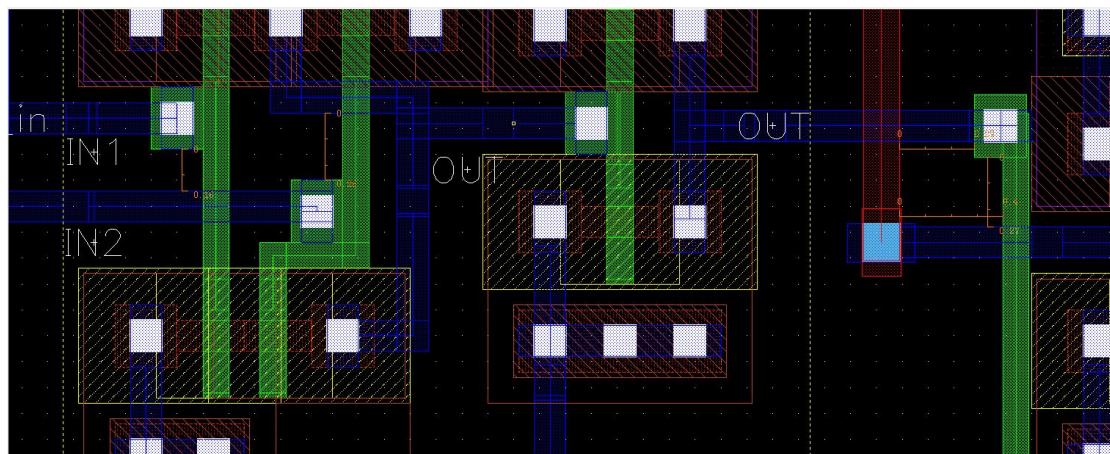
Trong mạch này, các tẩm Via màu xanh dương dùng để liên kết các đường dây metal màu xanh dương và màu đỏ lại với nhau, các tẩm Via màu vàng chịu trách nhiệm liên kết lớp poly với đường dây metal màu xanh dương.

Chi tiết đáng chú ý là việc sử dụng bodytie configuration trong việc thiết kế các transistor để đảm bảo mạch hoạt động ổn định và không bị nhiễu, cụ thể ở thiết kế này chúng tôi tiến hành sử dụng Partial bodytie tức là một số transistor được kết nối với nền, trong khi các transistor khác không được kết nối với nền, lợi ích của việc này là giảm nhiễu và giảm điện dung để giúp cải thiện và làm tăng hiệu suất của transistor. Trong trường hợp ghép 2 điện cực của Transistor để tạo thành thiết kế nhỏ gọn hơn thì việc sử dụng bodytie kiểu Detached là một cách giúp tối ưu và giúp giảm hiện tượng phóng điện tĩnh giữa hai tiếp điểm, có thể gây hư hỏng cho mạch.

2.3.2.2. Kiểm tra layout mạch ghi dữ liệu

Việc thực hiện kiểm tra chuyên sâu về quy luật thiết kế DRC và quy luật logic được thực hiện bởi phần mềm Cadence, nhưng thay vì dựa hết vào phần mềm ta có thể thực hiện kiểm tra thủ công một số nguyên lý cơ bản để ta hiểu hơn về quy luật thiết kế.

Việc thực hiện kiểm tra quy luật thiết kế DRC cơ bản có thể được thực hiện như hình 2.32:



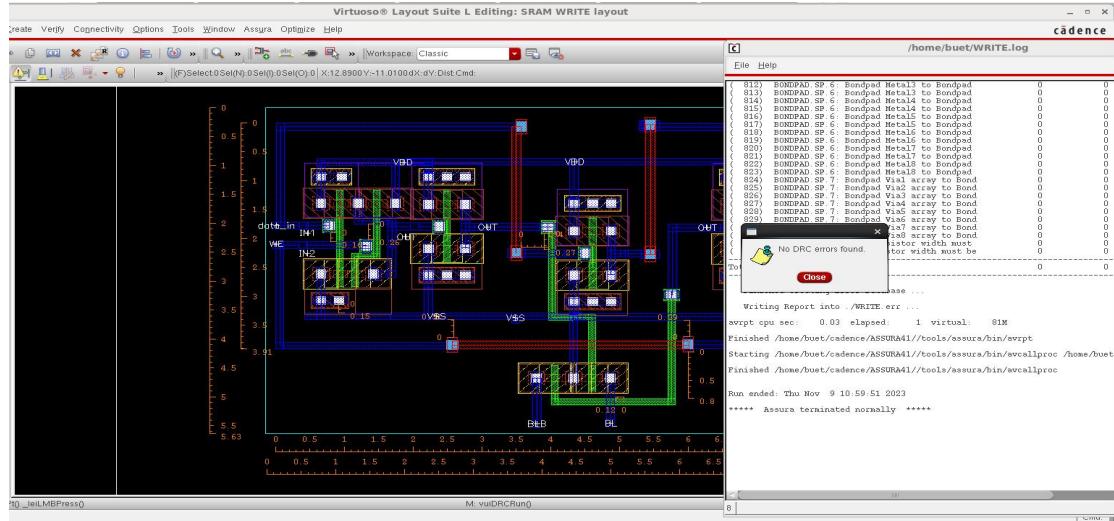
Hình 2.32: Một số kích thước thỏa quy luật DRC

Như đã nhắc ở đầu chương 2 việc tính toán các kích thước của đường dây là từ một đơn vị chuẩn λ dựa vào đó ta có thể đánh giá hình 2.32:

Với quy trình thiết kế 90nm thì λ có thể bằng 30nm và chúng tôi sẽ dùng giá trị này trong đồ án này:

- Khoảng cách giữa các đường metal $\geq 4\lambda$ tức là $\geq 0.12 \mu m$ và khoảng các đo được trong hình là khoảng $0.16 \mu m \Rightarrow$ thỏa quy luật
- Độ rộng của một đường metal $\geq 4\lambda$ và trên hình độ rộng của đường metal = $0.12 \mu m \Rightarrow$ thỏa quy luật
- Khoảng cách giữa đường metal màu đỏ và tâm Via nối giữ dây poly và dây metal màu xanh dương là $\geq 4\lambda$ tức là $\geq 0.12 \mu m$ và khoảng các đo được trong hình là khoảng $0.29 \mu m \Rightarrow$ thỏa quy luật
- Độ rộng của một đường poly $\geq 2\lambda$ và trong hình chúng tôi đo được là $0.1 \mu m \Rightarrow$ thỏa yêu cầu.
- Khoảng cách giữa các đường meta của tấm pin nmos là $\geq 4\lambda$ tức là $\geq 0.12 \mu m$ và khoảng cách đo được của mạch thi công là $0.15 \mu m \Rightarrow$ thỏa quy luật

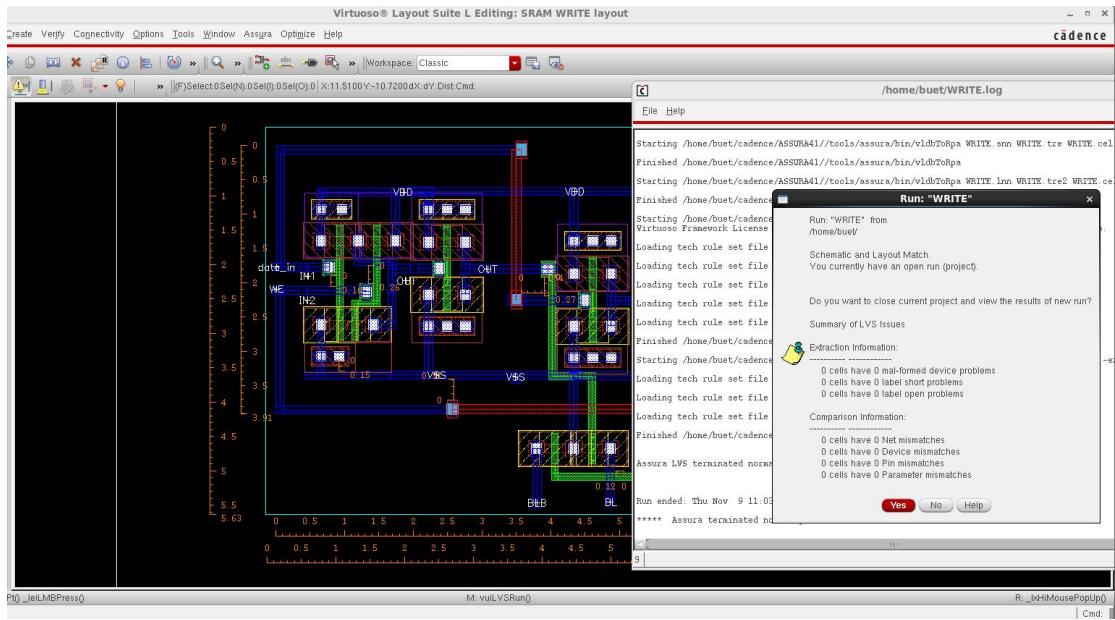
Một vài quy luật có thể kiểm tra bằng thủ công nhưng xét cả quá trình và các quy luật theo đúng chuẩn DRC thì có thể nói là rất nhiều và rất lớn vì vậy để kiểm tra một cách triệt để thiết kế ta sẽ sử dụng tool Cadence trong trường hợp này và kết quả sau khi thực hiện kiểm tra như hình 2.32. Sau khi thực hiện kiểm tra DRC với Cadence ta có thể kiểm tra tổng cộng 835 quy luật và cho về kết quả sau khi kiểm tra.



Hình 2.33: Kết quả kiểm tra quy luật thiết kế DRC của mạch ghi dữ liệu.

Về cơ bản việc thực hiện kiểm tra quy luật thiết kế đã hoàn chỉnh và có thể tiến hành bước tiếp là thực hiện kiểm tra tính logic của mạch có chính xác với mạch nguyên lý không. Sau khi thực hiện kiểm tra ta sẽ thu được file thông báo kết quả kiểm tra và một cửa sổ thông báo trạng thái khi đã kiểm tra xong như hình 2.33 và 2.34.

Việc thực hiện kiểm tra logic là một yêu tố quan trọng để xem quá trình thiết kế có bám sát với quá trình thiết kế mạch nguyên lý hay không. Việc đánh giá gồm 162 quy luật để việc kiểm tra diễn ra hoàn chỉnh. Việc này là cực kì quan trọng vì có thể bạn thiết kế đúng với qui luật thiết kế nhưng chỉ cần sai sót so với mạch nguyên lý thì chức năng của mạch sẽ hoàn toàn khác.

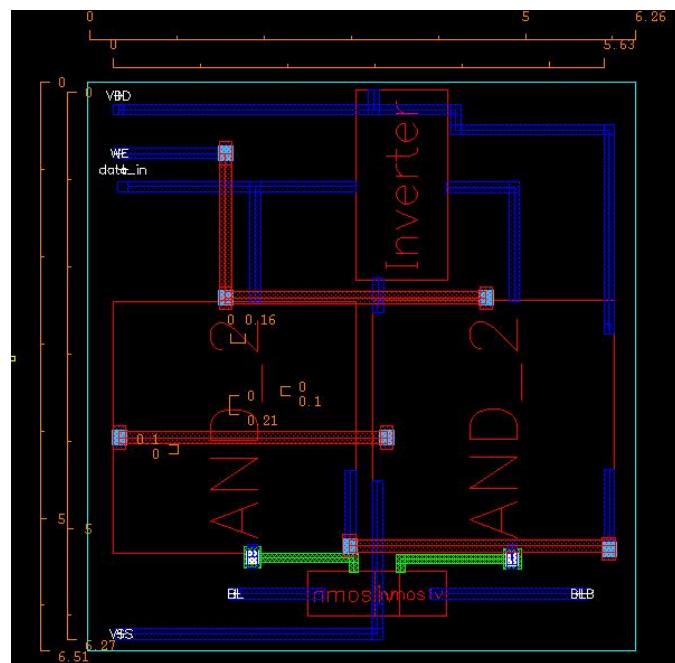


Hình 2.34: Kết quả kiểm tra luật LVS của mạch ghi dữ liệu.

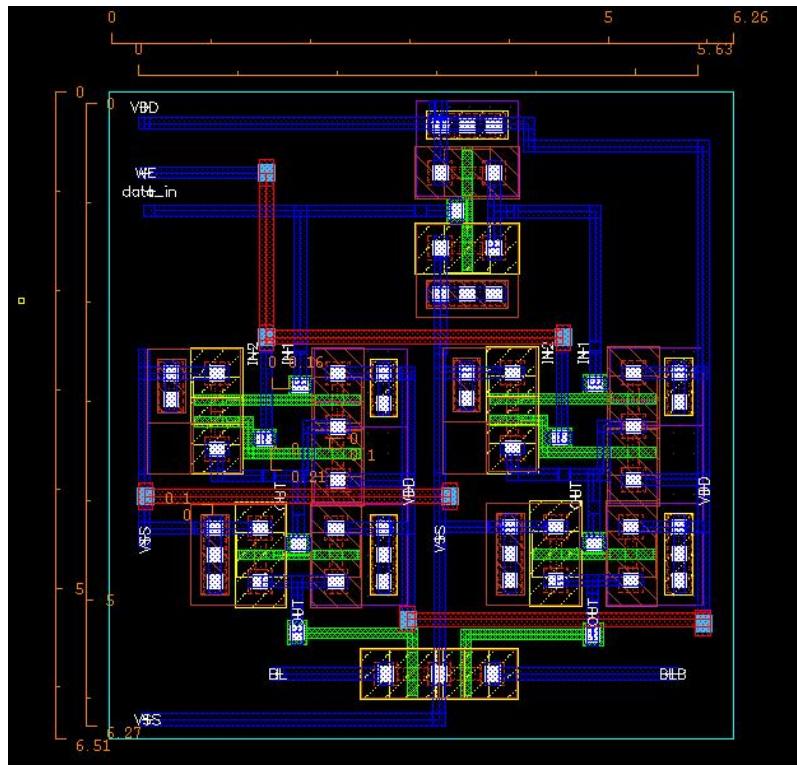
Sau bước kiểm tra thì ta có thể thấy việc trích xuất cũng như so sánh giữa mạch nguyên lý và layout là tương đồng với nhau và không phát sinh các lỗi về logic giữa 2 mạch này.

2.3.3. Tối ưu hóa diện tích của mạch ghi dữ liệu (Write Driver)

Sau khi thực hiện tối ưu hóa diện tích ta có thể nhìn tổng quát về mạch ghi dữ liệu như hình 2.35 và 2.36.



Hình 2.35: Sơ đồ sau khi tối ưu hóa diện tích layout của mạch ghi dữ liệu.



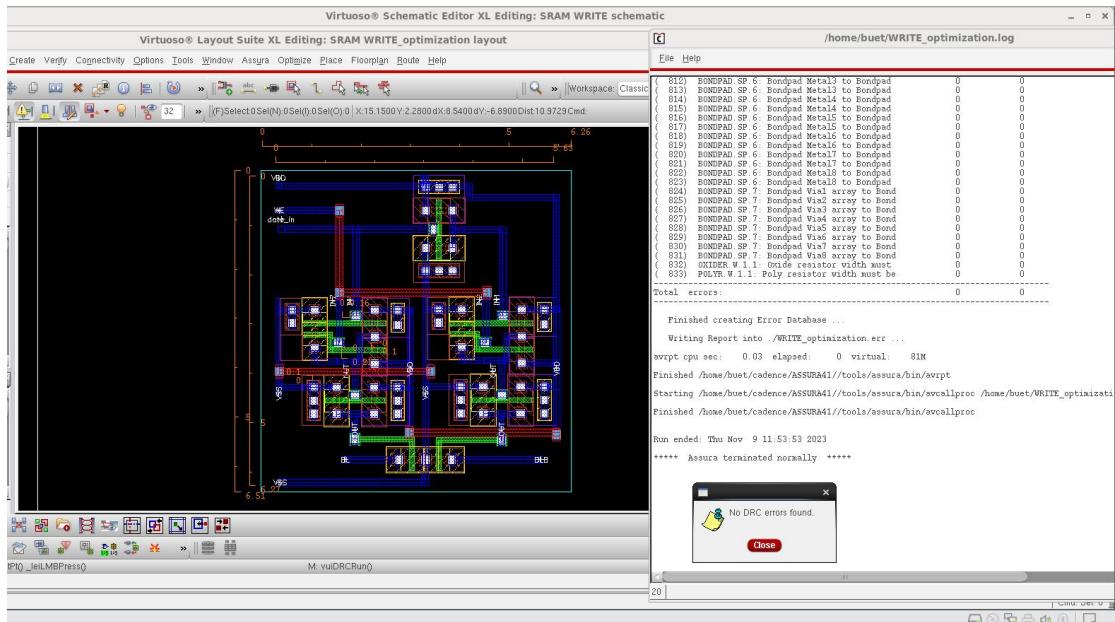
Hình 2.36: Sơ đồ chi tiết sau khi tối ưu hóa diện layout của mạch ghi

Từ hình 2.35 và 2.36 có thể thấy diện sau khi thực hiện tối ưu hóa đã giảm đáng kể so với mạch ghi trước đó ở một vài điểm có thể kể ra:

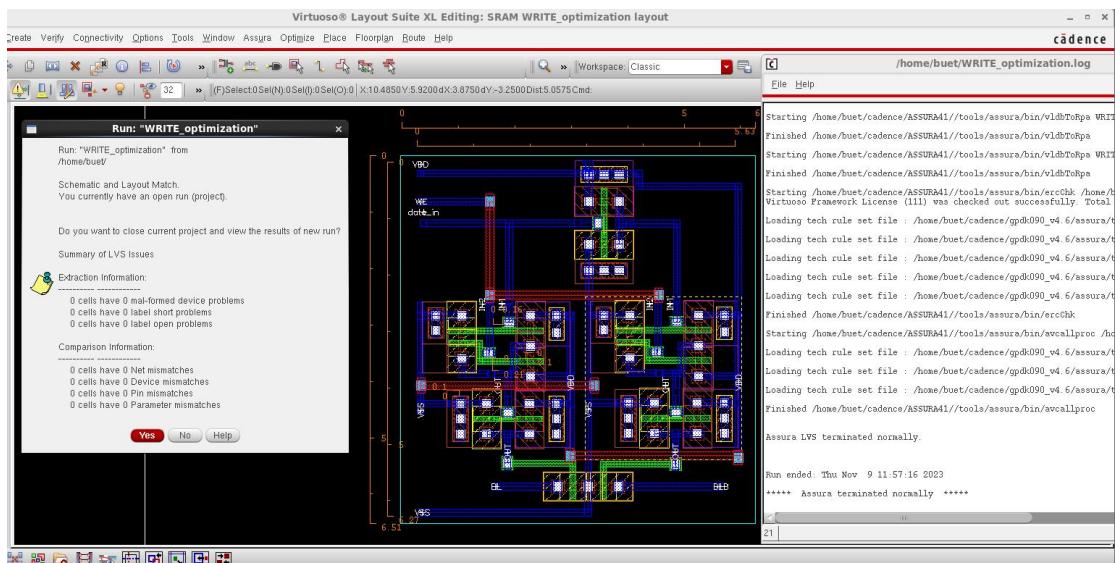
- Các pin được bố trí một cách hợp lý và logic hơn để thuận tiện cho việc tái sử dụng cũng như ghép mạch ghi lại thành một SRAM 6t hoàn chỉnh.
- Các đường dây metal được bố trí với khoảng cách ngắn hơn để tối ưu được diện tích hơn.

Sau khi thực hiện việc tối ưu hóa diện tích ta có thể thấy khoảng cách đo được như trên hình 2.35 và 2.36 là 6.27×5.63 um. Với con số này có thể chấp nhận vì mục đích của việc tối ưu là đưa mạch về hình vuông với chiều dài và chiều rộng như nhau.

Và để đảm bảo việc tối ưu hóa diễn ra xuông sẽ và không gặp bất kì lỗi nào thì ta cần tiến hành kiểm tra lại thiết kế một lần nữa. Kết quả kiểm tra như hình 2.37 kiểm tra quy luật thiết kế DRC và hình 2.38 kiểm tra quy luật logic .



Hình 2.37: Kết quả kiểm tra DRC của mạch ghi khi đã tối ưu hóa.



Hình 2.38: Kết quả kiểm tra LVS của mạch ghi khi đã tối ưu hóa.

2.4. Mạch khuếch đại cảm nhận (Sense Amplifier)

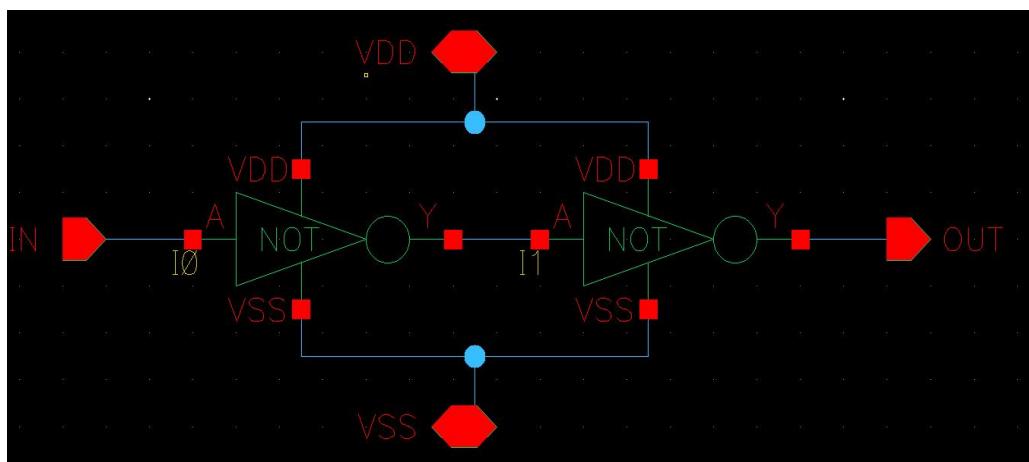
2.4.1. Thiết kế mạch nguyên lý và đóng gói mạch khuếch đại cảm nhận

- Cấu tạo của mạch khuếch đại cảm nhận (Sense Amplifier):

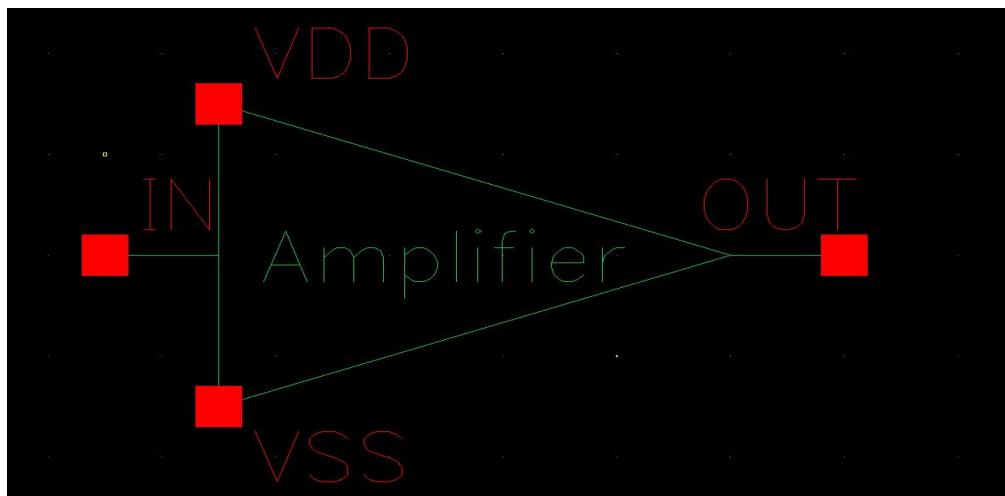
Để tạo lên mạch khuếch đại và cảm nhận thì người thực hiện thiết kế mạch nguyên lý dựa trên mạch đệm và mạch ghép kênh 2 sang 1 để thiết kế tạo lên mạch khuếch đại và cảm nhận.

+ Bộ đệm:

Mạch nguyên lý của bộ đệm được ghép nối từ 2 cổng NOT nối tiếp nhau, với chức năng làm ổn định tín hiệu và chống tiêu hao điện áp trong trường hợp tín hiệu ngõ ra được đưa trở lại ngõ vào. Hình 2.39 và **hình 2.40** lần lượt là cấu tạo chi tiết và đóng gói của bộ đệm.



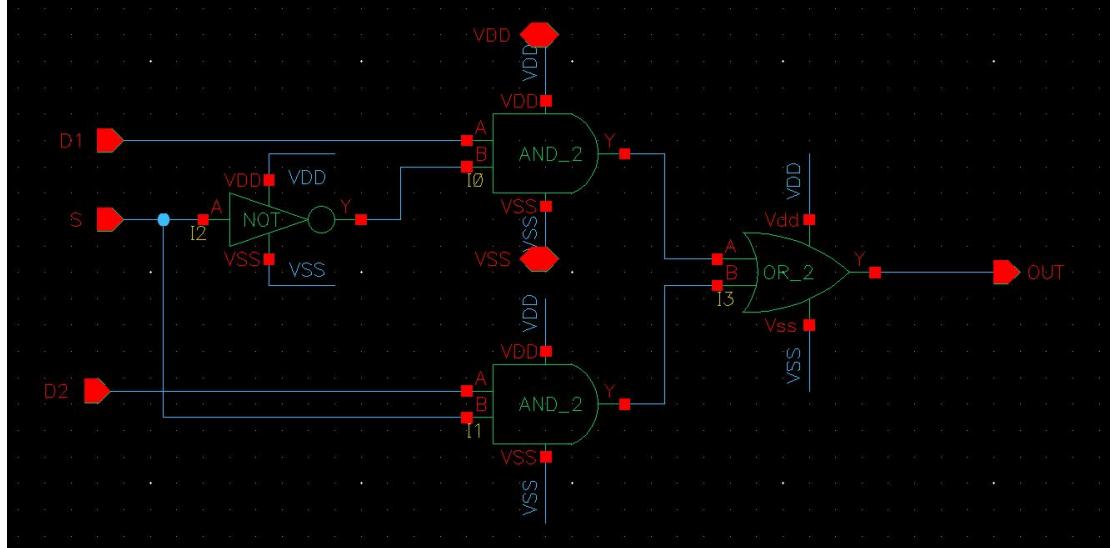
Hình 2.39: Cấu tạo chi tiết bên trong bộ đệm.



Hình 2.40: Mạch đóng gói của bộ đệm.

+Bộ ghép kênh 2 sang 1(mux 2 to 1):

Là 1 dạng mạch tổ hợp cho phép chọn 1 trong nhiều đường ngõ vào song song (các kênh vào) để đưa tới 1 ngõ ra (gọi là kênh truyền nối tiếp).Hình 2.41 và hình 2.42 lần lượt là câu tạo chi tiết và đóng gói của bộ ghép kênh 2 sang 1.



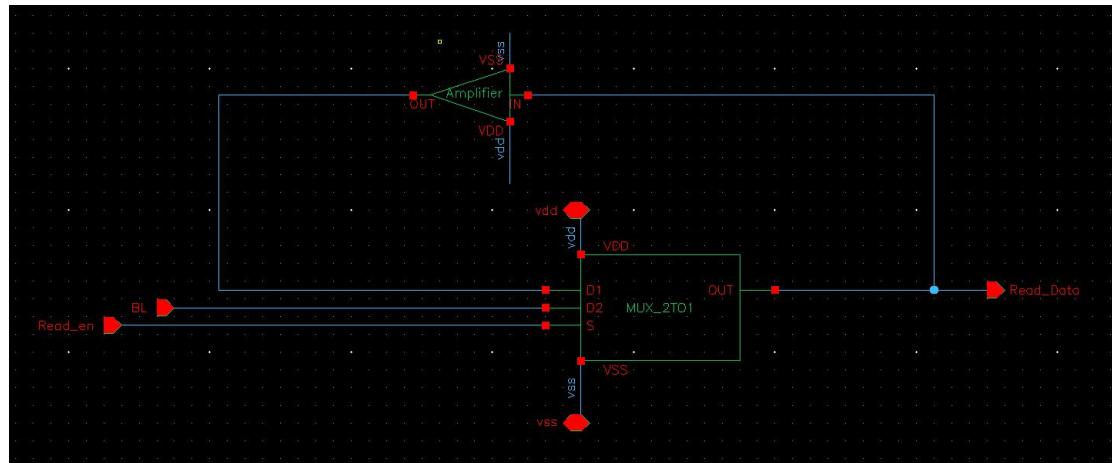
Hình 2.41: Câu tạo chi tiết của mạch ghép kênh 2 sang 1.

Như trên hình 2.41 ta có thể thấy với câu tạo của mạch ghép kênh 2 sang 1 gồm: 1 cổng NOT, 2 cổng AND_2 và 1 cổng OR_2 để tạo ra mạch ghép kênh 2 sang 1 và tất cả các cổng logic đó đã được chúng tôi tối ưu hóa để có thể ghép nối tạo ra một mạch lớn và tránh làm dài bài nghiên cứu chúng tôi sẽ không thực hiện chi tiết các bước tối ưu hóa các cổng logic đó.

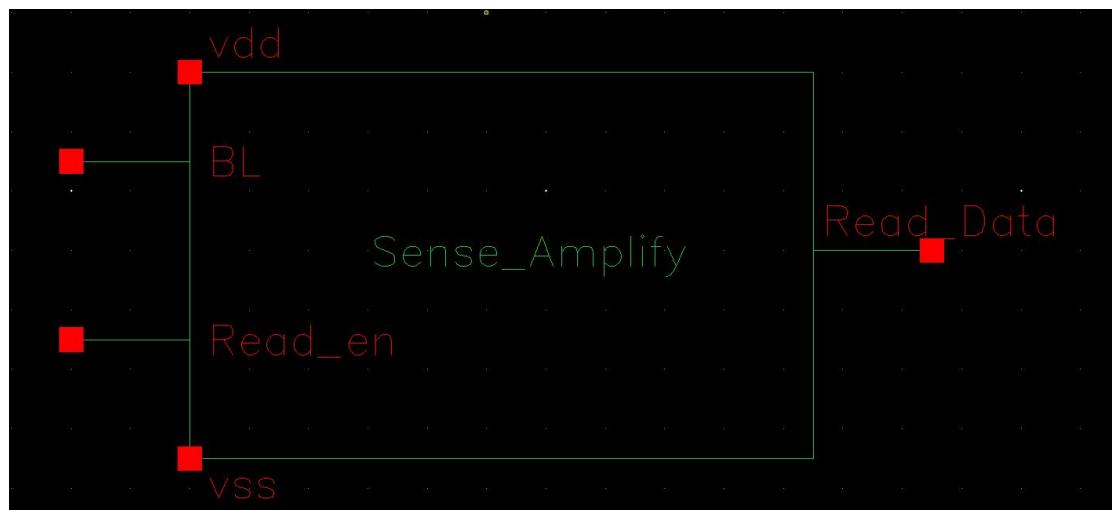


Hình 2.42: Mạch đóng gói của bộ ghép kênh 2 sang 1.

-Mạch khuếch đại và cảm nhận với 3 tín hiệu vào là BL, Read_en, tín hiệu trả về từ ngõ ra và chân dữ liệu ra là Read_data. Dữ liệu ngõ ra Read_data tùy thuộc vào chân Read_en, nếu Read_en = 0 thì dữ liệu ra lấy từ chân BL, ngược lại nếu Read_en = 1 thì dữ liệu ngõ ra từ chân BL sẽ giữ nguyên trạng thái trước đó. Người thực hiện thiết kế mạch nguyên lý như hình 2.43 và hình 2.44 là mạch khuếch đại sau khi được đóng gói.



Hình 2.43: Cấu tạo chi tiết của mạch khuếch đại và cảm nhận



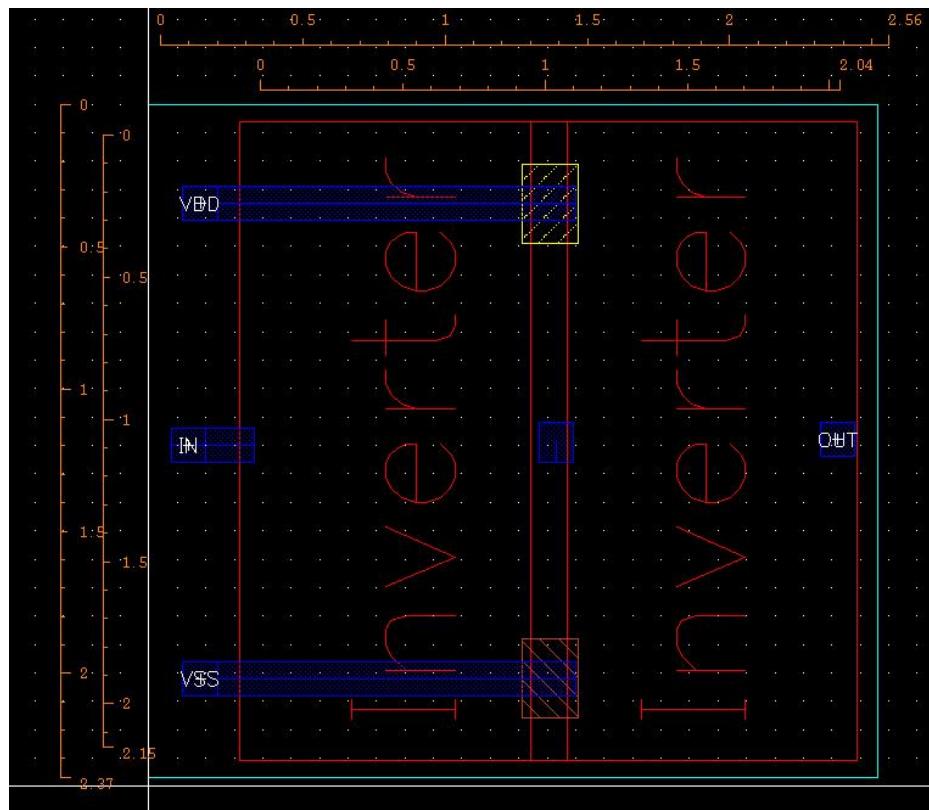
Hình 2.44: Mạch đóng gói của mạch khuếch đại và cảm nhận

2.4.2. Layout và kiểm tra mạch khuếch đại cảm nhận

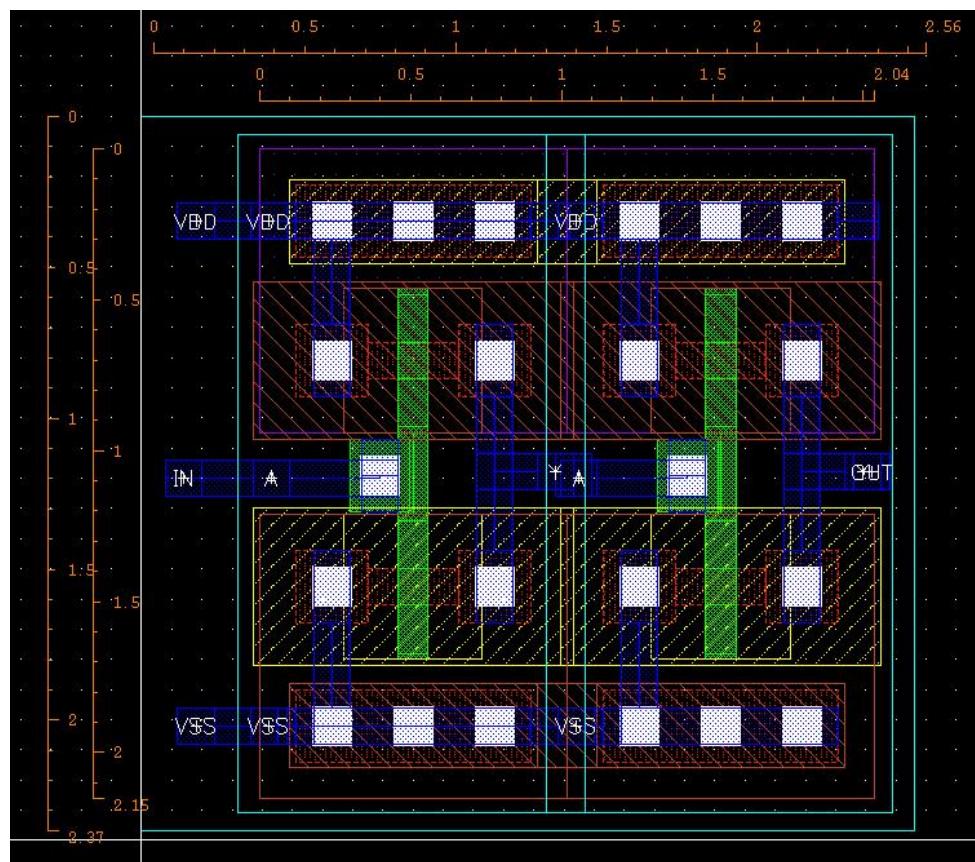
2.4.2.1. Layout của mạch khuếch đại và cảm nhận

-Như đã đề cập ở mục 2.4.1 các mạch như bộ ghép kênh 2 sang 1 và bộ đếm đã được chúng tôi tối ưu hóa và chúng tôi sẽ không đề cập đến quá trình tối ưu hóa mà chỉ đưa ra các mạch hình ảnh 2 bộ đó khi đã tối ưu hóa như sau:

+Bộ đếm:

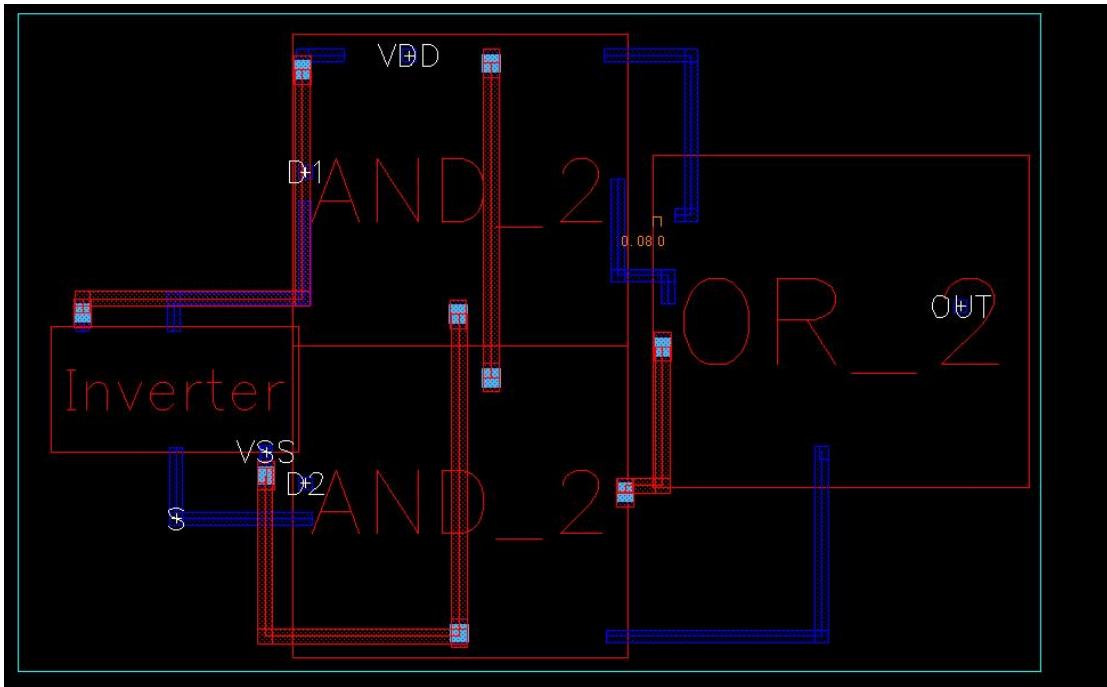


Hình 2.45. Layout tối ưu hóa của bộ đếm được nhìn theo sơ đồ các pmos và nmos.

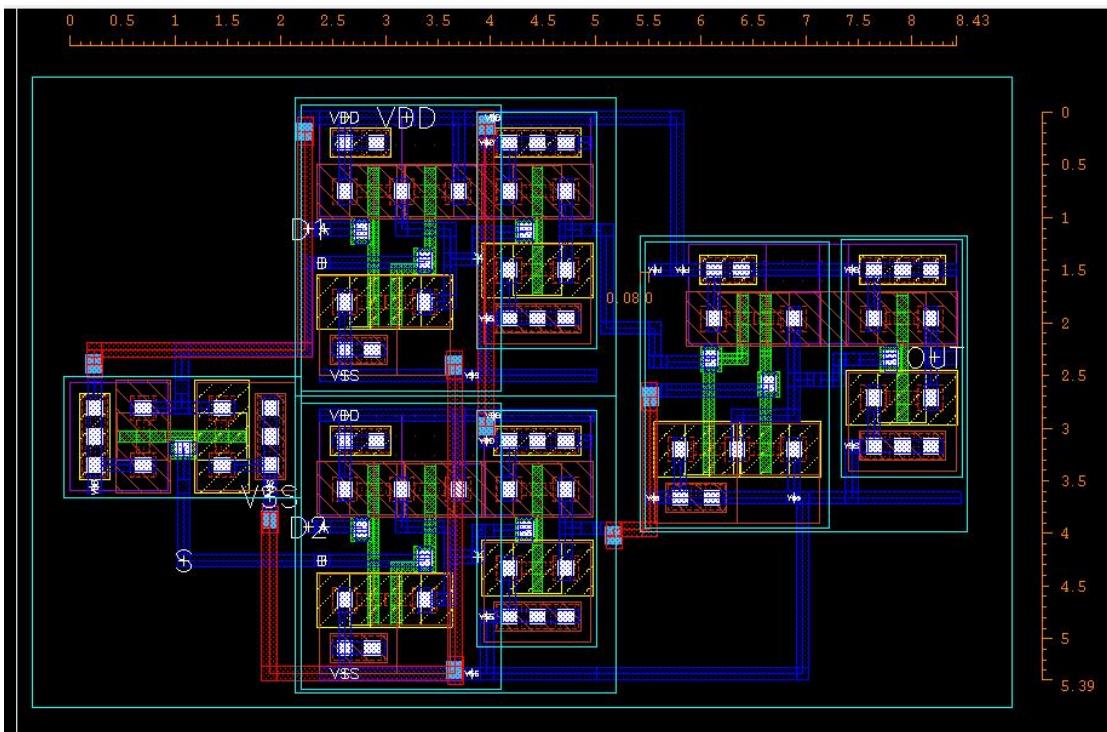


Hình 2.46 Cấu tạo chi tiết của bộ đếm khi đã tối ưu hóa.

+ Bộ ghép kênh 2 sang 1:



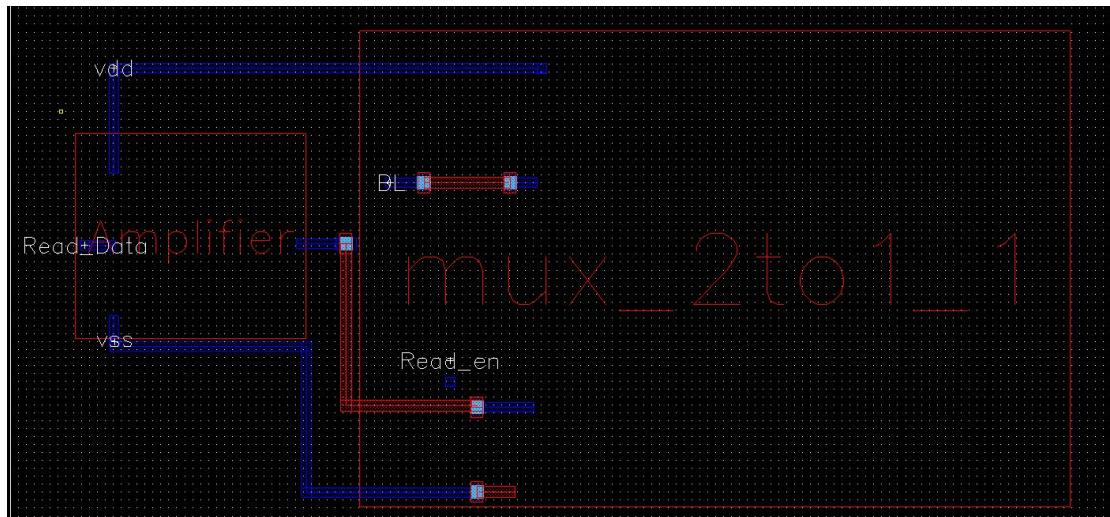
Hình 2.47. Layout tối ưu hóa của mạch ghép kênh 2 sang 1 được nhìn theo sơ đồ các pmos và nmos.



Hình 2.48. Cấu tạo chi tiết của bộ đếm khi đã tối ưu hóa.

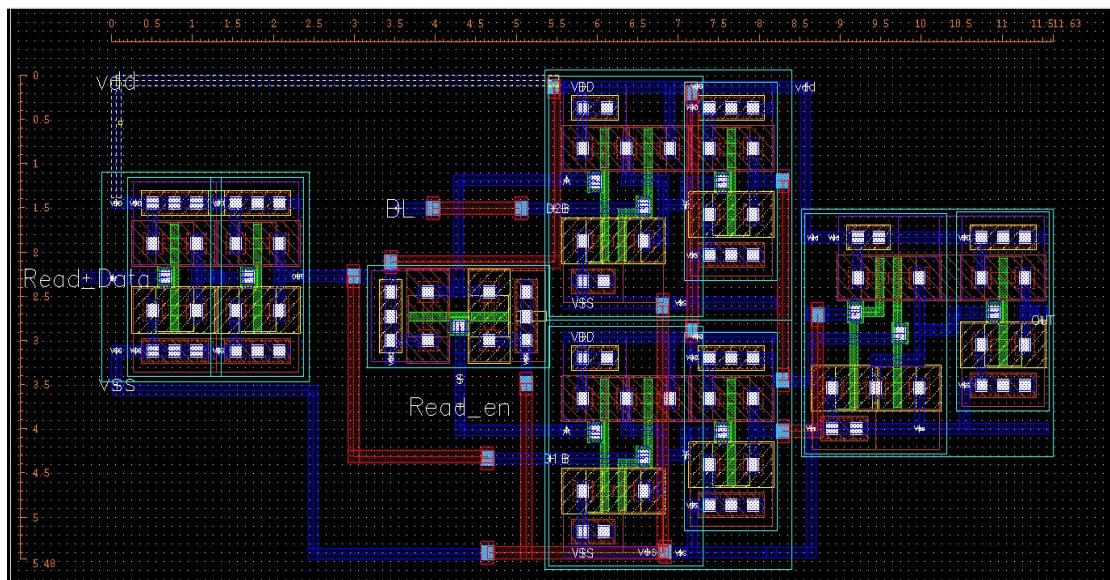
- Thực hiện layout và đánh giá các thiết kế của mạch khuếch đại và cảm nhận của chúng tôi như sau:

Cách 1: Thực hiện với tất cả các điện cực là metal bao gồm các ngõ vào và ra như hình 2.49 và hình 2.50:



Hình 2.49: Mô hình layout của mạch khuếch đại và cảm nhận được nhìn theo sơ đồ các pmos và nmos.

Đi sâu vào thiết kế layout và đánh giá chi tiết như hình 2.50:

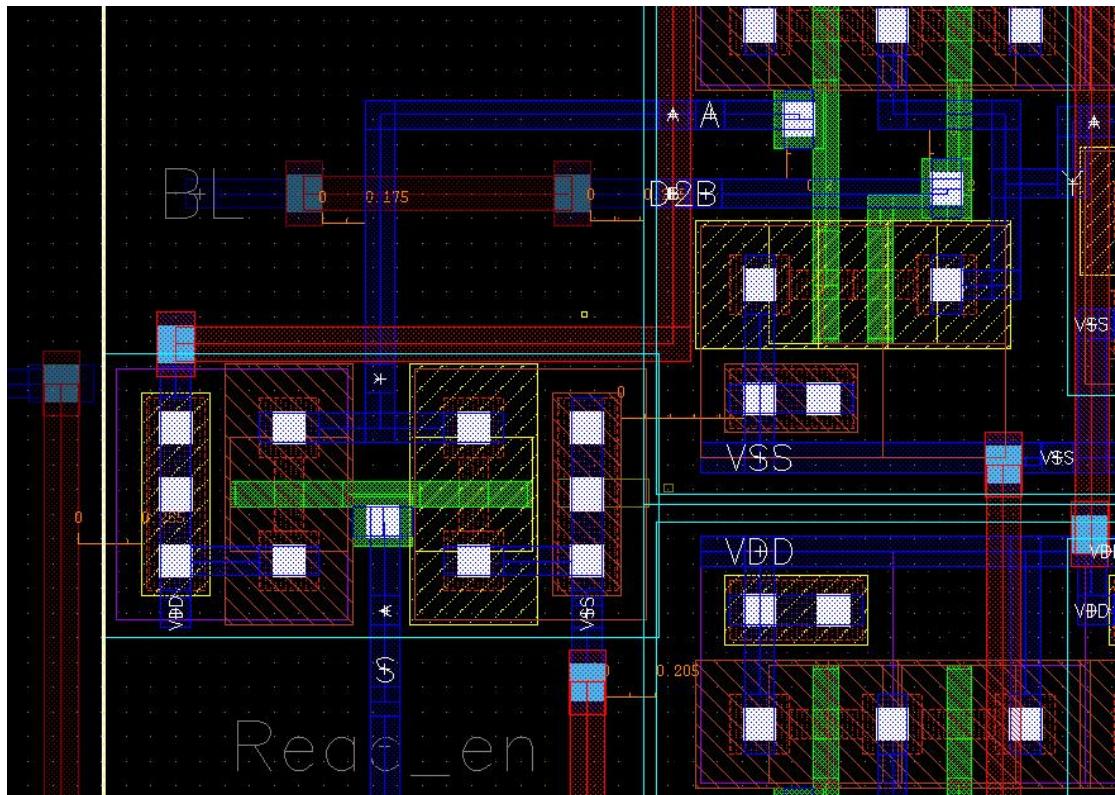


Hình 2.50: Cấu tạo chi tiết layout của mạch khuếch đại và cảm nhận.

2.4.2.2. Kiểm tra layout của mạch khuếch đại và cảm nhận.

Việc thực hiện kiểm tra chuyên sâu về quy luật thiết kế DRC và quy luật logic được thực hiện bởi phần mềm Cadence, nhưng thay vì dựa hết vào phần mềm ta có thể thực hiện kiểm tra thủ công một số nguyên lý cơ bản để ta hiểu hơn về quy luật thiết kế.

Việc thực hiện kiểm tra quy luật thiết kế DRC cơ bản có thể được thực hiện như hình 2.51.



Hình 2.51: Một số kích thước thỏa quy luật DRC

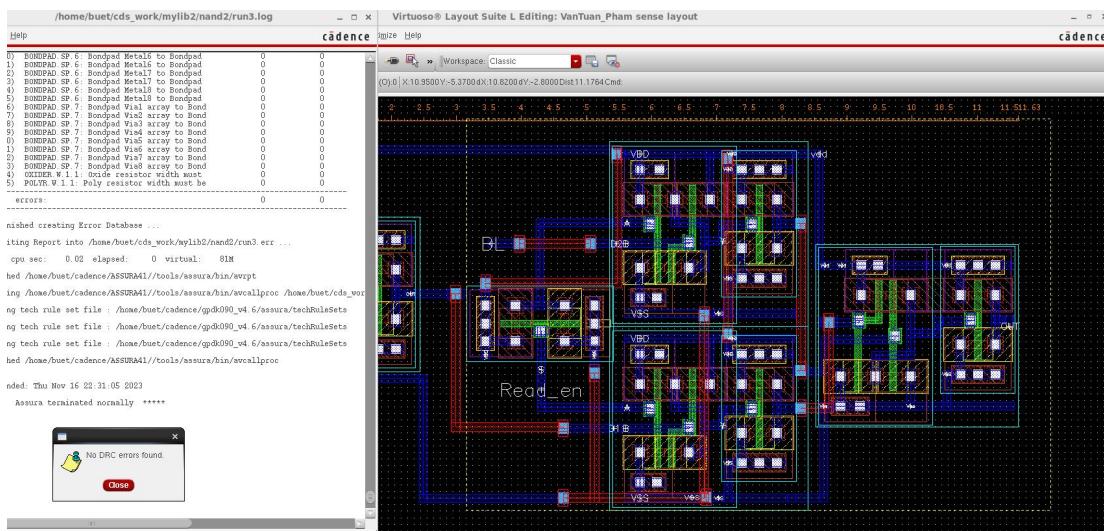
Như đã nhắc ở đầu chương 2 việc tính toán các kích thước của đường dây là từ một đơn vị chuẩn λ dựa vào đó ta có thể đánh giá hình 2.51:

Với quy trình thiết kế 90nm thì λ có thể bằng 30nm và chúng tôi sẽ dùng giá trị này trong đồ án này:

- Khoảng cách giữa các đường metal $\geq 4\lambda$ tức là $\geq 0.12 \mu\text{m}$ và khoảng cách đo được trong hình là khoảng $0.16 \mu\text{m} \Rightarrow$ thỏa quy luật
- Độ rộng của một đường metal $\geq 4\lambda$ và trên hình độ rộng của đường metal = $0.12 \mu\text{m} \Rightarrow$ thỏa quy luật
- Khoảng cách giữa đường metal màu đỏ và tâm Via nối giữ dây poly và dây metal màu xanh dương là $\geq 4\lambda$ tức là $\geq 0.12 \mu\text{m}$ và khoảng cách đo được trong hình là khoảng $0.29 \mu\text{m} \Rightarrow$ thỏa quy luật
- Độ rộng của một đường poly $\geq 2\lambda$ và trong hình chúng tôi đo được là $0.1 \mu\text{m} \Rightarrow$ thỏa yêu cầu.

- Khoảng cách giữa các đường meta của tấm pin nmos là $\geq 4\lambda$ tức là $\geq 0.12 \mu m$ và khoảng cách đo được của mạch thi công là $0.15 \mu m \Rightarrow$ thỏa quy luật

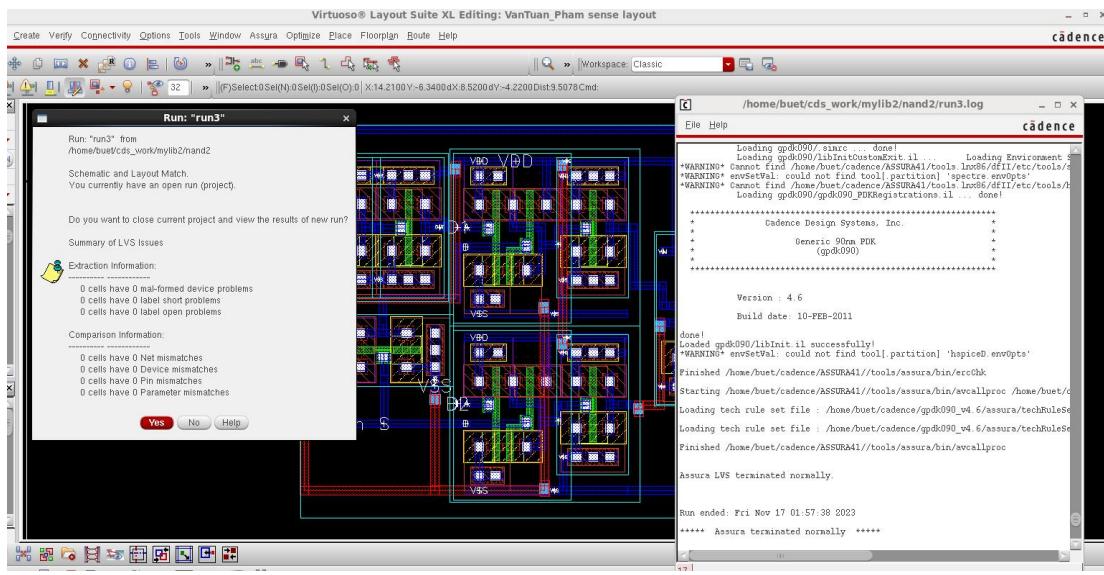
Một vài quy luật có thể kiểm tra bằng thủ công nhưng xét cả quá trình và các quy luật theo đúng chuẩn DRC thì có thể nói là rất nhiều và rất lớn vì vậy để kiểm tra một cách triệt để thiết kế ta sẽ sử dụng tool Cadence trong trường hợp này và kết quả sau khi thực hiện kiểm tra như hình 2.52.Sau khi thực hiện kiểm tra DRC với Cadence ta có thể kiểm tra tổng cộng 835 quy luật và cho về kết quả sau khi kiểm tra.



Hình 2.52: Kết quả kiểm tra quy luật thiết kế DRC của mạch khuếch đại và cảm nhận.

Về cơ bản việc thực hiện kiểm tra quy luật thiết kế đã hoàn chỉnh và có thể tiến hành bước tiếp là thực hiện kiểm tra tính logic của mạch có chính xác với mạch nguyên lý không. Sau khi thực hiện kiểm tra ta sẽ thu được file thông báo kết quả kiểm tra và một cửa sổ thông báo trạng thái khi đã kiểm tra xong như hình 2.52 và 2.53.

Việc thực hiện kiểm tra logic là một yếu tố quan trọng để xem quá trình thiết kế có bám sát với quá trình thiết kế mạch nguyên lý hay không. Việc đánh giá gồm 162 quy luật để việc kiểm tra diễn ra hoàn chỉnh. Việc này là cực kì quan trọng vì có thể bạn thiết kế đúng với qui luật thiết kế nhưng chỉ cần sai sót so với mạch nguyên lý thì chức năng của mạch sẽ hoàn toàn khác.

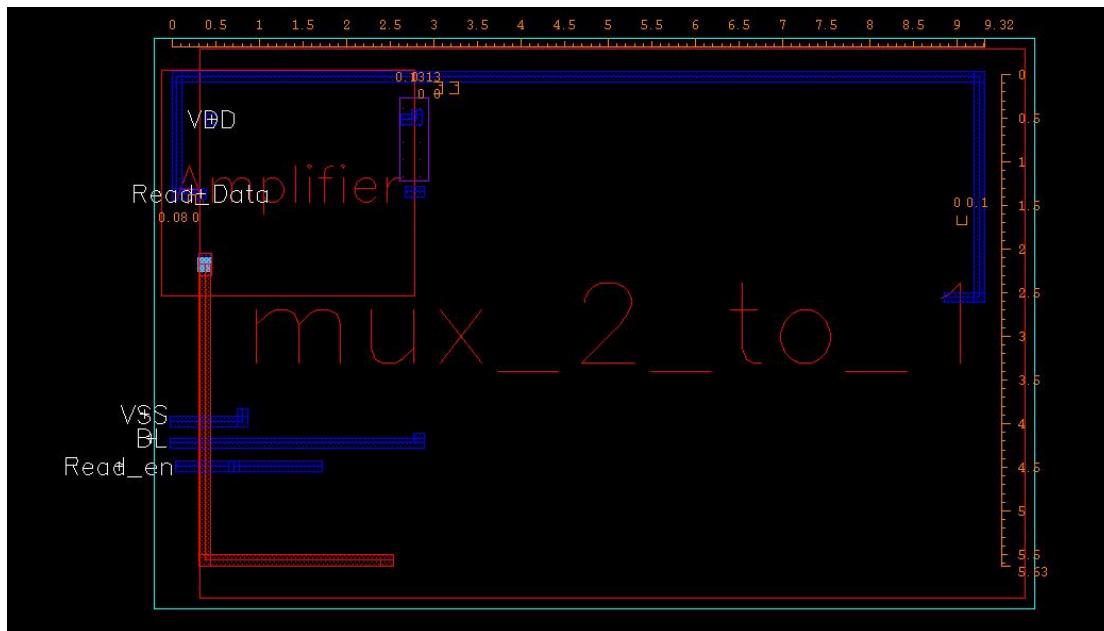


Hình 2.53: Kết quả kiểm tra luật LVS của mạch khuếch đại và cảm nhận.

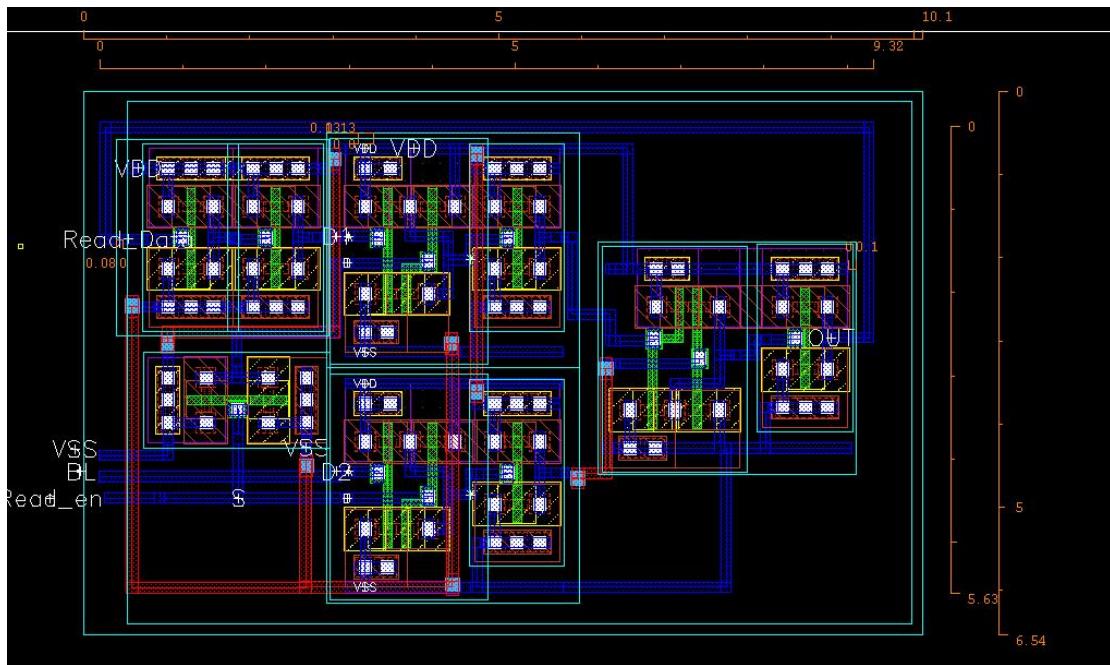
Sau bước kiểm tra thì ta có thể thấy việc trích xuất cũng như so sánh giữa mạch nguyên lý và layout là tương đồng với nhau và không phát sinh các lỗi về logic giữa 2 mạch này.

2.4.3. Tối ưu hóa diện tích mạch khuếch đại và cảm nhận.

Sau khi thực hiện tối ưu hóa diện tích ta có thể nhìn tổng quát về mạch khuếch đại và cảm nhận như trên 2 hình 2.54 và 2.55.



Hình 2.54: Sơ đồ sau khi tối ưu hóa diện tích layout của mạch khuếch đại và cảm nhận.



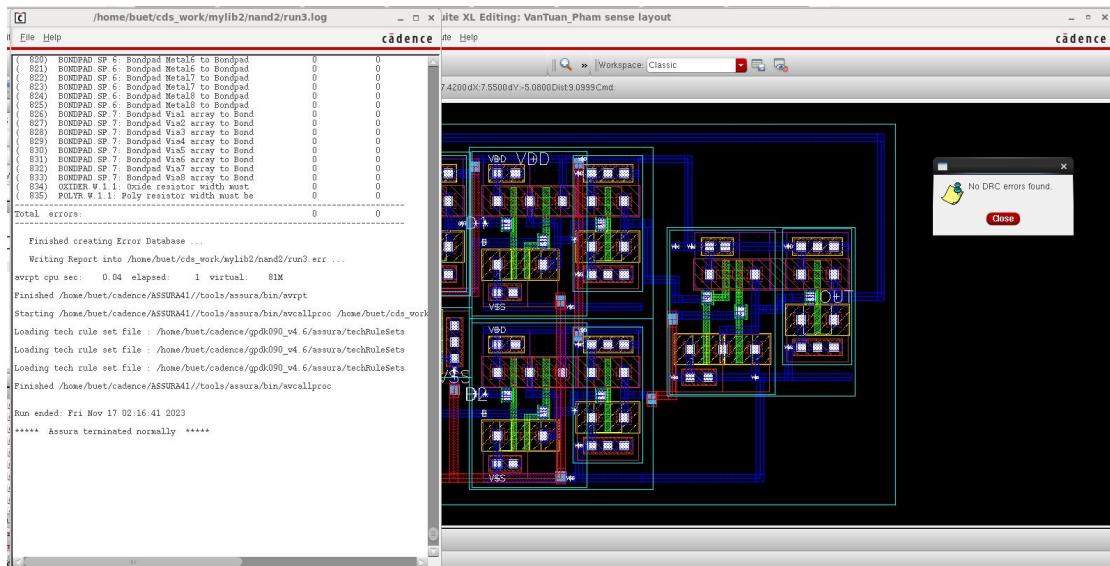
Hình 2.55: Sơ đồ chi tiết sau khi tối ưu hóa diện layout của khuếch đại và cảm nhận

Từ hình 2.54 và 2.55 có thể thấy diện sau khi thực hiện tối ưu hóa đã giảm đáng kể so với mạch ghi trước đó ở một vài điểm có thể kể ra:

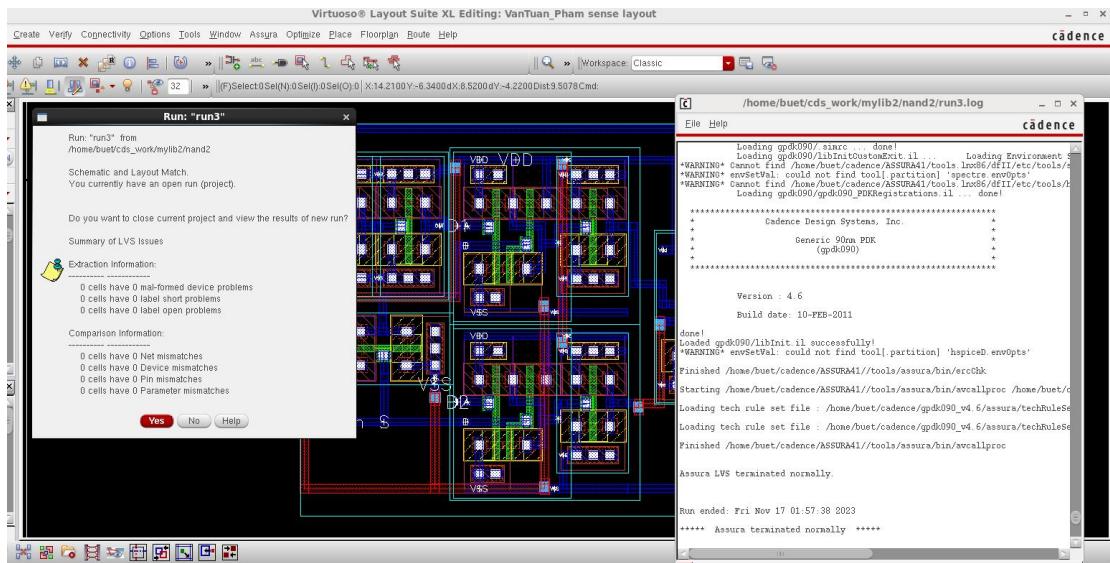
- Các pin được bố trí một cách hợp lý và logic hơn để thuận tiện cho việc tái sử dụng cũng như ghép mạch ghi lại thành một SRAM 6t hoàn chỉnh.
- Các đường dây metal được bố trí với khoảng cách ngắn hơn để tối ưu được diện tích hơn.

Sau khi thực hiện việc tối ưu hóa diện tích ta có thể thấy khoảng cách đo được như trên hình 2.54 và 2.55 là 9.32×5.63 . Với con số này có thể chấp nhận vì mục đích của việc tối ưu là đưa mạch về hình vuông với chiều dài và chiều rộng như nhau.

Và để đảm bảo việc tối ưu hóa diễn ra suôn sẻ không gặp bất kì lỗi nào thì ta cần tiến hành kiểm tra lại thiết kế một lần nữa. Kết quả kiểm tra như hình 2.56 kiểm tra quy luật thiết kế DRC và hình 2.57 kiểm tra quy luật logic .



Hình 2.56: Kết quả kiểm tra quy luật thiết kế DRC của mạch khuếch đại và cảm nhận khi đã tối ưu hóa.



Hình 2.57: Kết quả kiểm tra quy luật thiết kế LVS của khuếch đại và cảm nhận khi đã tối ưu hóa.

2.5. Mạch giải mã

2.5.1. Thiết kế mạch nguyên lý và đóng gói mạch giải mã.

Trong đồ án này chúng tôi làm SRAM ở quy mô 16x16 cell vì thế mạch giải mã dùng trong trường hợp này sẽ là mạch giải mã 4 sang 16 đường dữ liệu tương ứng với 16 đường WordLine. Mạch giải mã được chúng tôi thiết kế bằng các công logic để tạo thành mạch 2 sang 4 và từ mạch 2 sang 4 chúng tôi sẽ ghép lại để tạo thành mạch 4 sang 16. Về cơ bản của mạch giải mã 4 sang 16 đường là mạch 2 sang 4 đường nên ta sẽ thực hiện đi sâu vào thiết kế của mạch 2 sang 4 để biết thêm chi tiết.

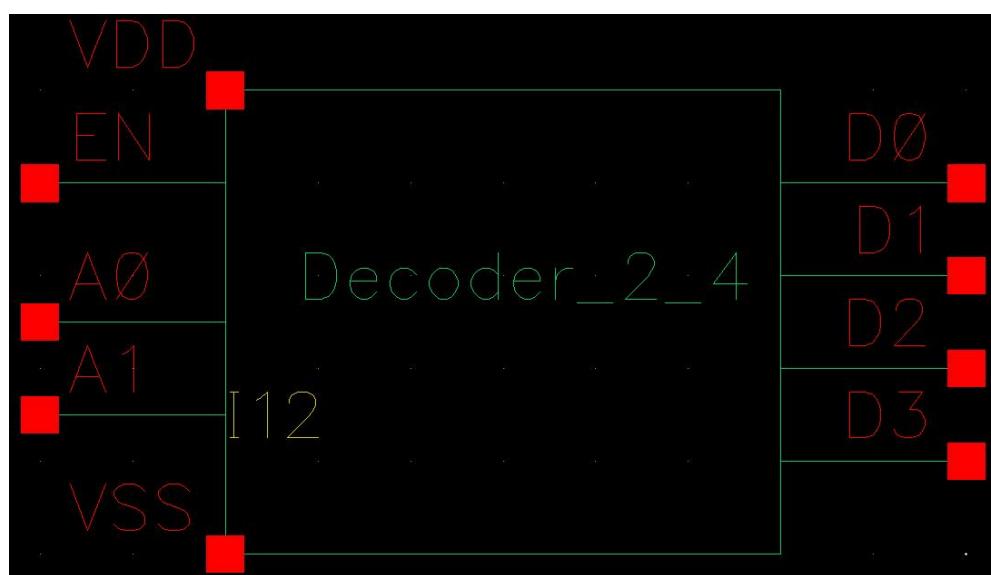
- Cấu tạo mạch giải mã 2 sang 4 như hình 2.58 và hình 2.59:

+ Chân EN là chân điều khiển hoạt động của mạch giải mã. Khi EN tích cực lúc này ngõ ra sẽ bằng không và ngược lại.

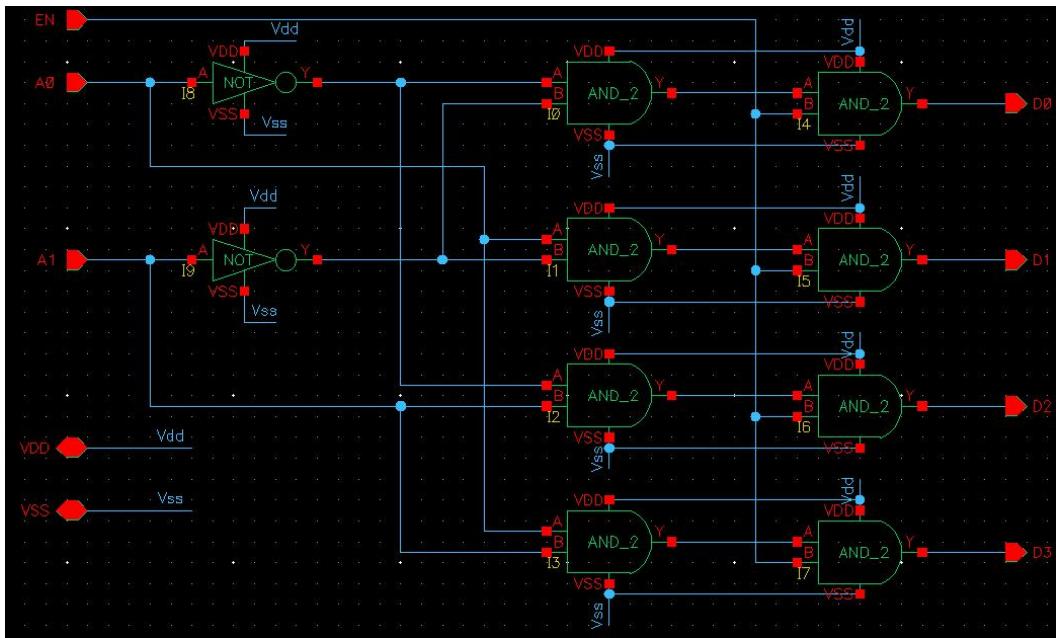
+ Các chân A1 và A2 là các đường địa chỉ.

+ Chân Vdd và Vss là các chân nguồn cho hoạt động của mạch ghi dữ liệu.

+ Các chân D0, D1, D2, D3 là các chân ngõ ra sẽ tích cực ứng với giá trị của các đường đại chỉ. Trong cùng 1 thời điểm chỉ có 1 ngõ ra tích cực.

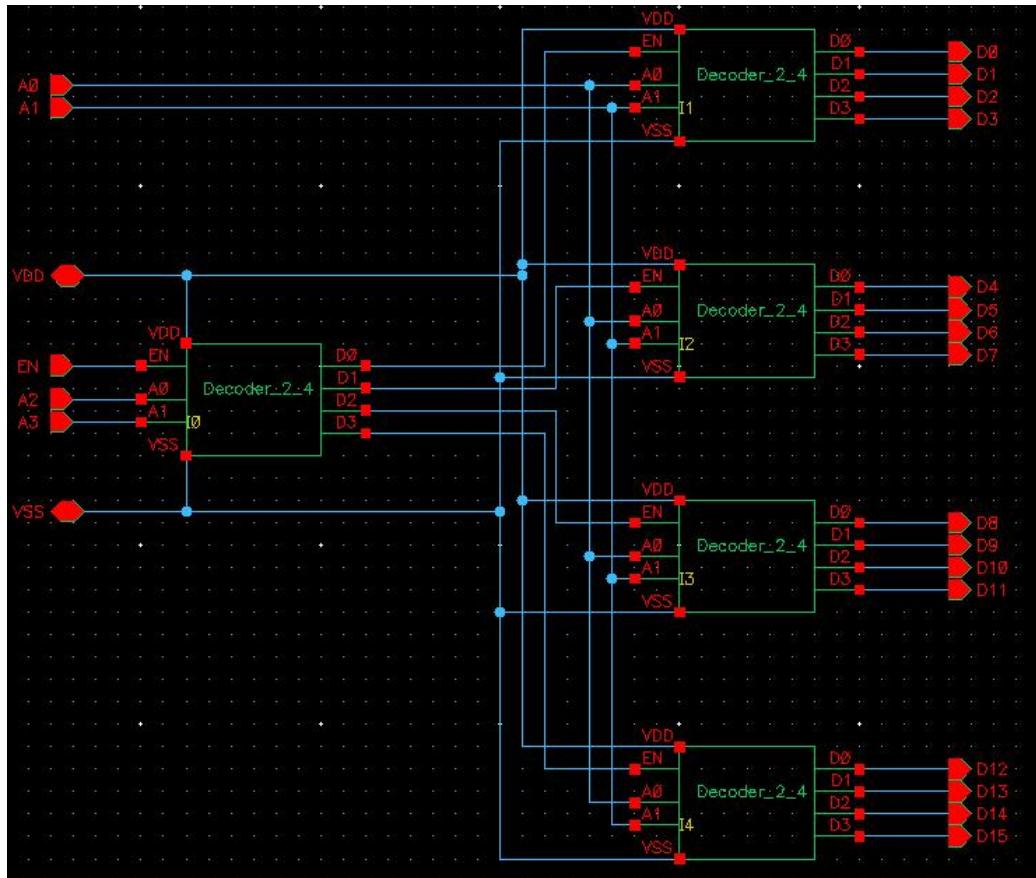


Hình 2.58: Symbol của mạch giải mã trong SRAM6T



Hình 2.59: Cấu tạo chi tiết của mạch giải mã 2 sang 4.

Tiếp theo chúng tôi sẽ tìm hiểu về mạch giải mã 4 sang 16 từ việc ghép nối 5 mạch 2 sang 4 để tạo ra. Cấu tạo chi tiết và mạch nguyên lý như hình 2.60 dưới đây.



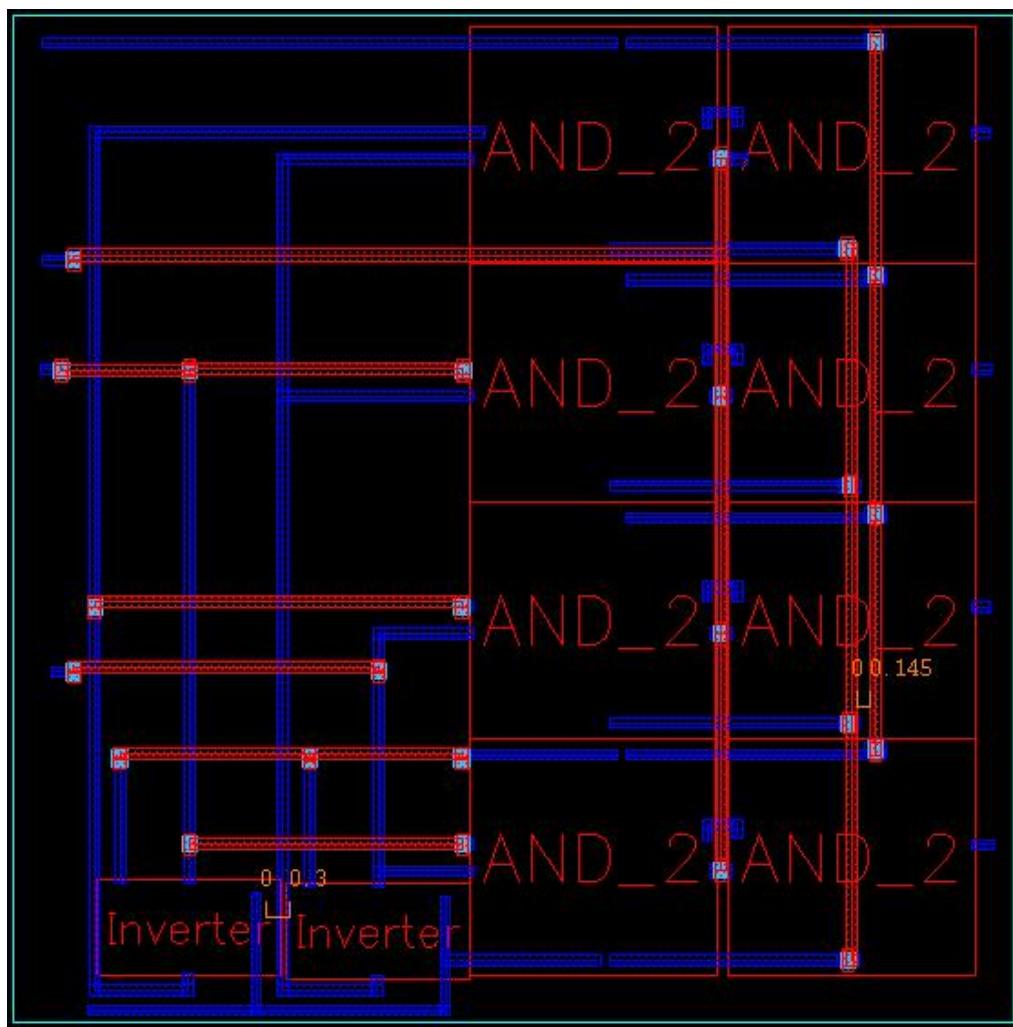
Hình 2.60: Cấu tạo chi tiết của mạch giải mã 4 sang 16.

2.5.2. Layout và kiểm tra mạch giải mã.

2.5.2.1 Layout mạch giải mã

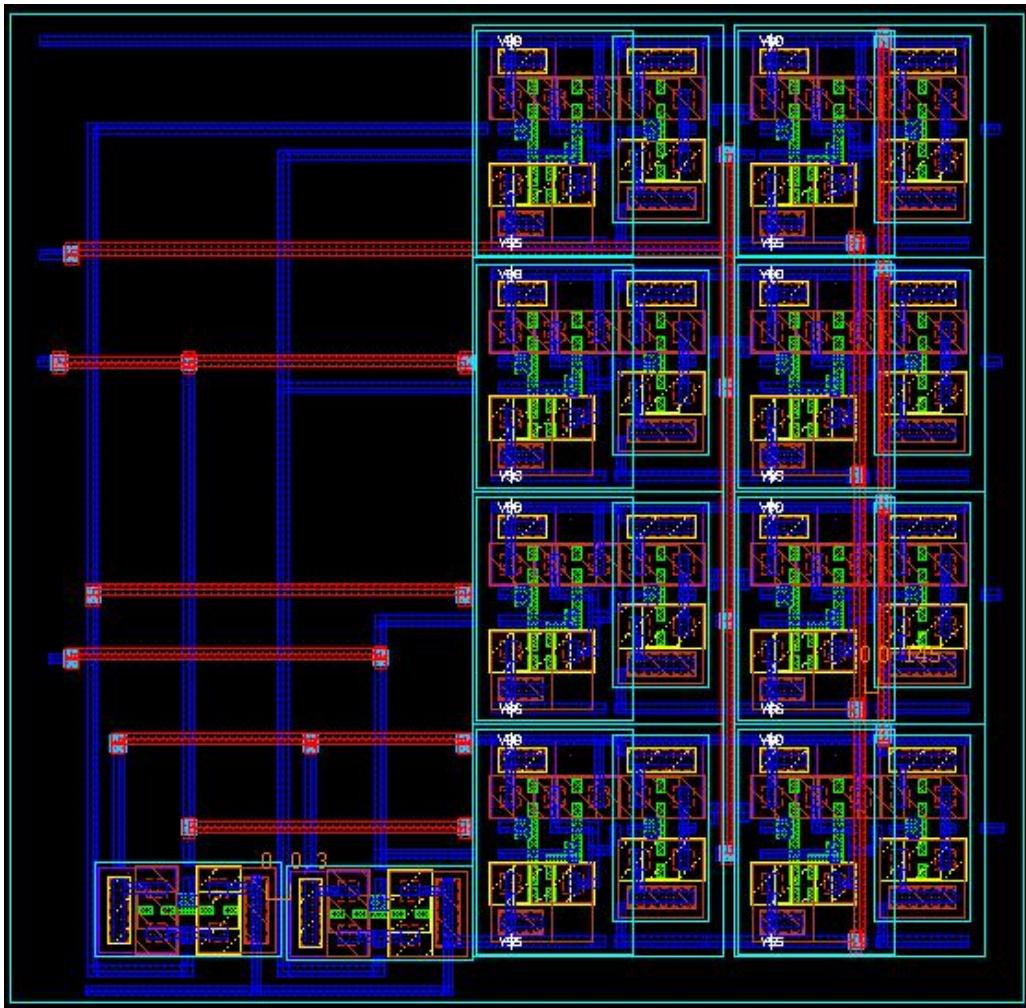
Việc thực hiện layout cũng được sắp xếp như khi thực hiện vẽ mạch nguyên lý.

Layout và đánh giá mạch giải mã 2 sang 4 như hình 2.61:



Hình 2.61: Mô hình layout được theo sơ đồ các pmos và nmos.

Đi sâu và thiết kế layout và đánh giá chi tiết như hình 2.62:



Hình 2.62: Cấu tạo chi tiết layout của mạch giải mã 2 sang 4.

Việc ghép nối các mạch giải mã 2 sang 4 để tạo thành một mạch giải mã 4 sang 16 thực chất cũng chính là việc khép nối các khối mạch 2 sang 4 đã layout để tạo ra mạch 4 sang 16, việc này được thực hiện như hình 2.62:
Các đường dây màu xanh dương, màu đỏ chính là đường dây metal có thể liên kết trực tiếp các pin được cấu tạo bằng metal vào trong cực của BJT cũng có cấu tạo từ metal.

Trong mạch này, các tám Via màu xanh dương dùng để liên kết các đường dây metal màu xanh dương và màu đỏ lại với nhau, các tám Via màu vàng chịu trách nhiệm liên kết lớp poly với đường dây metal màu xanh dương.

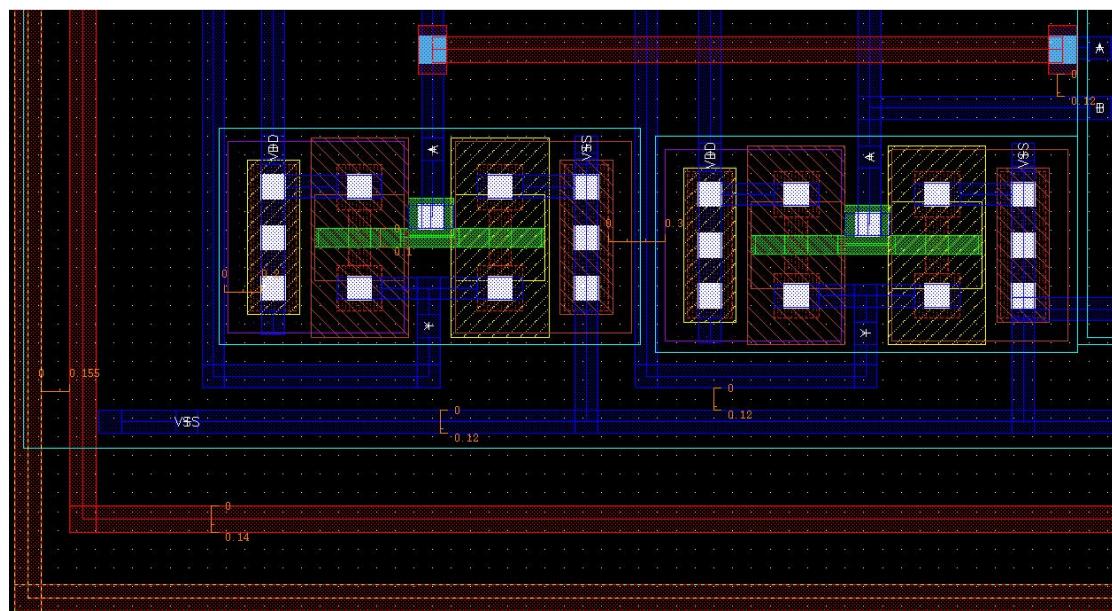
Chi tiết đáng chú ý là việc sử dụng bodytie configuration trong việc thiết kế các transistor để đảm bảo mạch hoạt động ổn định và không bị nhiễu, cụ thể ở thiết kế này chúng tôi tiến hành sử dụng Partial bodytie tức là một số transistor

được kết nối với nền, trong khi các transistor khác không được kết nối với nền, lợi ích của việc này là giảm nhiễu và giảm điện dung để giúp cải thiện và làm tăng hiệu suất của transistor. Trong trường hợp ghép 2 điện cực của Transistor để tạo thành thiết kế nhỏ gọn hơn thì việc sử dụng bodytie kiểu Detached là một cách giúp tối ưu và giúp giảm hiện tượng phóng điện tĩnh giữa hai tiếp điểm, có thể gây hư hỏng cho mạch.

2.5.2.2. Kiểm tra layout mạch giải mã dữ liệu

Việc thực hiện kiểm tra chuyên sâu về quy luật thiết kế DRC và quy luật logic được thực hiện bởi phần mềm Cadence, nhưng thay vì dựa hết vào phần mềm ta có thể thực hiện kiểm tra thủ công một số nguyên lý cơ bản để ta hiểu hơn về quy luật thiết kế.

Việc thực hiện kiểm tra quy luật thiết kế DRC cơ bản có thể được thực hiện như hình 2.63:



Hình 2.63: Một số kích thước khóa quy luật DRC.

Như đã nhắc ở đầu chương 2 việc tính toán các kích thước của đường dây là từ một đơn vị chuẩn λ dựa vào đó ta có thể đánh giá hình 2.63:

Vì việc thực hiện bộ giải mã này cần thêm một lớp metal2 (màu đỏ) để thực hiện ghép nối các đường dây nên việc kiểm tra cũng cần thực hiện với đường dây này.

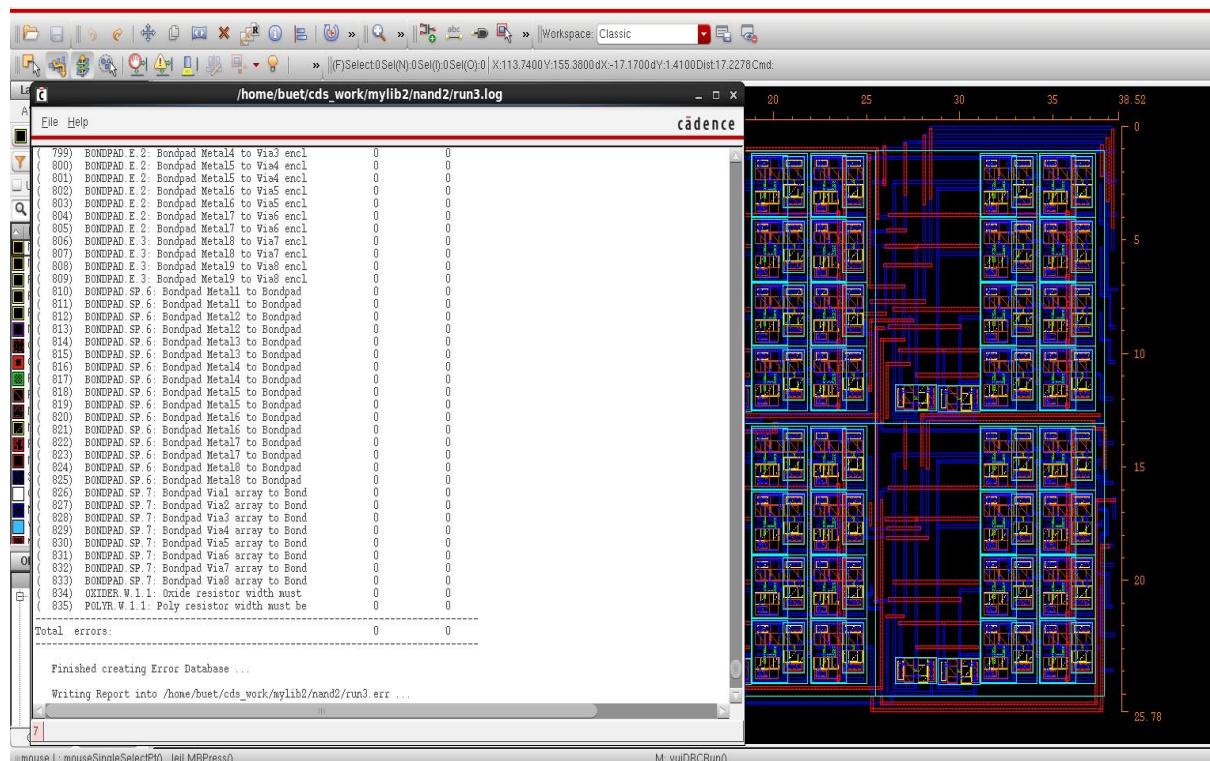
- Khoảng cách giữa các đường metal $\geq 4\lambda$ tức là $\geq 0.12 \text{ um}$ và khoảng các đo được trong hình là khoảng $0.12 \text{ um} \Rightarrow$ thỏa quy luật

- Độ rộng của một đường metal $\geq 4\lambda$ và trên hình độ rộng của đường metal = 0.12um \Rightarrow thoả quy luật

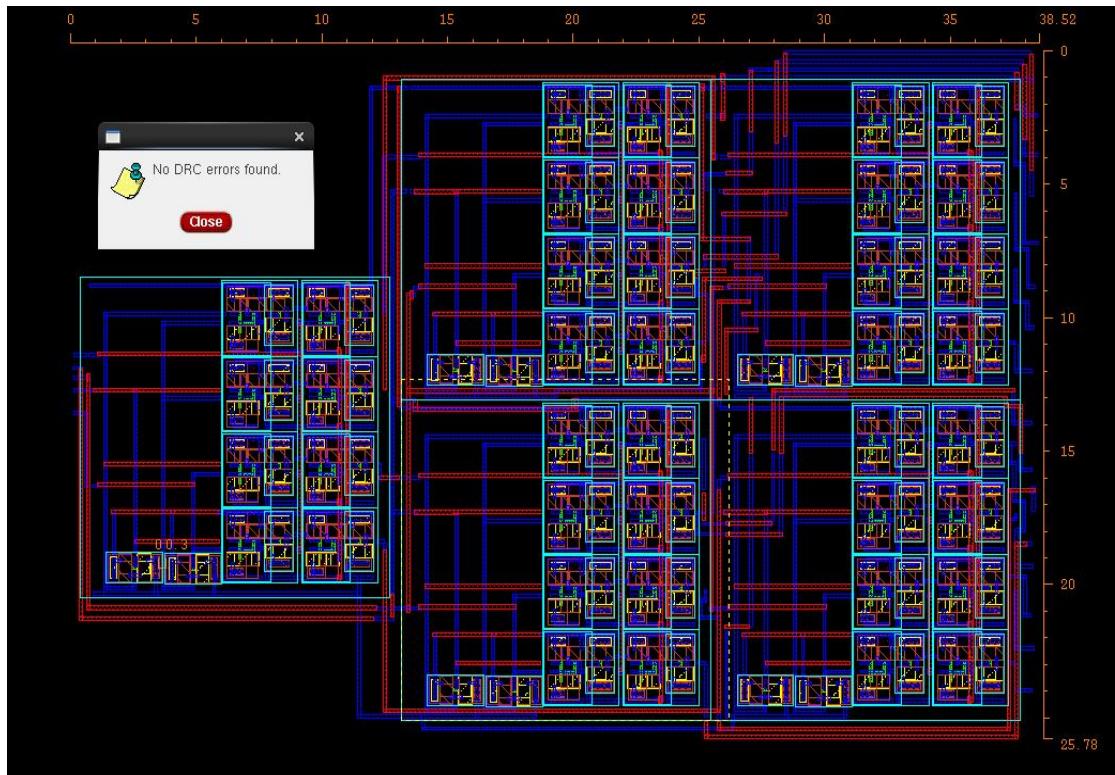
- Khoảng cách giữa đường metal màu đỏ và tâm Via nối giữ dây poly và dây metal màu xanh dương là $\geq 4\lambda$ tức là $\geq 0.12 \text{ um}$ và khoảng cách đó được trong hình là khoảng $0.12 \text{ um} \Rightarrow$ thỏa quy luật

- Độ rộng của một đường poly $\geq 2\lambda$ và trong hình chúng tôi đo được là 0.1 um \Rightarrow thỏa yêu cầu.

Một vài quy luật có thể kiểm tra bằng thủ công nhưng xét cả quá trình và các quy luật theo đúng chuẩn DRC thì có thể nói là rất nhiều và rất lớn vì vậy để kiểm tra một cách triệt để thiết kế ta sẽ sử dụng tool Cadence trong trường hợp này và kết quả sau khi thực hiện kiểm tra như hình 2.63.Sau khi thực hiện kiểm tra DRC với Cadence ta có thể kiểm tra tổng cộng 835 quy luật và cho về kết quả sau khi kiểm tra.



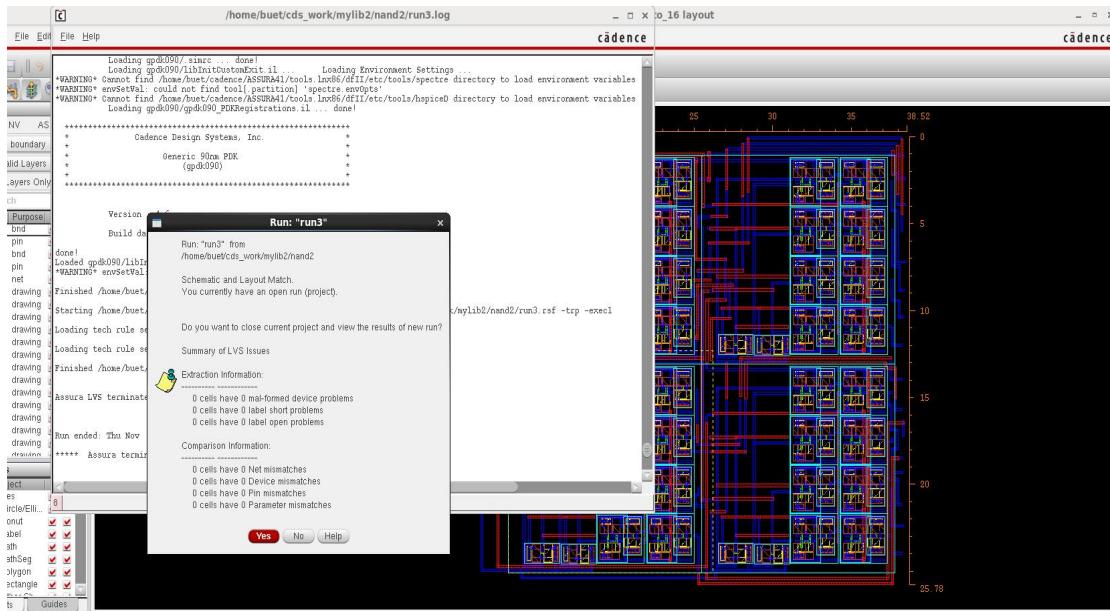
Hình 2.64: Kết quả kiểm tra quy luật thiết kế DRC của mạch giải mã 2 sang 4.



Hình 2.65: Kết quả thông báo của phần mềm khi thực hiện kiểm tra DRC

Về cơ bản việc thực hiện kiểm tra quy luật thiết kế đã hoàn chỉnh và có thể tiến hành bước tiếp theo là thực hiện kiểm tra tính logic của mạch có chính xác với mạch nguyên lý không. Sau khi thực hiện kiểm tra ta sẽ thu được file thông báo kết quả kiểm tra và một cửa sổ thông báo trạng thái khi đã kiểm tra xong như hình 2.64 và 2.65.

Việc thực hiện kiểm tra logic là một yếu tố quan trọng để xem quá trình thiết kế có bám sát với quá trình thiết kế mạch nguyên lý hay không. Việc đánh giá gồm 162 quy luật để việc kiểm tra diễn ra hoàn chỉnh. Việc này là cực kì quan trọng vì có thể bạn thiết kế đúng với qui luật thiết kế nhưng chỉ cần sai sót so với mạch nguyên lý thì chức năng của mạch sẽ hoàn toàn khác.

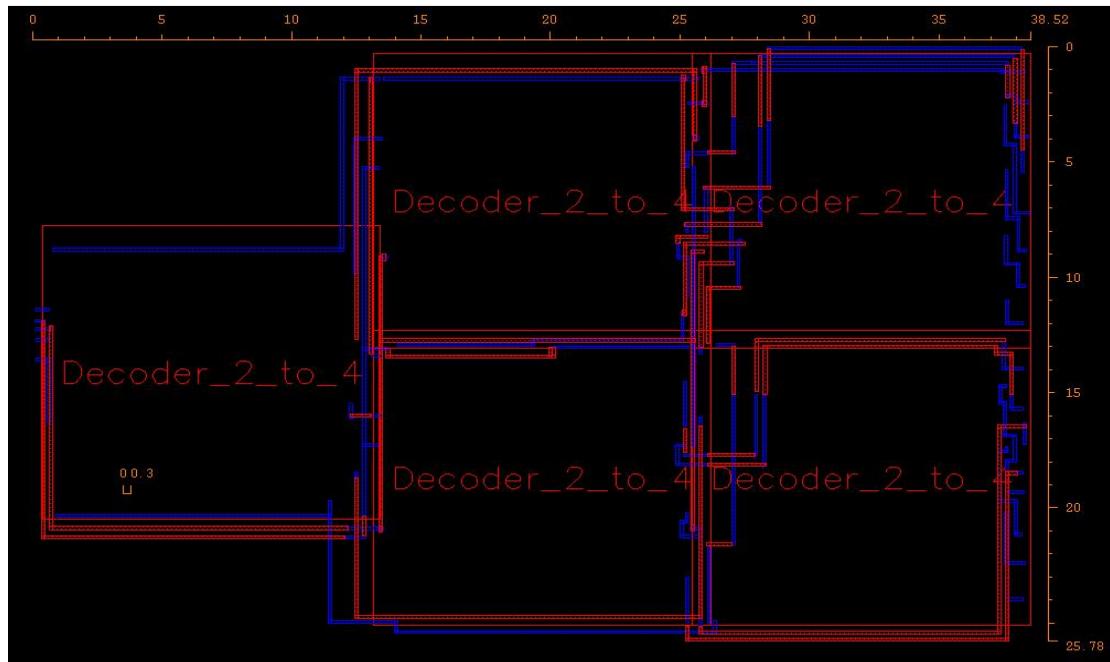


Hình 2.66: Kết quả kiểm tra luật LVS của mạch ghi dữ liệu.

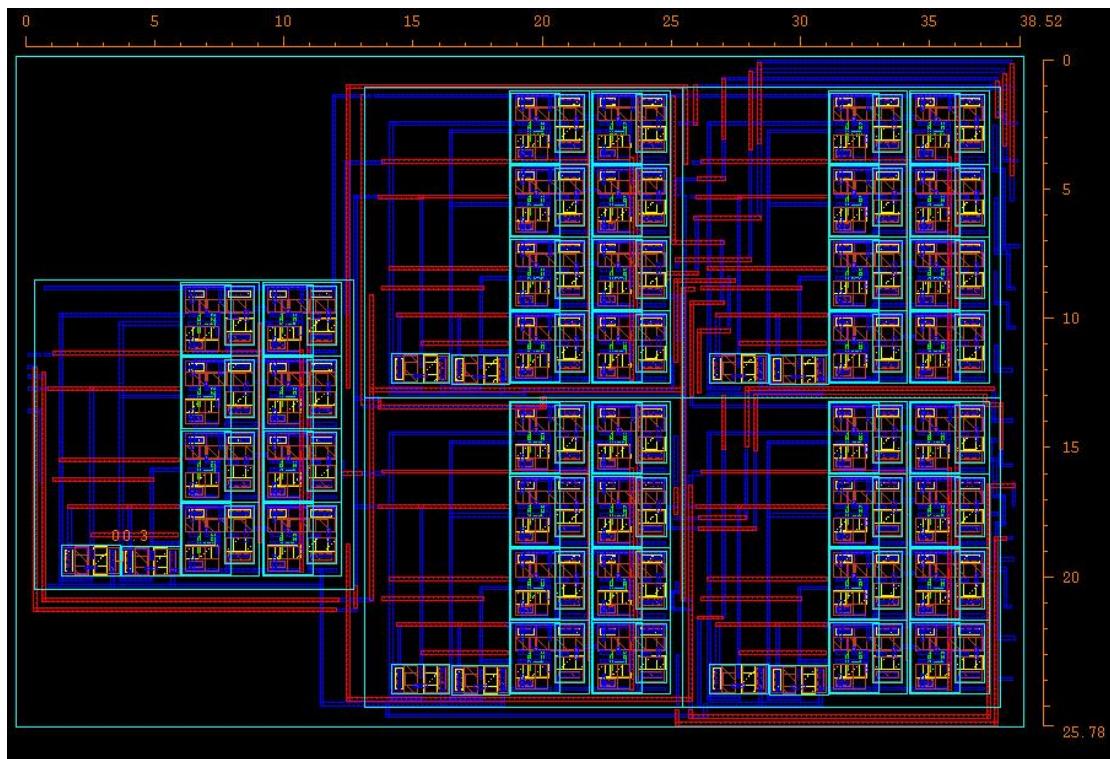
Sau bước kiểm tra ở hình 2.66 thì ta có thể thấy việc trích xuất cũng như so sánh giữa mạch nguyên lý và layout là tương đồng với nhau và không phát sinh các lỗi về logic giữa 2 mạch này.

2.5.3. Tối ưu hóa diện tích của mạch giải mã 4 sang 16.

Việc thực hiện được sử dụng các phương pháp như đã nêu ở phần tối ưu hóa của ô nhớ (phần 2.1.3). Sau khi thực hiện tối ưu hóa ta có thể nhìn tổng quát kích thước của mạch giải mã như hình 2.67 và hình 2.68.



Hình 2.67: Sơ đồ sau khi tối ưu hóa layout của mạch giải mã 4 sang 16.



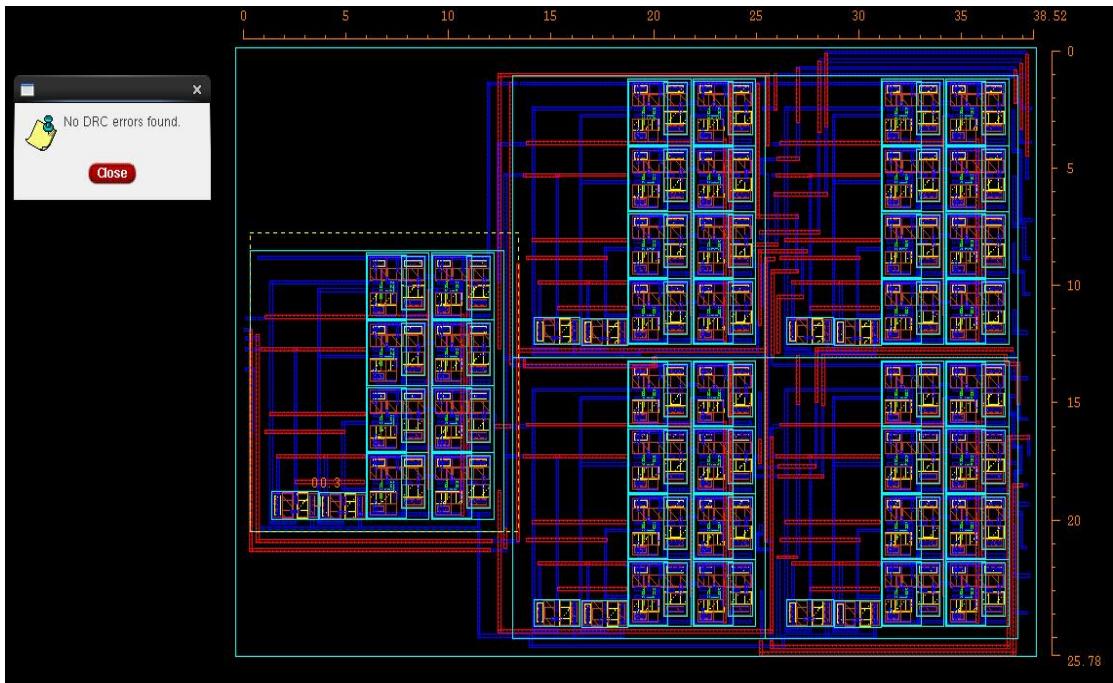
Hình 2.68: Sơ đồ chi tiết sau khi tối ưu hóa mạch giải mã 4 sang 16.

Từ hình 2.67 và 2.68 có thể thấy diện tích sau khi thực hiện tối ưu hóa đã giảm đáng kể so với mạch ghi trước đó ở một vài điểm có thể kể ra:

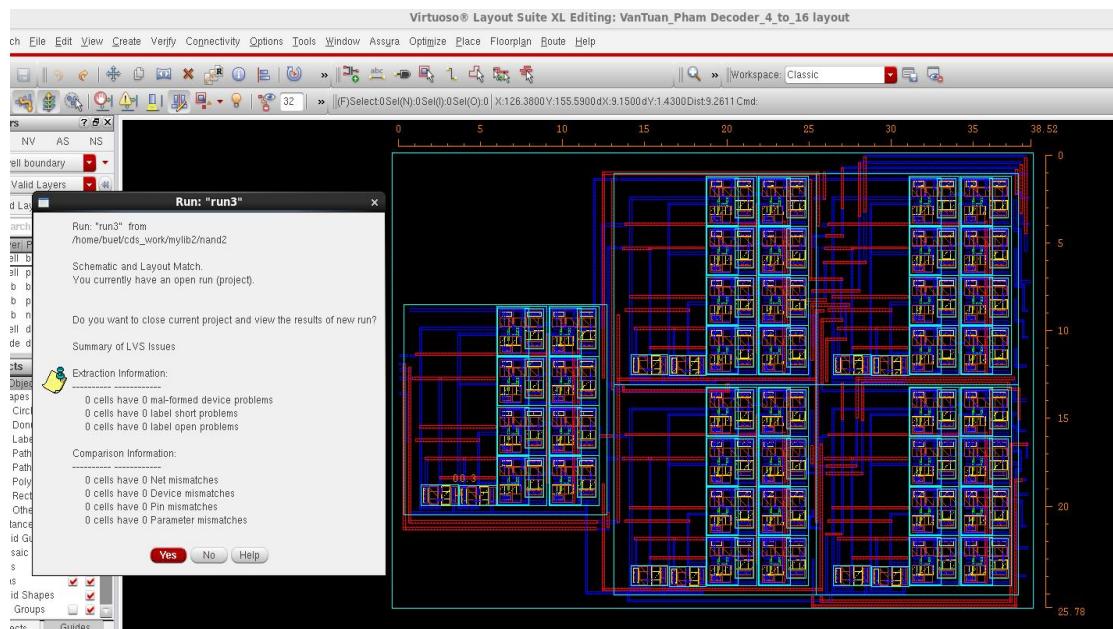
- Các pin được bố trí một cách hợp lý và logic hơn để thuận tiện cho việc tái sử dụng cũng như ghép mạch ghi lại thành một SRAM 6t hoàn chỉnh.
- Các đường dây metal được bố trí với khoảng cách ngắn hơn để tối ưu được diện tích hơn.

Sau khi thực hiện việc tối ưu hóa diện tích ta có thể thấy khoảng cách đo được như trên hình 2.67 và 2.68 là 38.52×25.78 um. Với con số này có thể chấp nhận vì mục đích của việc tối ưu là đưa mạch về hình vuông với chiều dài và chiều rộng như nhau.

Và để đảm bảo việc tối ưu hóa diễn ra xương sè và không gặp bất kì lỗi nào thì ta cần tiến hành kiểm tra lại thiết kế một lần nữa. Kết quả kiểm tra như hình 2.69 kiểm tra quy luật thiết kế DRC và hình 2.70 kiểm tra quy luật logic .



Hình 2.69: Kết quả kiểm tra quy luật thiết kế DRC của mạch giải mã 4 sang 16 khi đã tối ưu hóa.



Hình 2.70: Kết quả kiểm tra quy luật thiết kế LVS của mạch giải mã 4 sang 16 khi đã tối ưu hóa.

2.6. Mạch điều khiển (Control Driver)

2.6.1. Thiết kế mạch nguyên lý và đóng gói mạch điều khiển

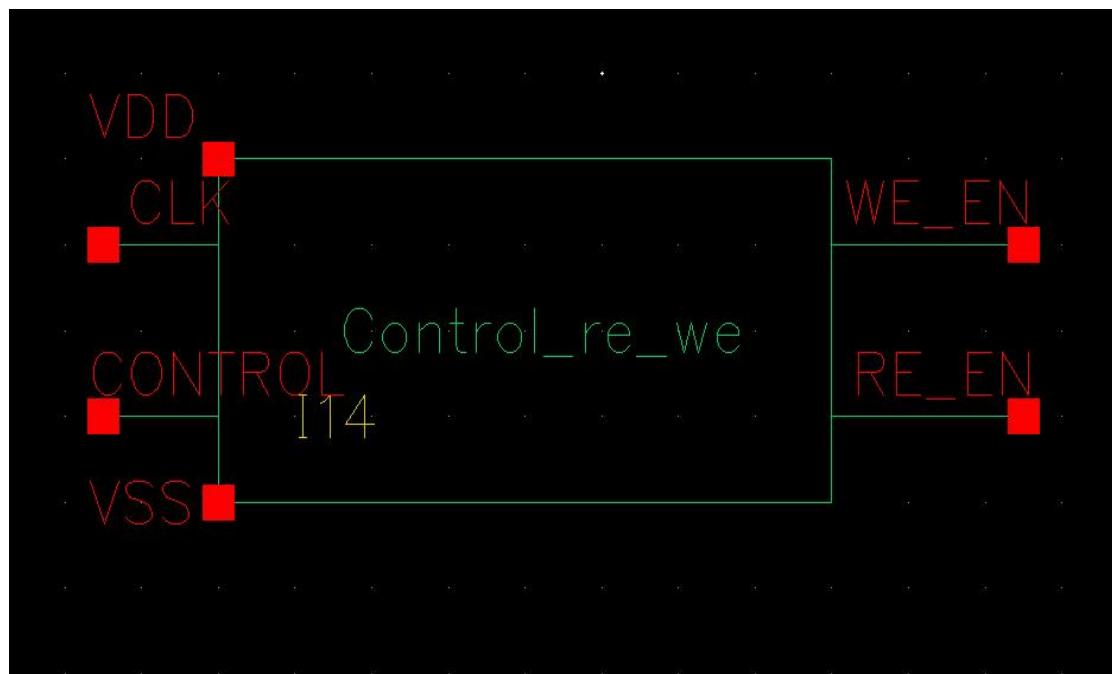
- Cấu tạo của mạch điều khiển gồm 6 chân với các chức năng khác nhau như hình 2.71 là đóng gói (symbol) và 2.72 cấu tạo chi tiết thiết kế (schematic) của mạch ghi dữ liệu thể hiện :

+ Chân CONTROL là chân điều khiển cho phép bộ nhớ được ghi hay được đọc dữ liệu. Vì theo nguyên lý thì việc ghi hoặc đọc chỉ được diễn ra tuân tự chứ không đồng thời. Cụ thể CONTROL = 1 cho phép đọc và ngược lại cho phép ghi.

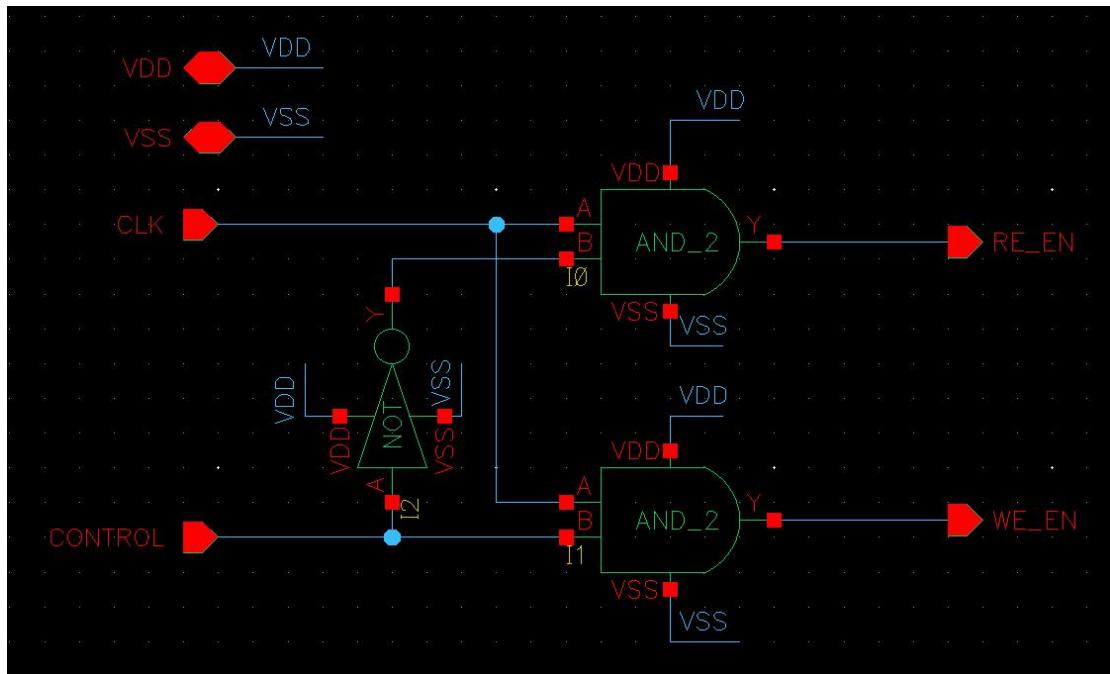
+ Chân CLK là chân cấp xung clk để việc thực hiện ghi đọc dữ liệu của bộ nhớ sẽ phụ thuộc vào chân clk này.

+ Chân Vdd và Vss là các chân nguồn cho hoạt động của mạch điều khiển

+ Chân RE_EN và WE_EN là 2 chân ngõ ra của mạch điều khiển với chân RE_EN là chân cho phép đọc dữ liệu và chân WE_EN cho phép ghi dữ liệu.



Hình 2.71: Symbol của mạch điều khiển trong SRAM 6T



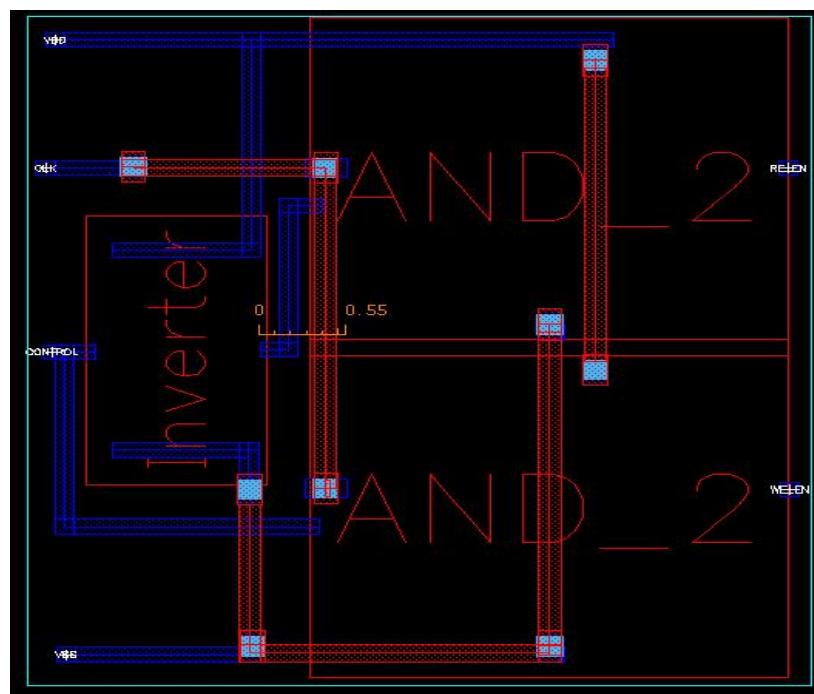
Hình 2.72: Cấu tạo chi tiết của mạch điều khiển trong SRAM 6T

2.6.2. Layout và kiểm tra mạch điều khiển (Control Driver)

2.6.2.1. Layout mạch điều khiển

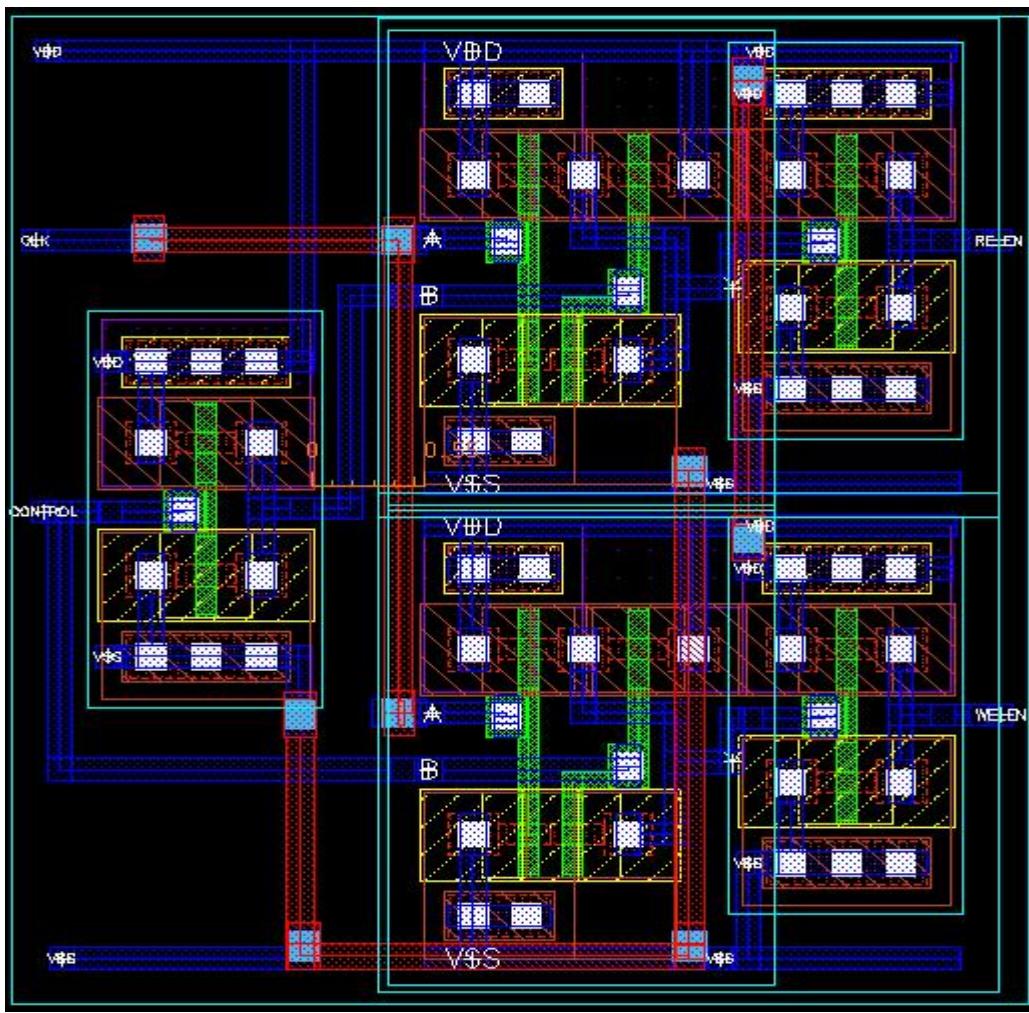
Thực hiện layout và đánh giá các thiết kế của chúng tôi như sau:

Thực hiện với tất cả các điện cực là metal bao gồm các ngõ vào và ra như hình 2.73:



Hình 2.73: Mô hình layout được theo sơ đồ các pmos và nmos.

Đi sâu vào thiết kế layout và đánh giá chi tiết như hình 2.74:



Hình 2.74: Cấu tạo chi tiết layout mạch ghi dữ liệu.

Các đường dây màu xanh dương, màu đỏ chính là đường dây metal có thể liên kết trực tiếp các pin được cấu tạo bằng metal vào trong cực của BJT cũng có cấu tạo từ metal.

Trong mạch này, các tám Via màu xanh dương dùng để liên kết các đường dây metal màu xanh dương và màu đỏ lại với nhau, các tám Via màu vàng chịu trách nhiệm liên kết lớp poly với đường dây metal màu xanh dương.

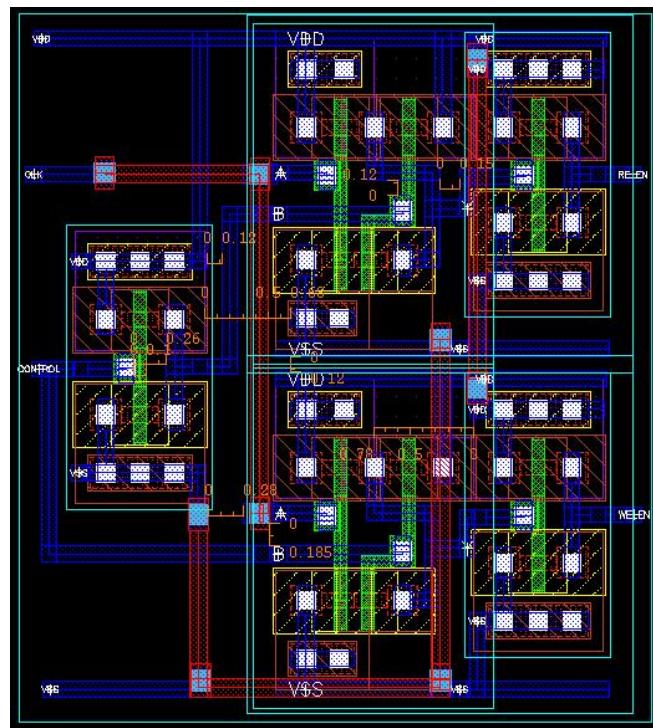
Chi tiết đáng chú ý là việc sử dụng bodytie configuration trong việc thiết kế các transistor để đảm bảo mạch hoạt động ổn định và không bị nhiễu, cụ thể ở thiết kế này chúng tôi tiến hành sử dụng Partial bodytie tức là một số transistor được kết nối với nền, trong khi các transistor khác không được kết nối với nền, lợi ích của việc này là giảm nhiễu và giảm điện dung để giúp cải thiện và làm tăng hiệu suất của transistor. Trong trường hợp 2 điện cực của Transistor

để tạo thành thiết kế nhỏ gọn hơn thì việc sử dụng bodytie kiểu Detached là một cách giúp tối ưu và giúp giảm hiện tượng phóng điện tĩnh giữa hai tiếp điểm, có thể gây hư hỏng cho mạch.

2.6.2.2. Kiểm tra layout mạch điều khiển

Việc thực hiện kiểm tra chuyên sâu về quy luật thiết kế DRC và quy luật logic được thực hiện bởi phần mềm Cadence, nhưng thay vì dựa hết vào phần mềm ta có thể thực hiện kiểm tra thủ công một số nguyên lý cơ bản để ta hiểu hơn về quy luật thiết kế.

Việc thực hiện kiểm tra quy luật thiết kế DRC cơ bản có thể được thực hiện như hình 2.75:



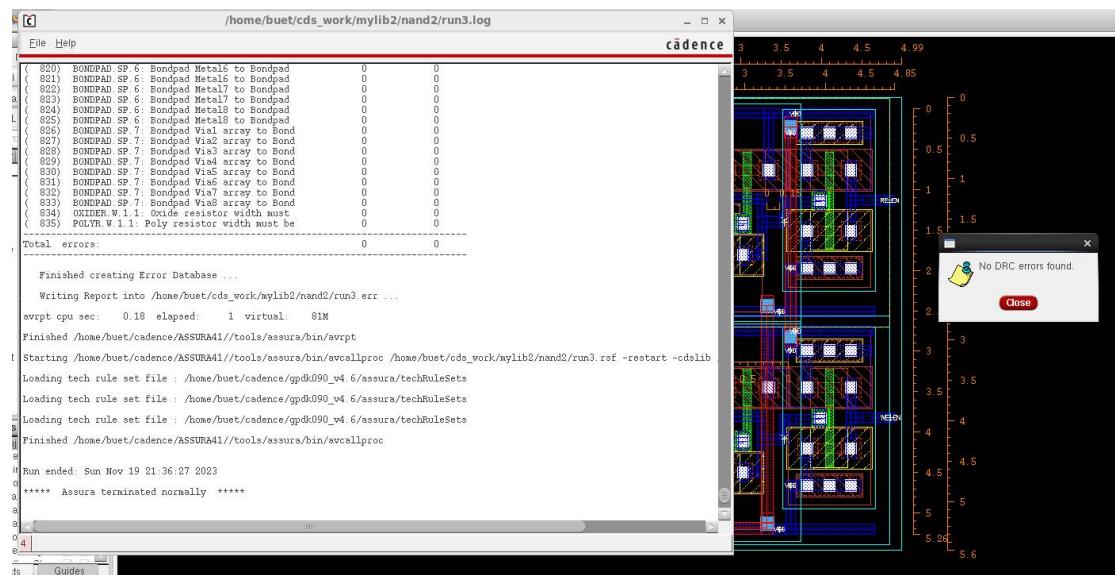
- Độ rộng của một đường metal $\geq 4\lambda$ và trên hình độ rộng của đường metal = 0.12um \Rightarrow thỏa quy luật

- Khoảng cách giữa đường metal màu đỏ và tâm Via nối giữ dây poly và dây metal màu xanh dương là $\geq 4\lambda$ tức là ≥ 0.12 um và khoảng cách đo được trong hình là khoảng 0.12 um \Rightarrow thỏa quy luật

- Độ rộng của một đường poly $\geq 2\lambda$ và trong hình chúng tôi đo được là 0.1 um \Rightarrow thỏa yêu cầu.

- Khoảng cách giữa các đường meta của tấm pin nmos là $\geq 4\lambda$ tức là ≥ 0.12 um và khoảng cách đo được của mạch thi công là 0.12um \Rightarrow thỏa quy luật

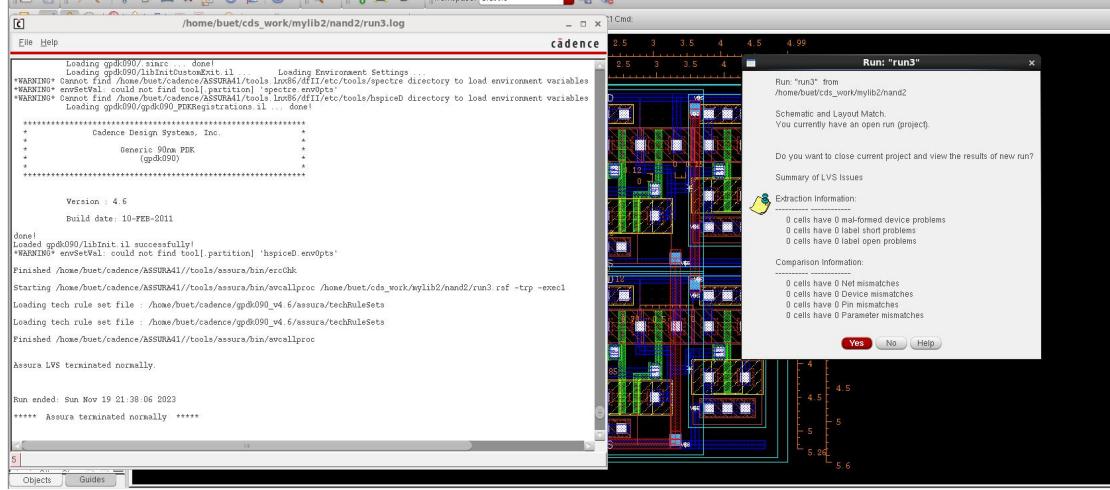
Một vài quy luật có thể kiểm tra bằng thủ công nhưng xét cả quá trình và các quy luật theo đúng chuẩn DRC thì có thể nói là rất nhiều và rất lớn vì vậy để kiểm tra một cách triệt để thiết kế ta sẽ sử dụng tool Cadence trong trường hợp này và kết quả sau khi thực hiện kiểm tra như hình 2.76.Sau khi thực hiện kiểm tra DRC với Cadence ta có thể kiểm tra tổng cộng 835 quy luật và cho về kết quả sau khi kiểm tra.



Hình 2.76: Kết quả kiểm tra quy luật thiết kế DRC của mạch điều khiển.

Về cơ bản việc thực hiện kiểm tra quy luật thiết kế đã hoàn chỉnh và có thể tiến hành bước tiếp theo là thực hiện kiểm tra tính logic của mạch có chính xác với mạch nguyên lý không. Sau khi thực hiện kiểm tra ta sẽ thu được file thông báo kết quả kiểm tra và một cửa sổ thông báo trạng thái khi đã kiểm tra xong như hình 2.76 và 2.77.

Việc thực hiện kiểm tra logic là một yếu tố quan trọng để xem quá trình thiết kế có bám sát với quá trình thiết kế mạch nguyên lý hay không. Việc đánh giá gồm 162 quy luật để việc kiểm tra diễn ra hoàn chỉnh. Việc này là cực kì quan trọng vì có thể bạn thiết kế đúng với qui luật thiết kế nhưng chỉ cần sai sót so với mạch nguyên lý thì chức năng của mạch sẽ hoàn toàn khác.

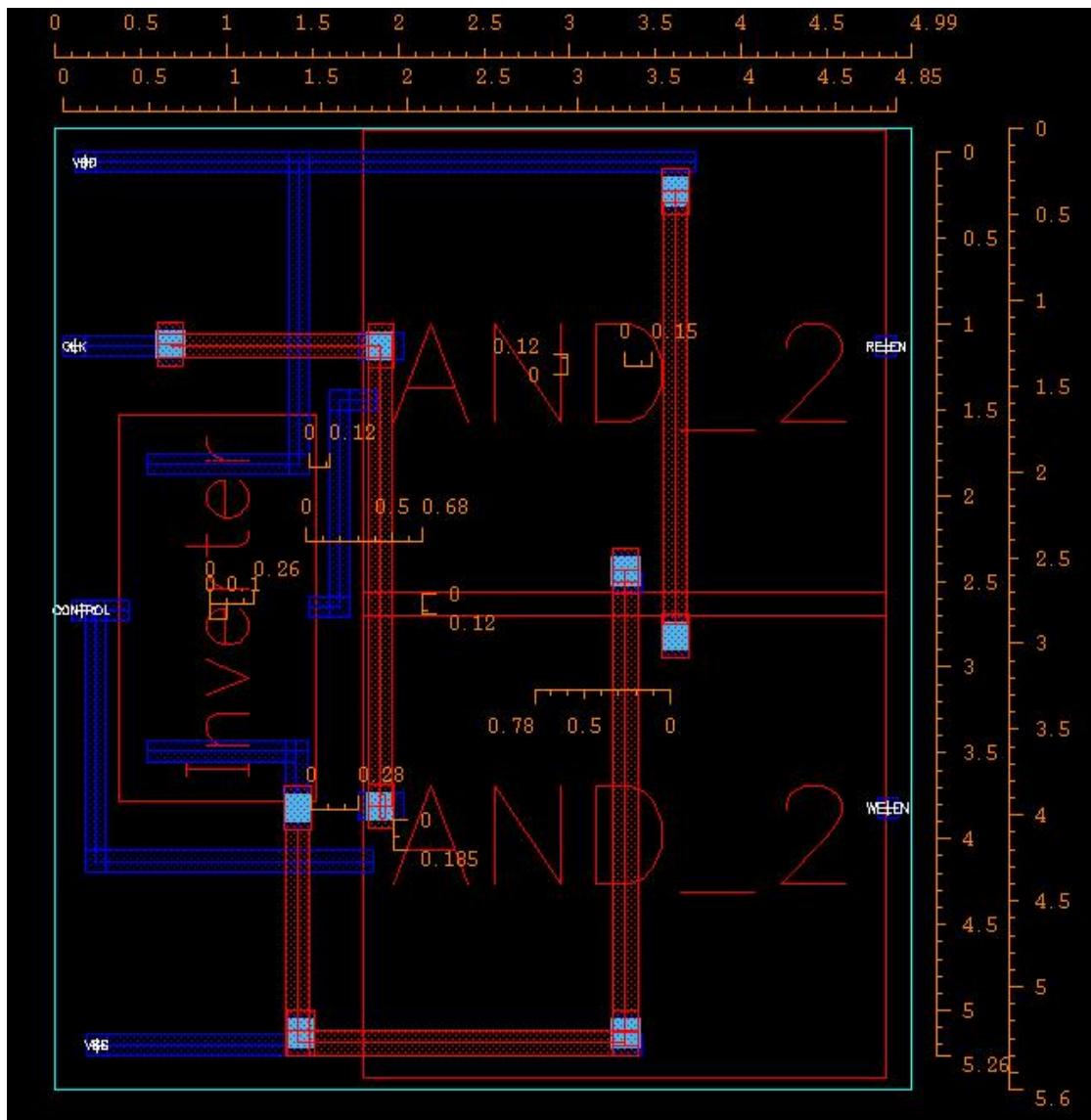


Hình 2.77: Kết quả kiểm tra luật LVS của mạch điều khiển.

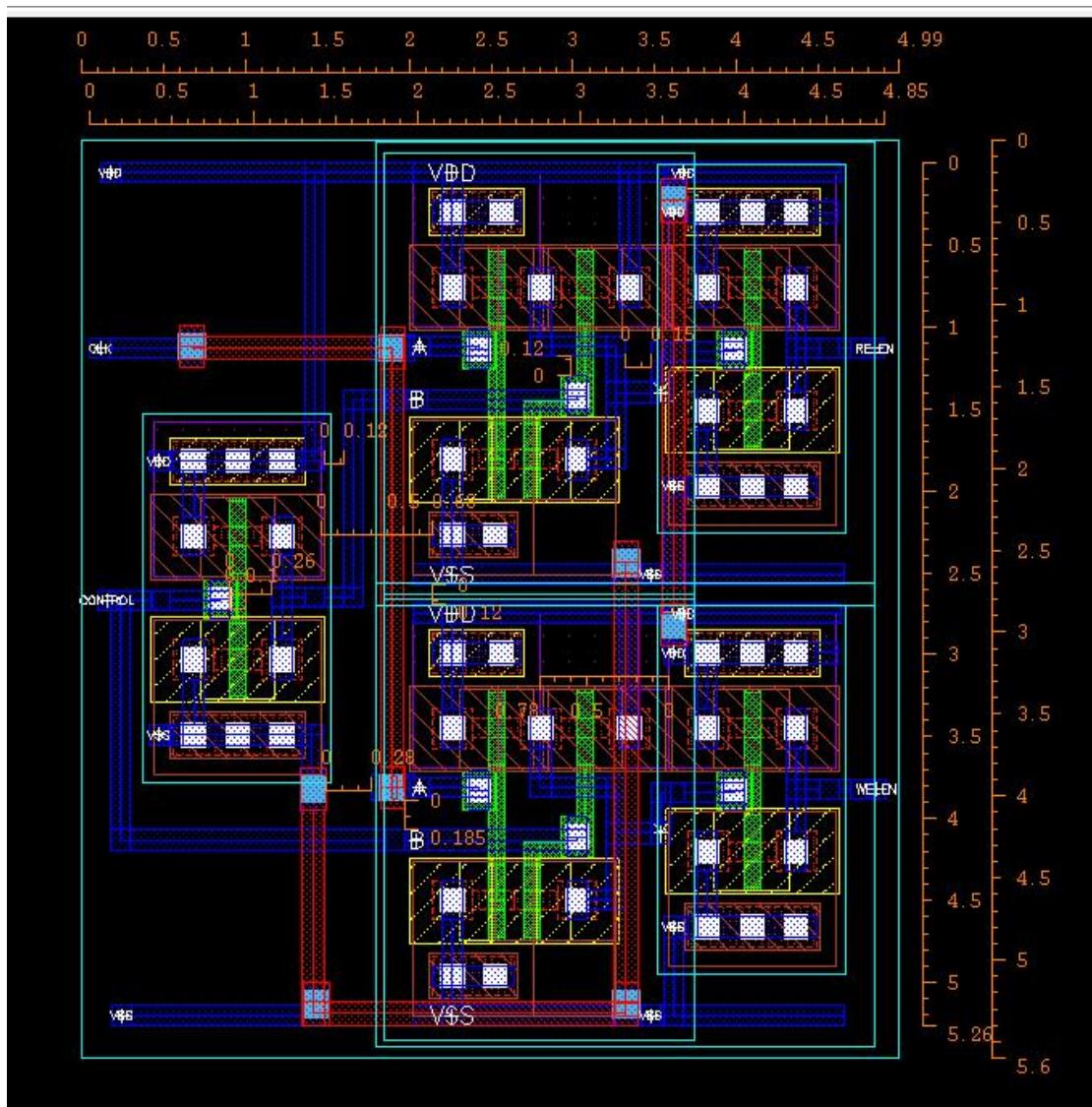
Sau bước kiểm tra thì ta có thể thấy việc trích xuất cũng như so sánh giữa mạch nguyên lý và layout là tương đồng với nhau và không phát sinh các lỗi về logic giữa 2 mạch này.

2.6.3. Tối ưu hóa diện tích của mạch ghi điều khiển (Control Driver)

Sau khi thực hiện tối ưu hóa diện tích ta có thể nhìn tổng quát về mạch ghi dữ liệu như hình 2.78 và 2.79.



Hình 2.78: Sơ đồ sau khi tối ưu hóa điện tích layout của mạch điều khiển.



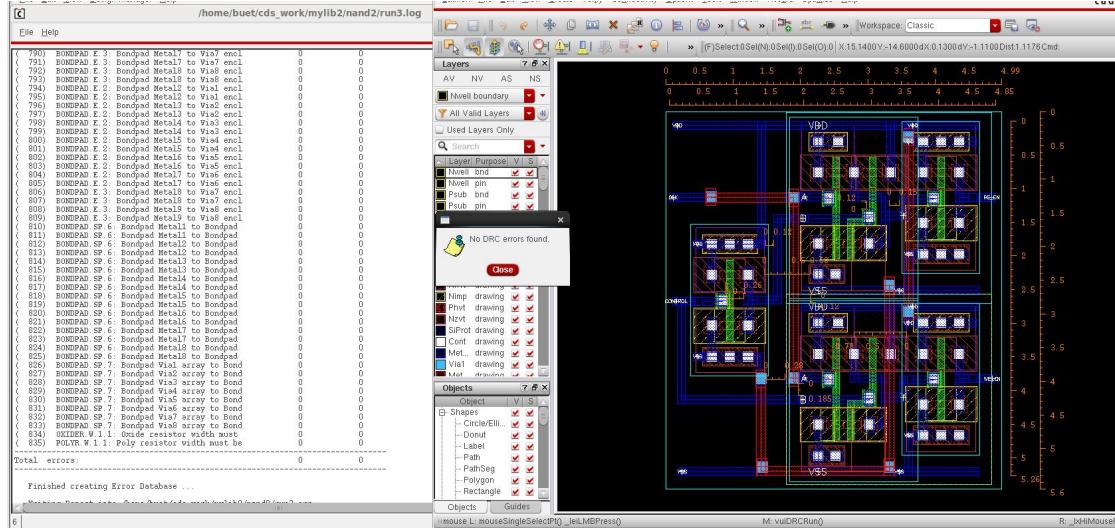
Hình 2.79: Sơ đồ chi tiết sau khi tối ưu hóa diện layout của điều khiển.

Từ hình 2.78 và 2.79 có thể thấy diện sau khi thực hiện tối ưu hóa đã giảm đáng kể so với mạch ghi trước đó ở một vài điểm có thể kể ra:

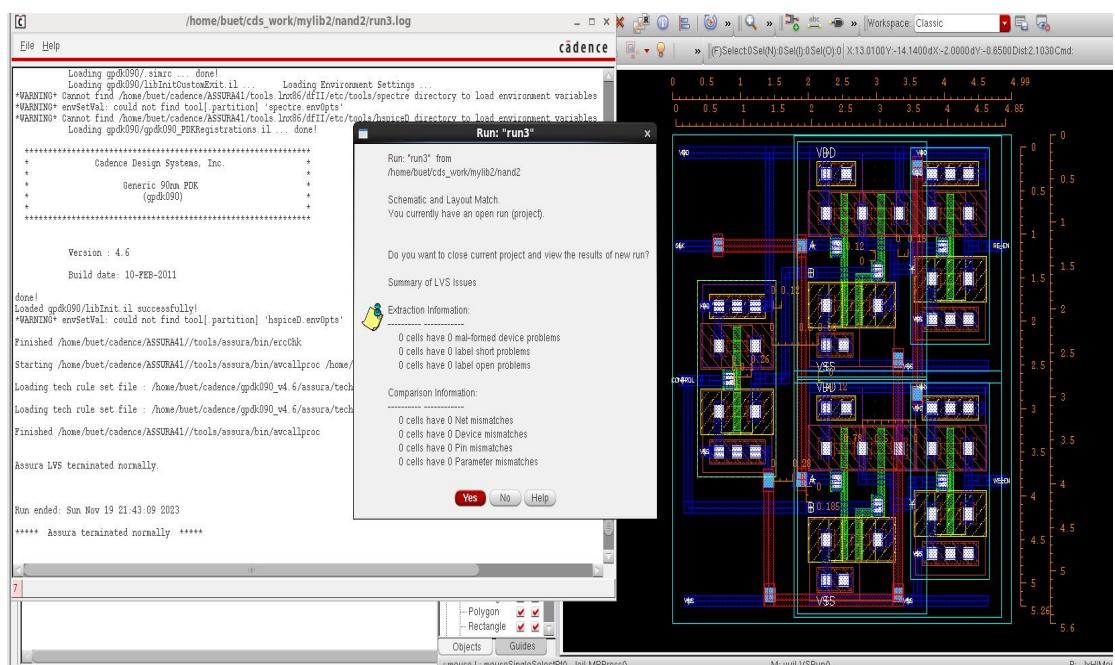
- Các pin được bố trí một cách hợp lý và logic hơn để thuận tiện cho việc tái sử dụng cũng như ghép mạch ghi lại thành một SRAM 6T hoàn chỉnh.
- Các đường dây metal được bố trí với khoảng cách ngắn hơn để tối ưu được diện tích hơn.

Sau khi thực hiện việc tối ưu hóa diện tích ta có thể thấy khoảng cách đo được như trên hình 2.78 và 2.79 là $4.85 \times 5.26 \text{ um}$. Với con số này có thể chấp nhận vì mục đích của việc tối ưu là đưa mạch về hình vuông với chiều dài và chiều rộng như nhau.

Và để đảm bảo việc tối ưu hóa diễn ra xuông sẽ và không gặp bất kì lỗi này thì ta cần tiến hành kiểm tra lại thiết kế một lần nữa. Kết quả kiểm tra như hình 2.80 kiểm tra quy luật thiết kế DRC và hình 2.81 kiểm tra quy luật logic .



Hình 2.80: Kết quả kiểm tra DRC của mạch ghi khi đã tối ưu hóa.



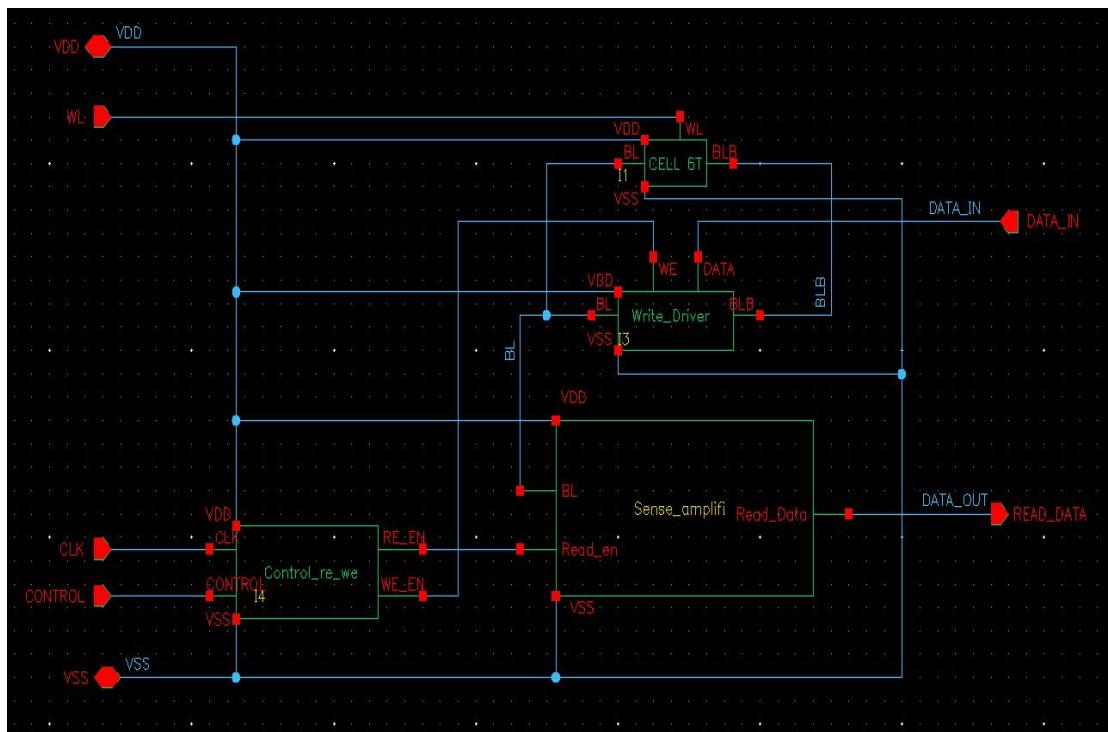
Hình 2.81: Kết quả kiểm tra LVS của mạch ghi khi đã tối ưu hóa.

CHƯƠNG 3: THỰC HIỆN GHÉP NỐI SRAM 6T HOÀN THIỆN

3.1 SRAM 6T 1 bit

3.1.1. Thiết kế mạch SRAM 1 bit

Hình 3.1 chúng tôi đã thực hiện thiết kế mạch nguyên lý SRAM 6T 1 cell nhớ dựa trên các khói và các mạch đã được thiết kế ở **chương 2**. Các khói mạch chính của SRAM 6T bao gồm các mạch đặc trưng như: mạch nạp trước, ô nhớ (cell) 6T SRAM, mạch điều khiển cho phép đọc/ghi, mạch khuếch đại và cảm nhận, mạch ghi dữ liệu, mạch giải mã.



Hình 3.1: Mạch nguyên lý 1bit của SRAM 6T.

Như hình 3.1 sẽ cho ta cái nhìn tổng quát về nguyên lý cách bố trí các khói mạch chính của một SRAM 6T hoàn chỉnh mà dự án SRAM 256 bit chúng tôi sẽ thực hiện.

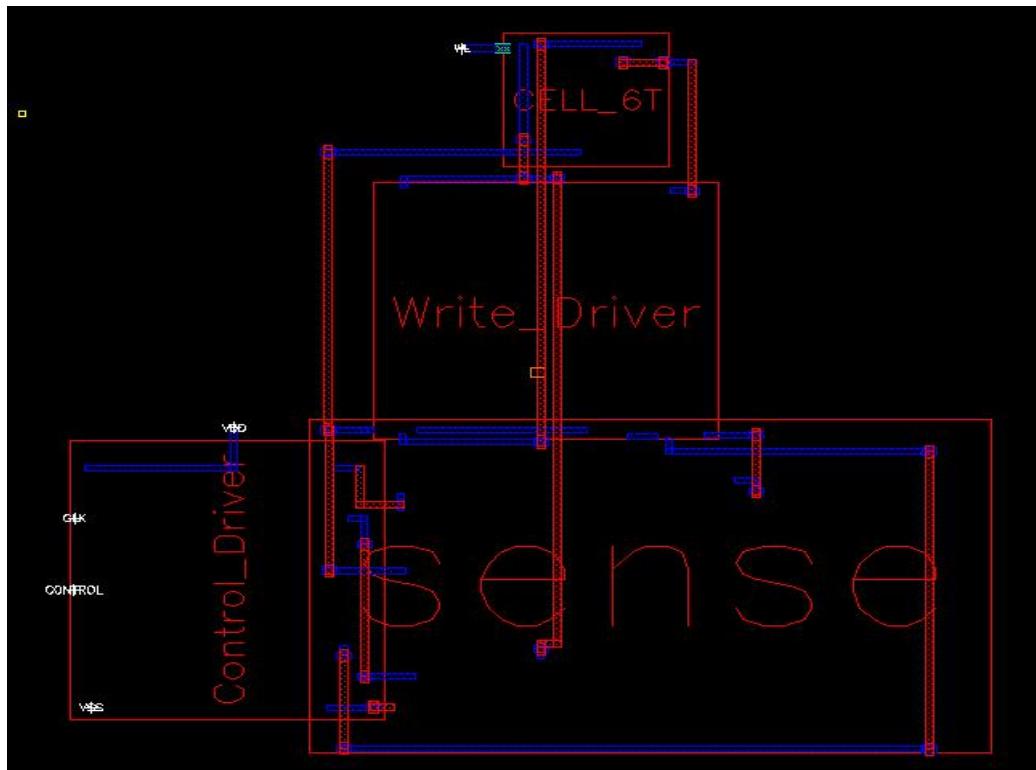
Việc thực hiện kiểm tra nguyên lý hoạt động và việc mô phỏng tín hiệu để đánh giá các thuộc tính điện DC và AC đã được chúng tôi thực hiện trong đồ án 1 [6]. Với đồ án này chúng tôi tiến hành thực hiện layout để hoàn thành quá trình thiết kế dưới góc nhiều VLSI của một SRAM6T 256 bit.

3.1.2. Layout và kiểm tra SRAM6T 1bit

3.1.2.1. Layout SRAM6T 1 bit

Thực hiện layout và đánh giá các thiết kế của chúng tôi như sau:

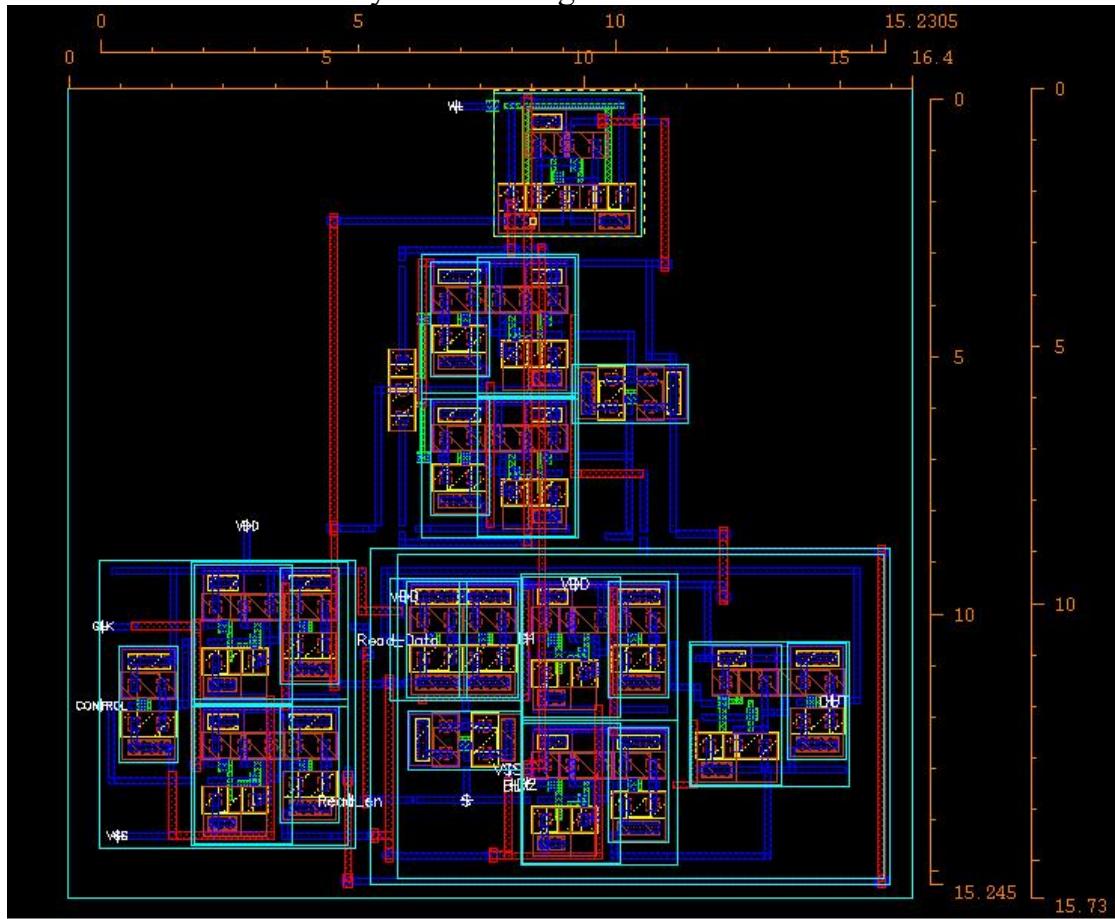
Thực hiện với tất cả các điện cực là metal bao gồm các ngõ vào và ra như hình 3.2 và 3.3 :



Hình 3.2: Mô hình layout được sơ đồ các pmos và nmos.

Vì đây là quá trình lắp ghép một ô nhớ và thực hiện layout nên việc tối ưu về vị trí cũng như khoảng cách sẽ không được quan tâm một cách chặt chẽ vì việc sản xuất một SRAM6T chỉ với 1 bit là điều không đáng kể. Vì thế chúng tôi sẽ thực hiện lắp ghép để thể hiện việc layout của các khối bên trong SRAM6T và kiểm tra chúng chứ không thực hiện tối ưu hóa khoảng cách, việc tối ưu hóa này chúng tôi sẽ thực hiện khi lắp ghép thành SRAM6T 256 cell.

Đi sâu vào thiết kế layout và đánh giá chi tiết như hình 3.3:



Hình 3.3: Cấu tạo chi tiết layout của 1 bit SRAM 6T.

Các đường dây màu xanh dương, màu đỏ chính là đường dây metal có thể liên kết trực tiếp các pin được cấu tạo bằng metal vào trong cực của BJT cũng có cấu tạo từ metal.

Trong mạch này, các tám Via màu xanh dương dùng để liên kết các đường dây metal màu xanh dương và màu đỏ lại với nhau, các tám Via màu vàng chịu trách nhiệm liên kết lớp poly với đường dây metal màu xanh dương.

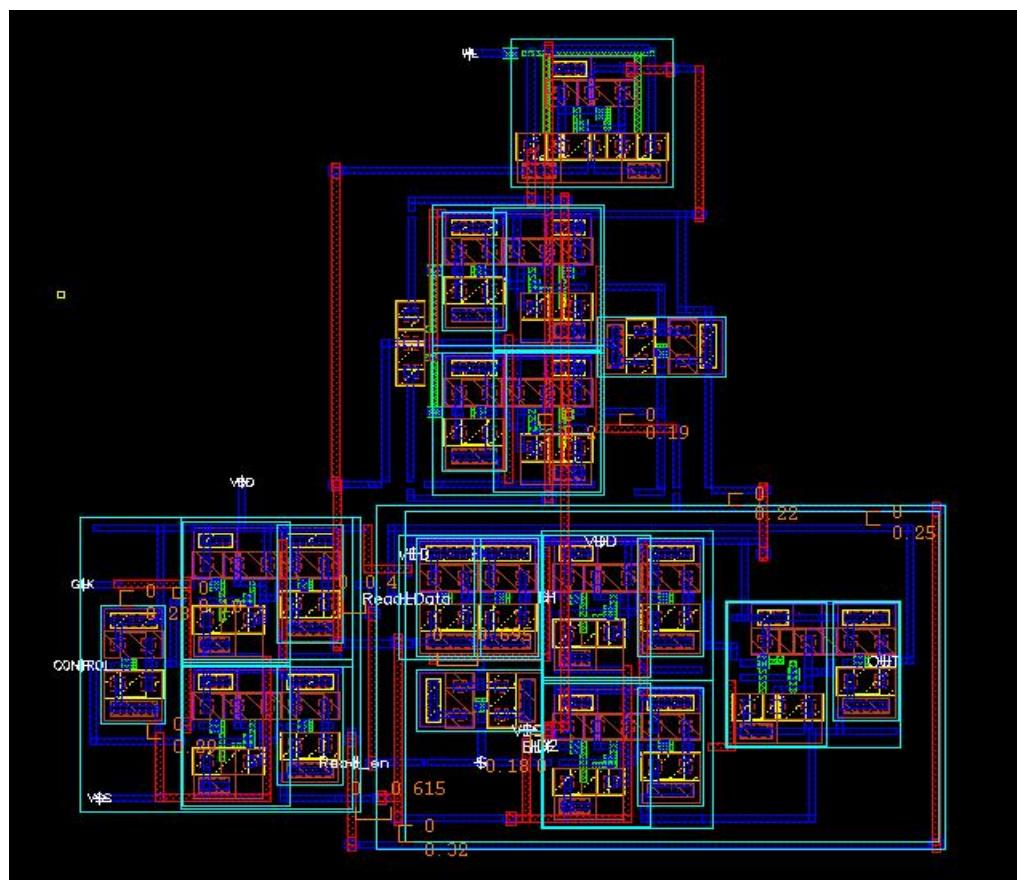
Chi tiết đáng chú ý là việc sử dụng bodytie configuration trong việc thiết kế các transistor để đảm bảo mạch hoạt động ổn định và không bị nhiễu, cụ thể ở thiết kế này chúng tôi tiến hành sử dụng Partial bodytie tức là một số transistor được kết nối với nền, trong khi các transistor khác không được kết nối với nền, lợi ích của việc này là giảm nhiễu và giảm điện dung để giúp cải thiện và làm tăng hiệu suất của transistor. Trong trường hợp ghép 2 điện cực của Transistor để tạo thành thiết kế nhỏ gọn hơn thì việc sử dụng bodytie kiểu Detached là

một cách giúp tối ưu và giúp giảm hiện tượng phóng điện tĩnh giữa hai tiếp điểm, có thể gây hư hỏng cho mạch.

3.1.2.2. Kiểm tra layout mạch SRAM 6T 1bit

Việc thực hiện kiểm tra chuyên sâu về quy luật thiết kế DRC và quy luật logic được thực hiện bởi phần mềm Cadence, nhưng thay vì dựa hết vào phần mềm ta có thể thực hiện kiểm tra thủ công một số nguyên lý cơ bản để ta hiểu hơn về quy luật thiết kế.

Việc thực hiện kiểm tra quy luật thiết kế DRC cơ bản có thể được thực hiện như hình 3.4 :



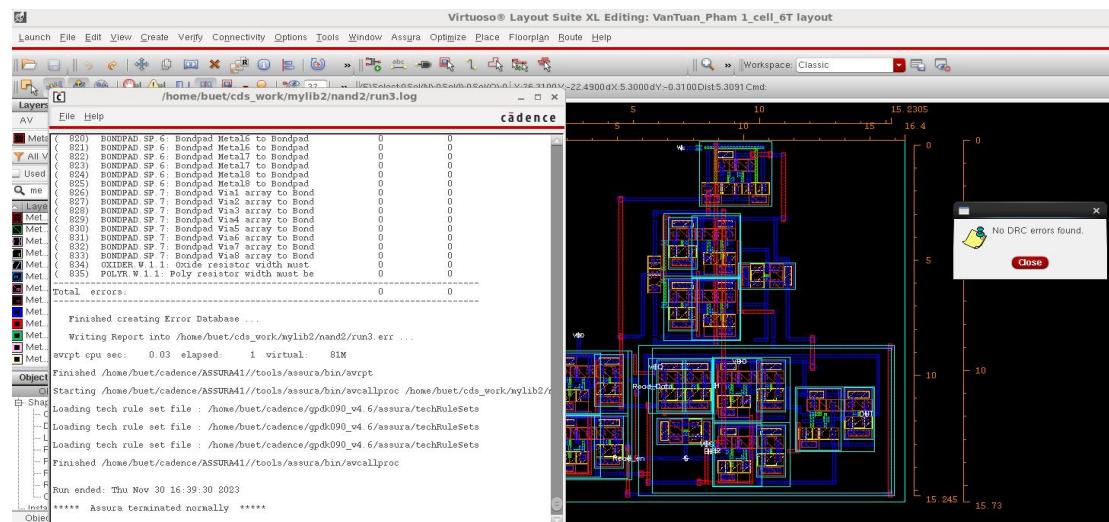
- Độ rộng của một đường metal $\geq 4\lambda$ và trên hình độ rộng của đường metal = 0.12 um \Rightarrow thỏa quy luật

- Khoảng cách giữa đường metal màu đỏ và tâm Via nối giữ dây poly và dây metal màu xanh dương là $\geq 4\lambda$ tức là ≥ 0.12 um và khoảng cách đo được trong hình là khoảng 0.12 um \Rightarrow thỏa quy luật

- Độ rộng của một đường poly $\geq 2\lambda$ và trong hình chúng tôi đo được là 0.1 um \Rightarrow thỏa yêu cầu.

- Khoảng cách giữa các đường meta của tâm pin nmos là $\geq 4\lambda$ tức là ≥ 0.12 um và khoảng cách đo được của mạch thi công là 0.12 um \Rightarrow thỏa quy luật

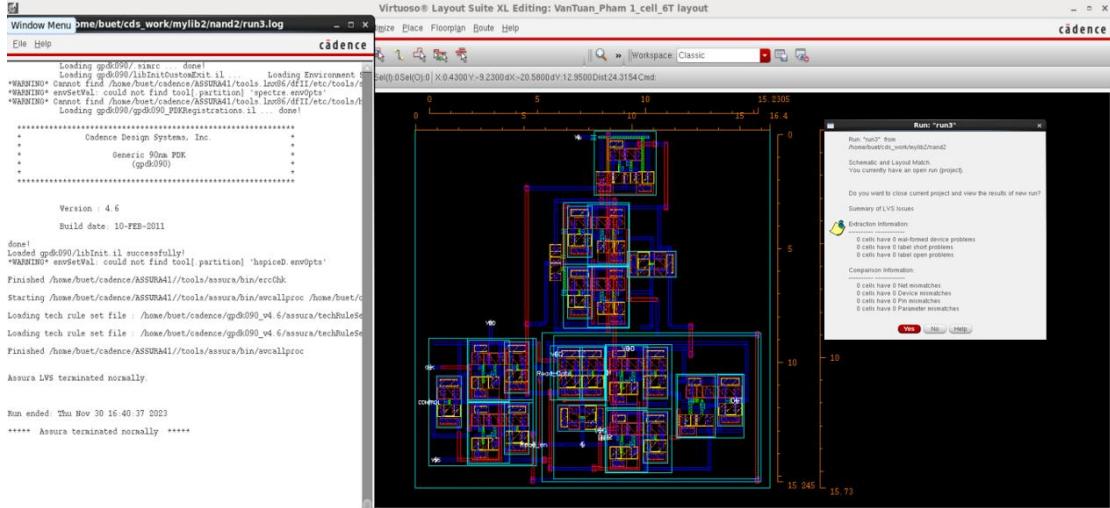
Một vài quy luật có thể kiểm tra bằng thủ công nhưng xét cả quá trình và các quy luật theo đúng chuẩn DRC thì có thể nói là rất nhiều và rất lớn vì vậy để kiểm tra một cách triệt để thiết kế ta sẽ sử dụng tool Cadence trong trường hợp này và kết quả sau khi thực hiện kiểm tra như hình 3.5. Sau khi thực hiện kiểm tra DRC với Cadence ta có thể kiểm tra tổng cộng 835 quy luật và cho về kết quả sau khi kiểm tra.



Hình 3.5: Kết quả kiểm tra quy luật thiết kế DRC của 1bit SRAM 6T.

Về cơ bản việc thực hiện kiểm tra quy luật thiết kế đã hoàn chỉnh và có thể tiến hành bước tiếp là thực hiện kiểm tra tính logic của mạch có chính xác với mạch nguyên lý không. Sau khi thực hiện kiểm tra ta sẽ thu được file thông báo kết quả kiểm tra và một cửa sổ thông báo trạng thái khi đã kiểm tra xong như hình 3.5 và 3.6.

Việc thực hiện kiểm tra logic là một yếu tố quan trọng để xem quá trình thiết kế có bám sát với quá trình thiết kế mạch nguyên lý hay không. Việc đánh giá gồm 162 quy luật để việc kiểm tra diễn ra hoàn chỉnh. Việc này là cực kì quan trọng vì có thể bạn thiết kế đúng với qui luật thiết kế nhưng chỉ cần sai sót so với mạch nguyên lý thì chức năng của mạch sẽ hoàn toàn khác.



Hình 3.6: Kết quả kiểm tra luật LVS của 1bit SRAM 6T.

Sau bước kiểm tra thì ta có thể thấy việc trích xuất cũng như so sánh giữa mạch nguyên lý và layout là tương đồng với nhau và không phát sinh các lỗi về logic giữa 2 mạch này.

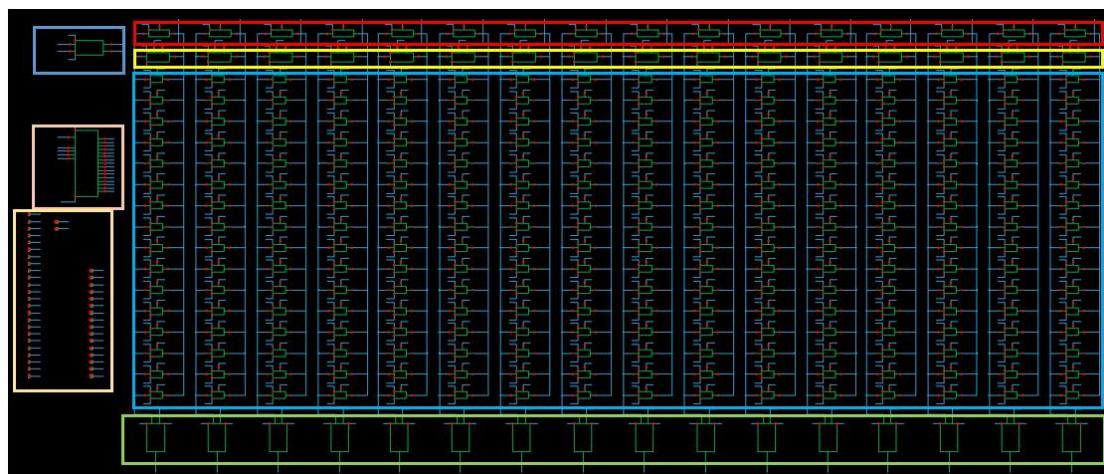
Qua việc thiết kế lên layout 1 bit SRAM 6T như trên hình 3.3 chúng tôi muốn cho người đọc một cái nhìn tổng quan về cách bố trí thiết kế lên layout một mạch SRAM 256 bit hoàn chỉnh với lý do mạch 256 bit là ghép nối của 256 ô nhớ sẽ rất khó để ta có thể quan sát được các thành phần bố trí các khối mạch của nó. Hình 3.84 là layout của 1 bit SRAM 6T với kích thước 16.4×15.245 đã được tối ưu hóa một cách tương đối nhờ sự ghép nối các khối mạch đã được chúng tôi tối ưu hóa nhất có thể layout của chúng. Do tính thực tế, không ai lại thiết kế cũng như sản xuất 1 bit nhớ SRAM vì vậy chúng tôi sẽ không tập chung quá nhiều vào việc thiết kế layout 1 bit SRAM này một cách tối ưu hóa nhất có thể.

3.2. SRAM6T 16x16 BIT.

3.2.1. Thiết kế mạch của SRAM6T 256 bit.

Đến với phần 3.2 chúng tôi sẽ thực hiện lắp ghép các khối đã thiết kế từ các phần trước để có thể tạo thành một mạch nguyên lý cũng như layout của nó một cách hoàn thiện nhất. Cũng như sẽ thực hiện việc tối ưu hóa kích thước nhiều nhất có thể. Các khối trong quá trình lắp ráp đã được tối ưu hóa nên vấn đề cần giải quyết là tối ưu hóa các khoảng cách giữa các khối khi lắp ghép.

Dưới đây hình 3.7 chúng tôi đã thực hiện ghép nối và bố trí các khối trong mạch nguyên lý của SRAM6T 256 bit.



Hình 3.7: Mạch nguyên lý của SRAM6T tổng quát.

Các khối đã được thực hiện đóng khung để phân biệt. Từ trái sang phải sẽ lần lượt là các PIN tín hiệu ngõ vào, ngõ ra, các tín hiệu điều khiển cũng như nguồn và đất, kết tiếp là khối gồm khối giải mã phía dưới và khối điều khiển phía trên, cuối cùng là các cột ô nhớ dữ liệu. Mỗi cột ô nhớ có cấu tạo gồm mạch nạp trước ở trên cùng kết tiếp là mạch ghi và các ô nhớ trong một cột cụ thể là 16 ô nhớ và cuối cùng là mạch khuếch đại cảm nhận dưới cùng để thực hiện đọc dữ liệu được ghi từ ô nhớ.

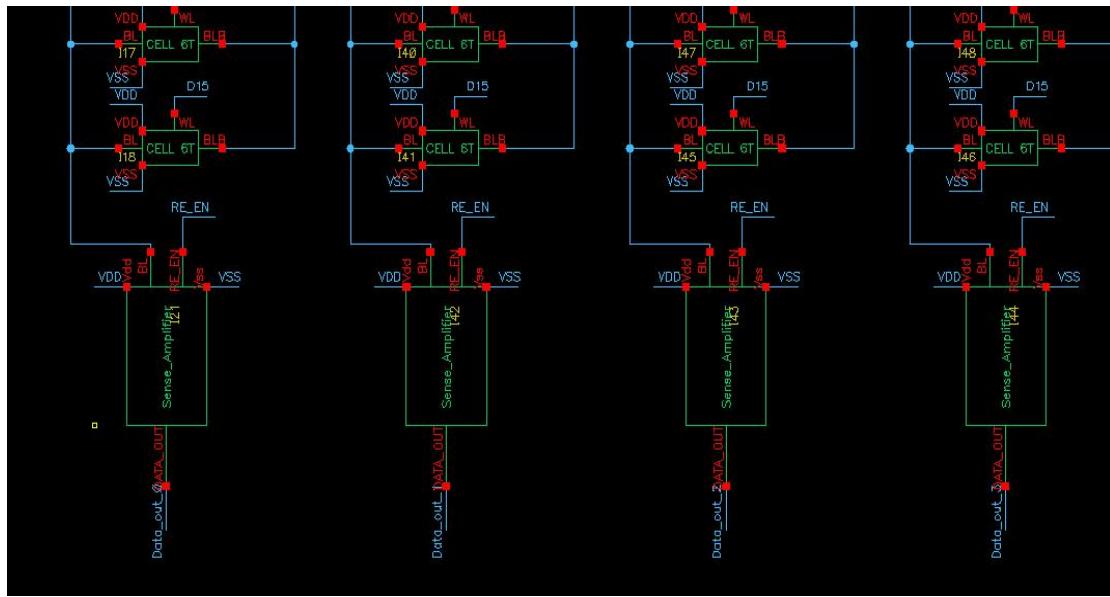
Đi sâu vào trong thiết kế ta có thể qua sát các hình 3.8, hình 3.9 và hình 3.10 để biết rõ hơn chi tiết các khối.



Hình 3.8: Các PIN tín hiệu của SRAM6T.



Hình 3.9: Xắp xếp của các khối nạp trước, ghi, giải mã và điều khiển.



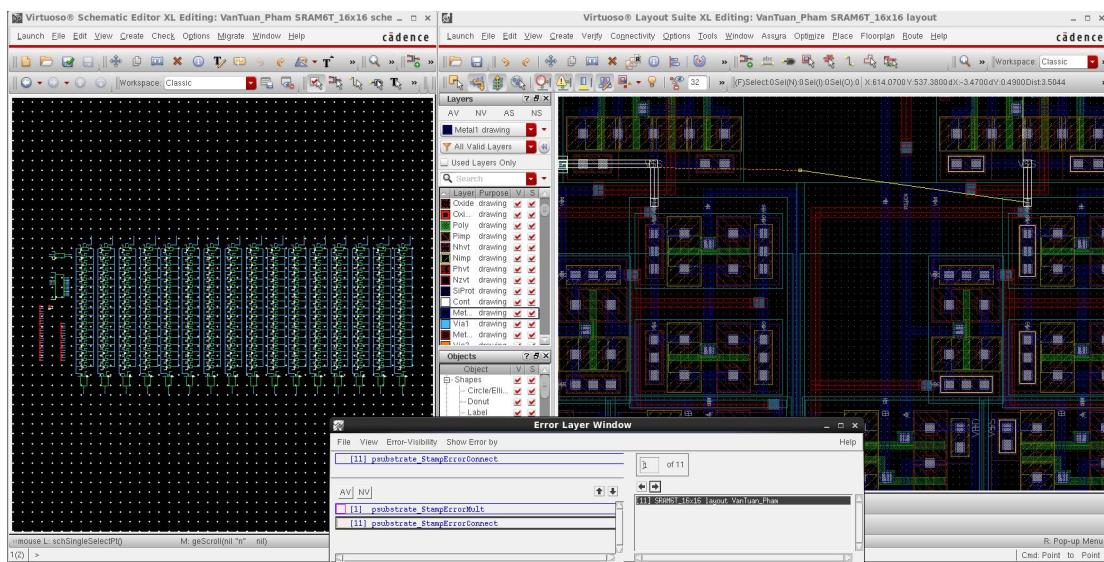
Hình 3.10: Vị trí của khối khuếch đại cảm nhận trong SRAM6T.

Việc thực hiện đánh giá và kiểm tra nguyên lý hoạt động của mạch nguyên lý này đã được chúng tôi thực hiện trong đồ án 1 của mình [6].

3.2.2. Layout và kiểm tra của SRAM6T 256 bit

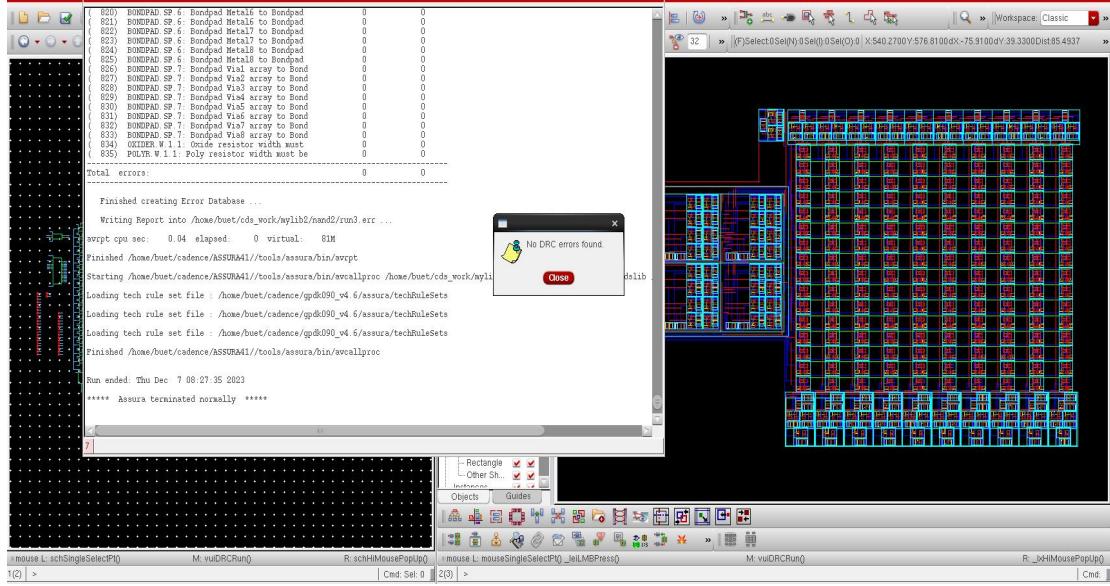
3.2.2.1 Layout của SRAM6T 256 bit

Tiếp chúng tôi sẽ thực hiện quá trình layout mạch nguyên lý được chúng tôi lắp ráp từ trước. Vì quá trình layout diễn ra rất phức tạp vì số lượng cell cũng khá lớn nên quá trình layout đã được chúng tôi thực hiện cẩn thận kết hợp giữa việc kiểm tra quy luật thiết kế sau khi lắp ráp từng cột ô nhớ để quá trình diễn ra một cách hoàn hảo. Có thể thấy việc thực hiện kiểm tra như các hình bên dưới.



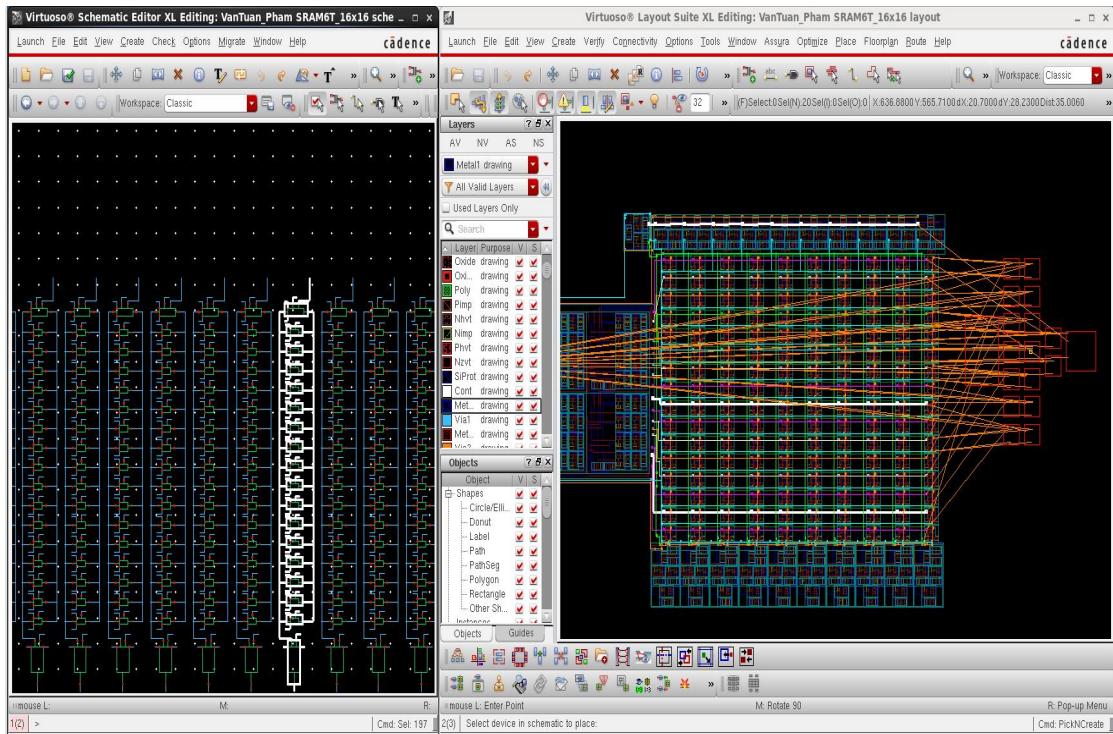
Hình 3.11: Quá trình thực hiện kiểm tra phát sinh lỗi.

Khi phát hiện lỗi như hình 3.11 việc thực hiện kiểm tra lại xem cột ô nhớ vừa thực hiện đã được ghép nối đầy đủ các ngõ ra và ngõ vào của các khối lại với nhau hay chưa, cũng như việc kết nối nguồn và đất cho các khối là không thể thiếu. Sau khi kiểm tra phát hiện và sửa lỗi ta sẽ dùng công cụ Cadence kiểm tra quy luật thiết kế lại và có kết quả như hình 3.12.

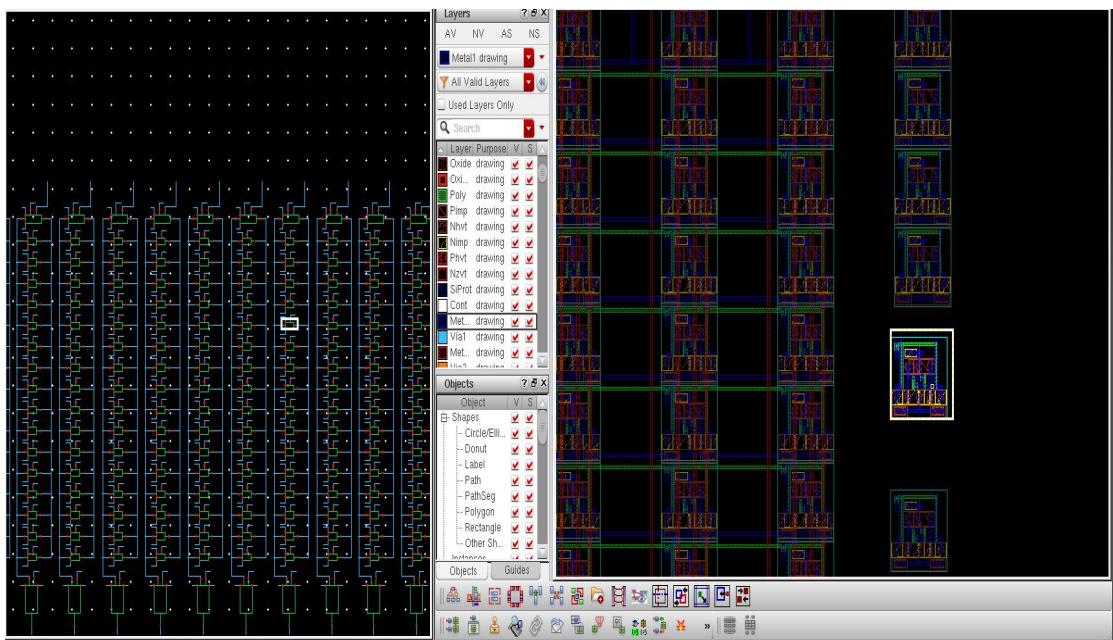


Hình 3.12: Việc ghép nối đã được sửa lỗi xong.

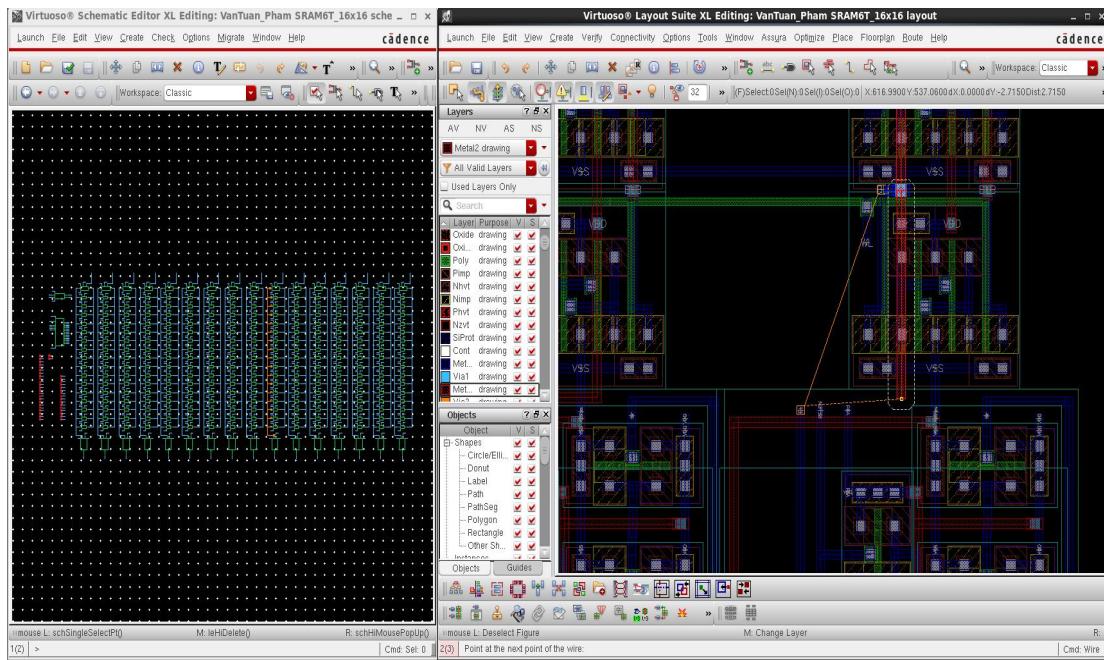
Ngoài quá trình thực hiện kiểm tra quy luật thiết kế liên tục trong quá trình kế nối thì việc ghép nối các pin của các khối với nhau một cách đầy đủ là điều vô cùng quan trọng vì nó quyết định đến việc thành bại của quá trình kiểm tra thiết kế logic vì đúng qui luật thiết kế nhưng sai qui luật logic thì SRAM sẽ không hoạt động đúng với chức năng của nó. Việc kiểm tra và xem xét này được thể hiện qua các hình 3.13 đến hình 3.16 bên dưới.



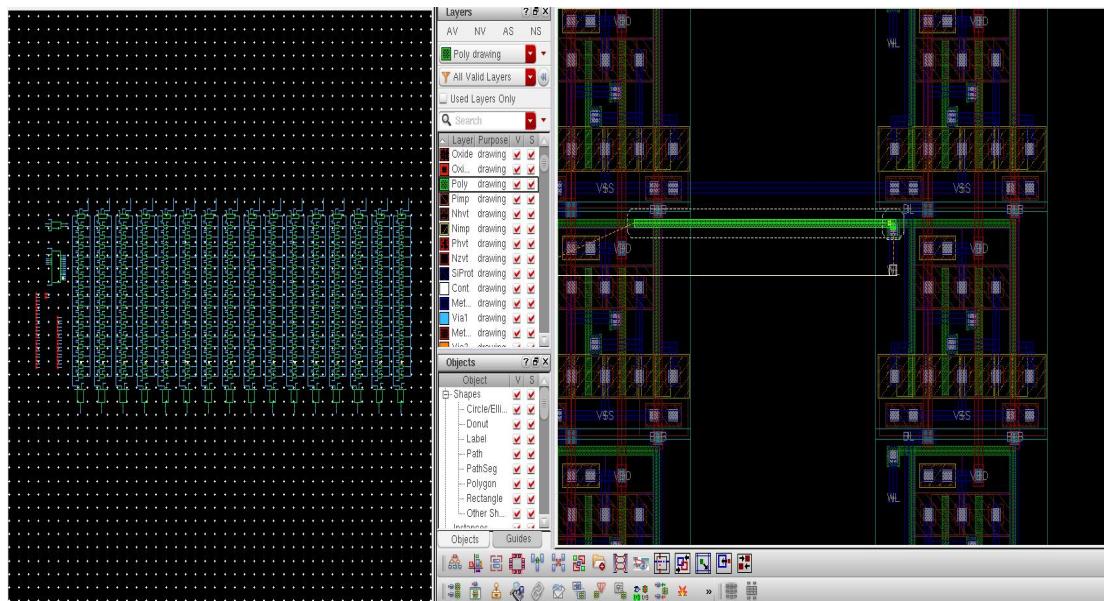
Hình 3.13: Thực hiện layout từng cột ô nhớ của SRAM6T.



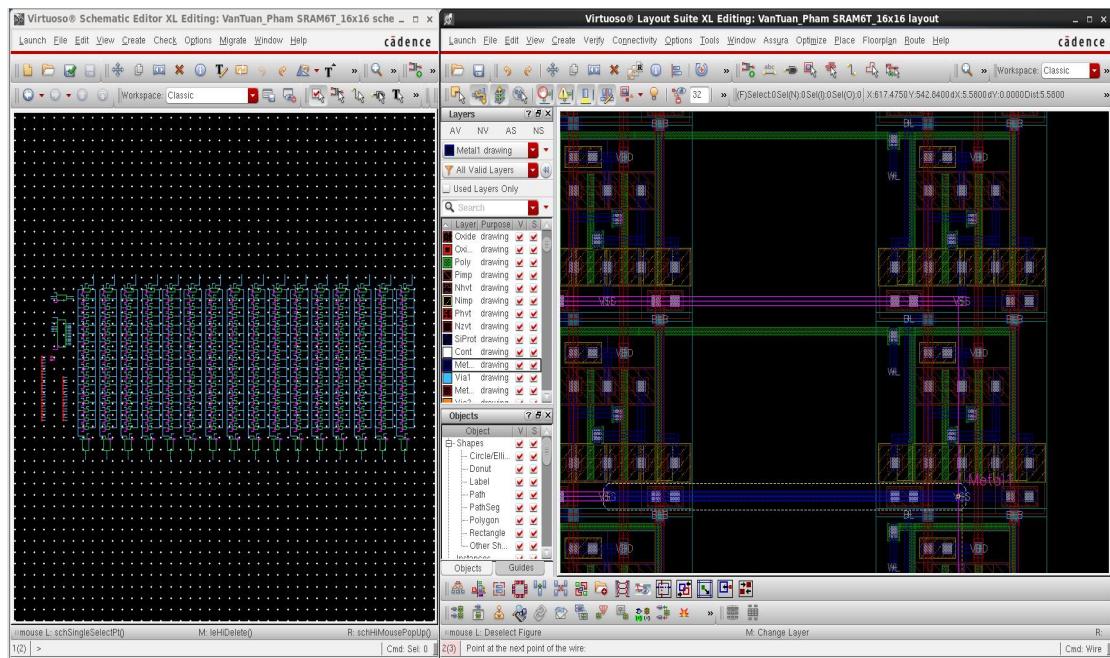
Hình 3.14: Thực hiện lắp ghép từng cell của SRAM6T.



Hình 3.15: Thực hiện lắp ghép đường BL trong một cột ô nhớ.

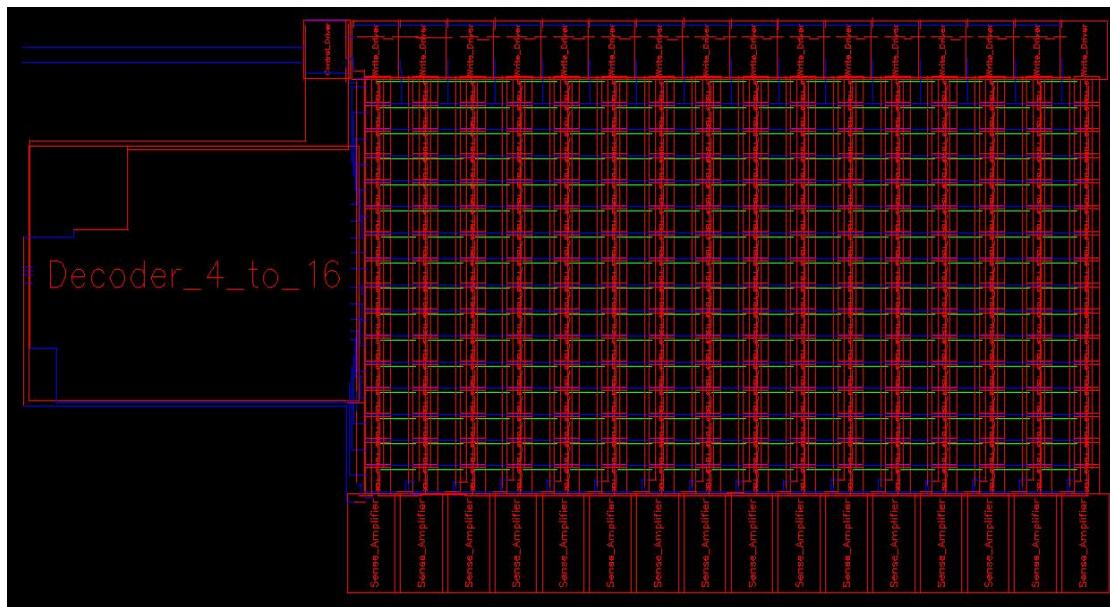


Hình 3.16: Thực hiện lắp ghép một đường WL của một hàng trong SRAM6T.



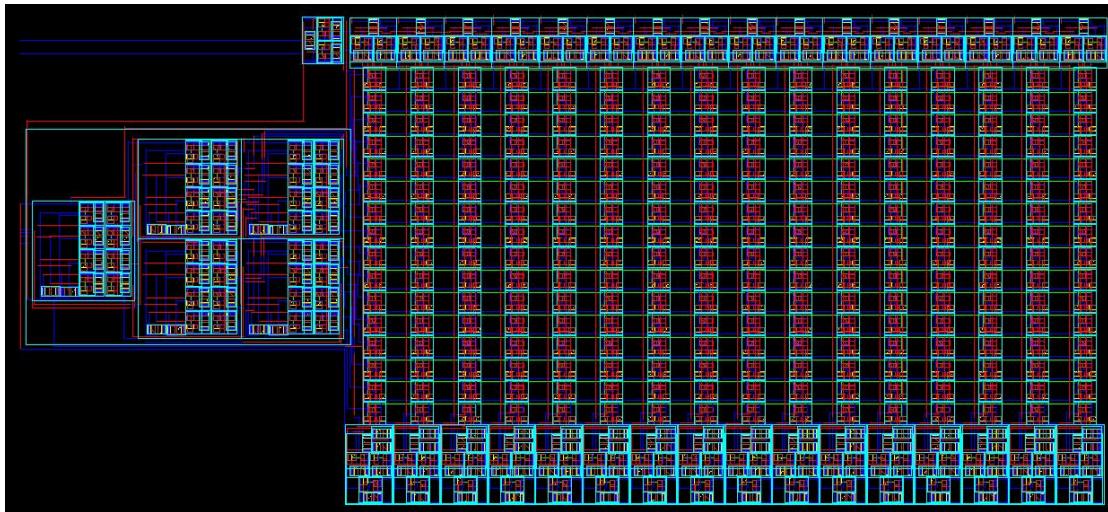
Hình 3.17: Thực hiện lắp ghép VSS của các khối.

Sau khi thực hiện ghép nối các khối một cách hoàn chỉnh ta sẽ thu được layout của SRAM 256 cell như hình 3.2 và hình 3.3.



Hình 3.18: Mô hình layout được theo sơ đồ các pmos và nmos của SRAM6T.

Đi sâu vào thiết kế layout và đánh giá chi tiết như hình 3.3:



Hình 3.19: Cấu tạo chi tiết layout của 1 bit SRAM 6T.

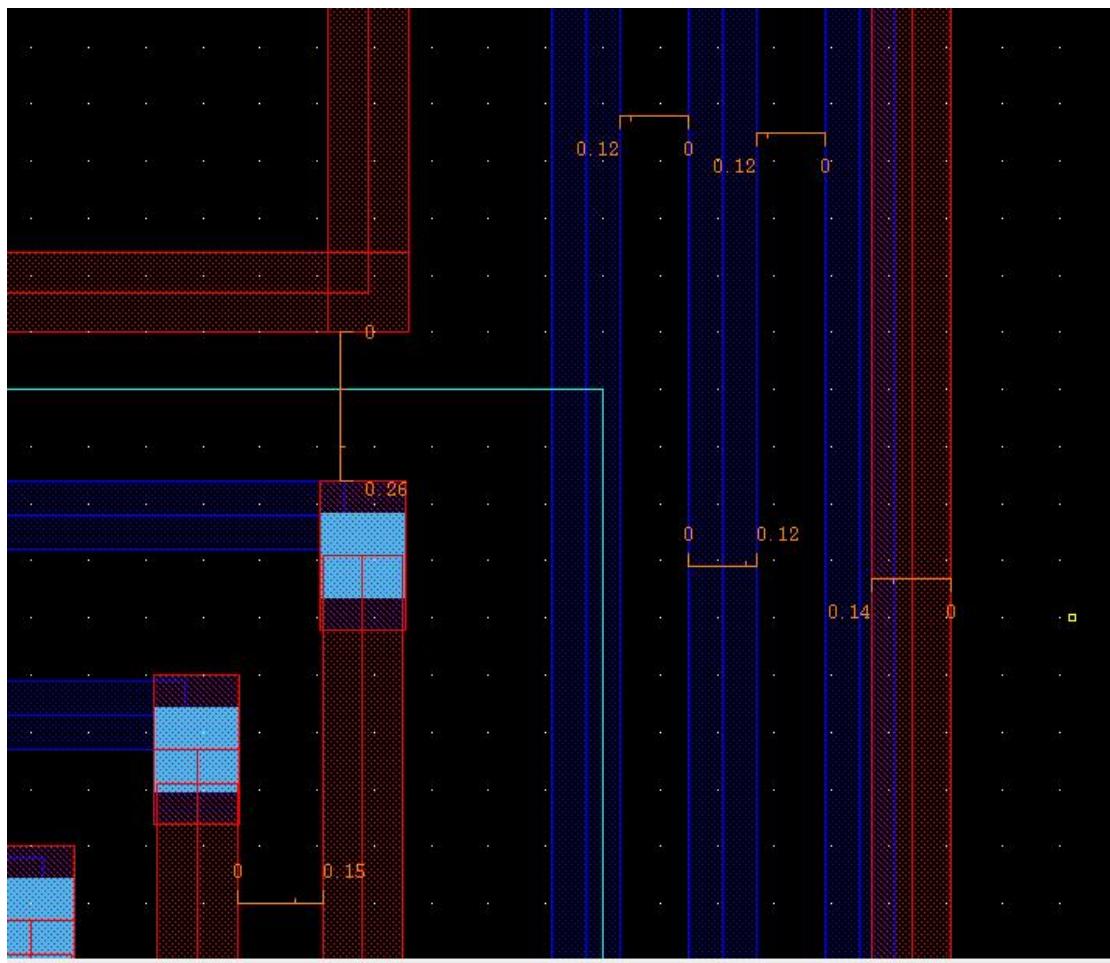
Các đường dây màu xanh dương, màu đỏ chính là đường dây metal có thể liên kết trực tiếp các pin được cấu tạo bằng metal vào trong cực của BJT cũng có cấu tạo từ metal.

Trong mạch này, các tám Via màu xanh dương dùng để liên kết các đường dây metal màu xanh dương và màu đỏ lại với nhau, các tám Via màu vàng chịu trách nhiệm liên kết lớp poly với đường dây metal màu xanh dương.

3.2.2.2. Kiểm tra layout mạch SRAM 6T 1bit

Việc thực hiện kiểm tra chuyên sâu về quy luật thiết kế DRC và quy luật logic được thực hiện bởi phần mềm Cadence, nhưng thay vì dựa hết vào phần mềm ta có thể thực hiện kiểm tra thủ công một số nguyên lý cơ bản để ta hiểu hơn về quy luật thiết kế.

Việc thực hiện kiểm tra quy luật thiết kế DRC cơ bản có thể được thực hiện như hình 3.20 :



Hình 3.20: Một số kích thước thỏa quy luật DRC.

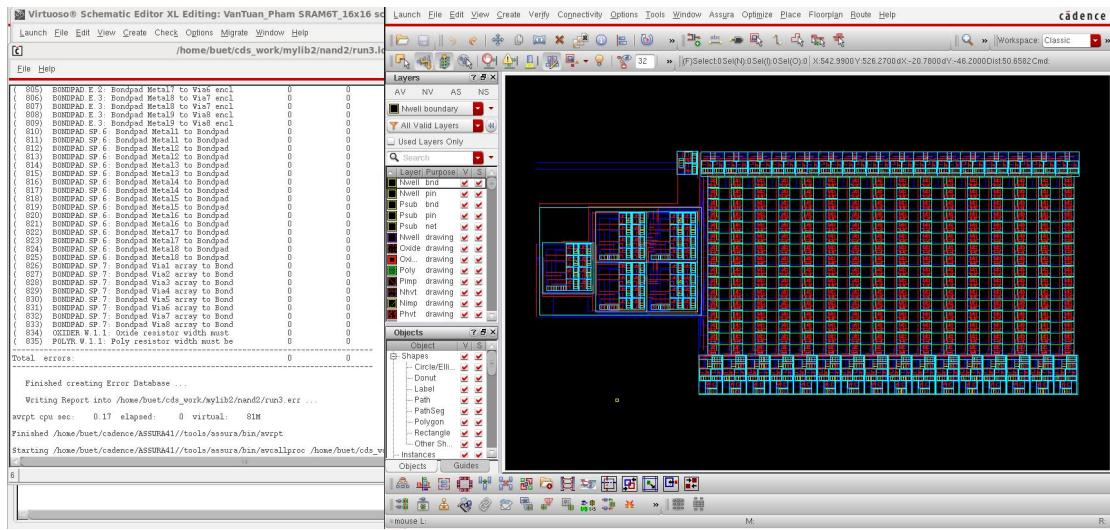
Như đã nhắc ở đầu chương 2 việc tính toán các kích thước của đường dây là từ một đơn vị chuẩn λ dựa vào đó ta có thể đánh giá hình 3.20:

Với quy trình thiết kế 90nm thì λ có thể bằng 30nm và chúng tôi sẽ dùng giá trị này trong đồ án này:

- Khoảng cách giữa các đường metal $\geq 4\lambda$ tức là $\geq 0.12 \text{ um}$ và khoảng các đo được trong hình là khoảng 0.12 um \Rightarrow thỏa quy luật
- Độ rộng của một đường metal $\geq 4\lambda$ và trên hình độ rộng của đường metal = 0.12 um \Rightarrow thỏa quy luật
- Khoảng cách giữa đường metal màu đỏ và tám Via nối giữ dây poly và dây metal màu xanh dương là $\geq 4\lambda$ tức là $\geq 0.12 \text{ um}$ và khoảng các đo được trong hình là khoảng 0.12 um \Rightarrow thỏa quy luật
- Độ rộng của một đường poly $\geq 2\lambda$ và trong hình chúng tôi đo được là 0.1 um \Rightarrow thỏa yêu cầu.

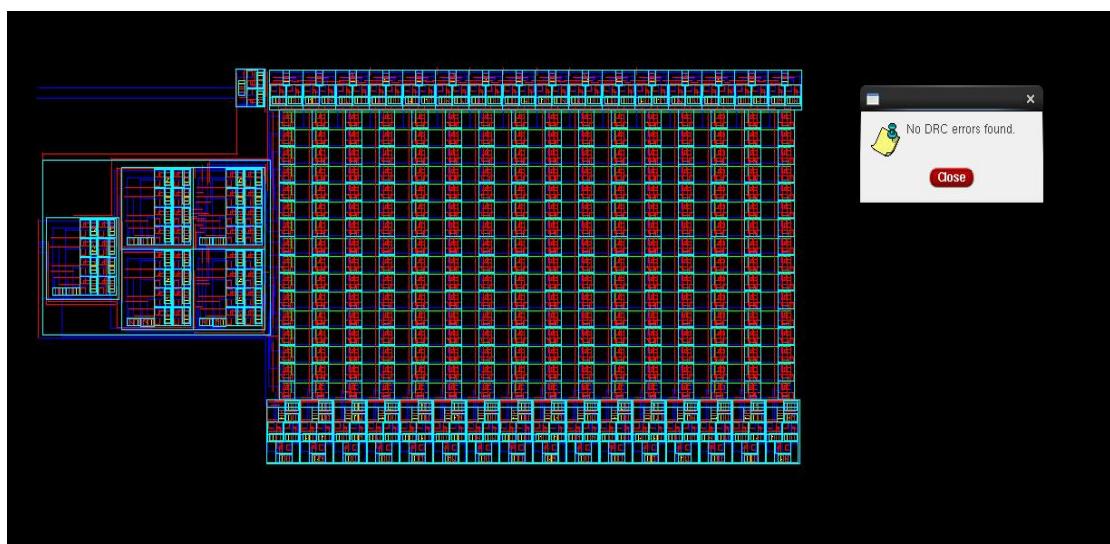
- Khoảng cách giữa các đường meta của tấm pin nmos là $\geq 4\lambda$ tức là ≥ 0.12 um và khoảng cách đo được của mạch thi công là 0.12 um \Rightarrow thỏa quy luật

Một vài quy luật có thể kiểm tra bằng thủ công nhưng xét cả quá trình và các quy luật theo đúng chuẩn DRC thì có thể nói là rất nhiều và rất lớn vì vậy để kiểm tra một cách triệt để thiết kế ta sẽ sử dụng tool Cadence trong trường hợp này và kết quả sau khi thực hiện kiểm tra như hình 3.21. Sau khi thực hiện kiểm tra DRC với Cadence ta có thể kiểm tra tổng cộng 835 quy luật và cho về kết quả sau khi kiểm tra.



Hình 3.21: Kết quả kiểm tra quy luật thiết kế DRC của SRAM 6T 256 bit.

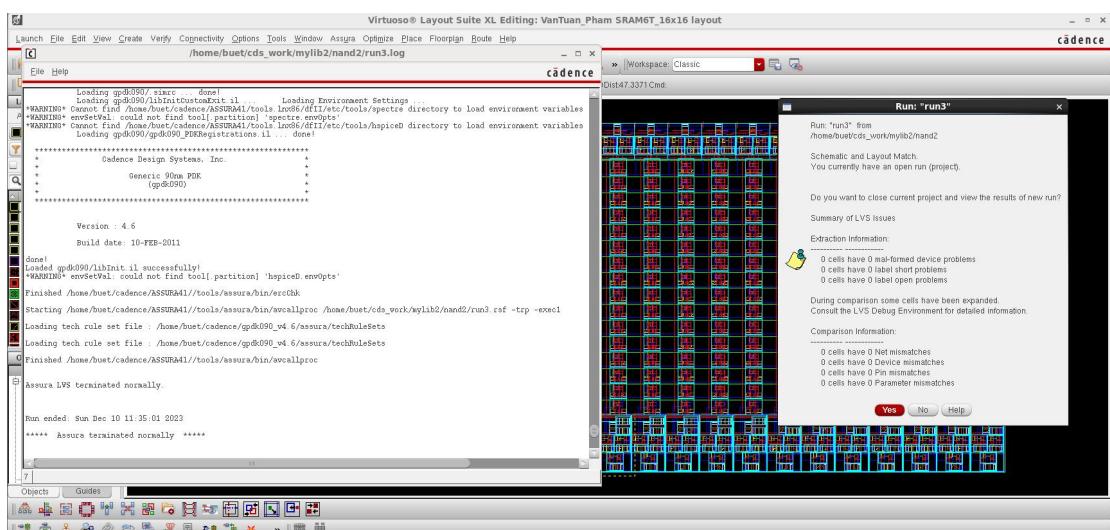
Quá trình thực hiện kiểm tra sẽ xuất ra một thông báo như hình 3.22 để đảm bảo tính chính xác.



Hình 3.22: Thông báo sau quá trình kiểm tra DRC của SRAM6T 256 bit.

Về cơ bản việc thực hiện kiểm tra quy luật thiết kế đã hoàn chỉnh và có thể tiến hành bước tiếp là thực hiện kiểm tra tính logic của mạch có chính xác với mạch nguyên lý không. Sau khi thực hiện kiểm tra ta sẽ thu được file thông báo kết quả kiểm tra và một cửa sổ thông báo trạng thái khi đã kiểm tra xong như hình 3.21 và 3.22.

Việc thực hiện kiểm tra logic là một yếu tố quan trọng để xem quá trình thiết kế có bám sát với quá trình thiết kế mạch nguyên lý hay không. Việc đánh giá gồm 162 quy luật để việc kiểm tra diễn ra hoàn chỉnh. Việc này là cực kì quan trọng vì có thể bạn thiết kế đúng với qui luật thiết kế nhưng chỉ cần sai sót so với mạch nguyên lý thì chức năng của mạch sẽ hoàn toàn khác.



Hình 3.23: Kết quả kiểm tra luật LVS của SRAM 6T 256 bit.

Sau bước kiểm tra thì ta có thể thấy việc trích xuất cũng như so sánh giữa mạch nguyên lý và layout là tương đồng với nhau và không phát sinh các lỗi về logic giữa 2 mạch này.

3.2.3. Tối ưu hóa thiết kế layout SRAM6T 256 bit

Việc thực hiện tối ưu hóa diện tích của layout là cực kì quan trọng và có thể nói nó quyết định sự thành bại của thiết kế, vì khi chúng ta tối ưu hóa được diện tích của layout chúng ta có thể đạt được các mong muốn:

- Giảm chi phí sản xuất: Diện tích layout càng nhỏ thì chi phí sản xuất càng thấp. Điều này là do các nhà sản xuất chip thường tính phí dựa trên diện tích chip.

- Tăng hiệu suất: Diện tích layout càng nhỏ thì hiệu suất chip càng cao. Điều này là do các thiết bị điện tử có thể được bố trí gần nhau hơn, giúp giảm độ trễ tín hiệu.

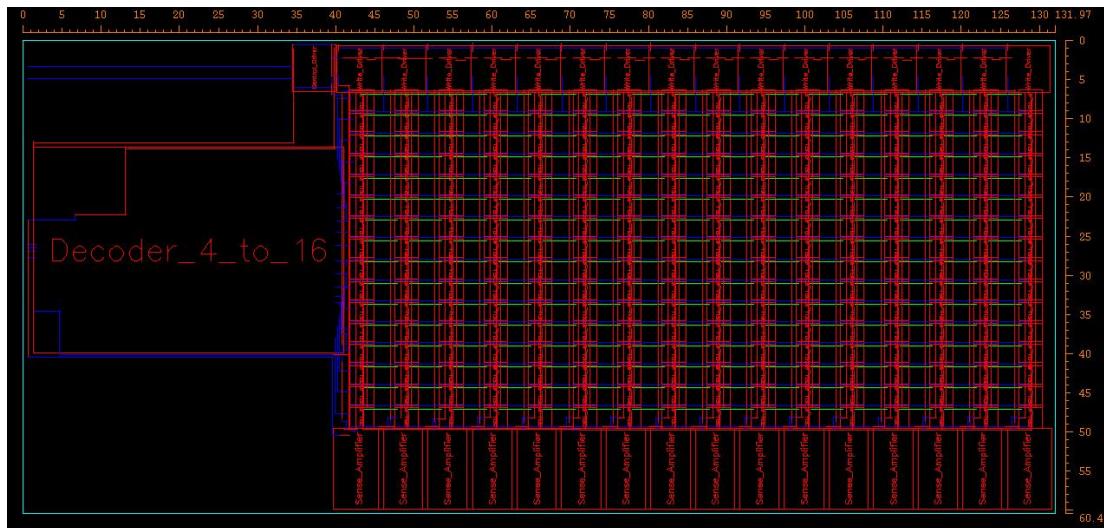
- Tăng khả năng tương thích: Diện tích layout càng nhỏ thì chip càng dễ dàng tương thích với các thiết bị khác. Điều này là do chip có thể được đặt trên các bo mạch nhỏ hơn.

Ở đồ án này chúng tôi thực hiện tối ưu hóa diện tích của layout bằng 2 phương pháp được sử dụng rất phổ biến là:

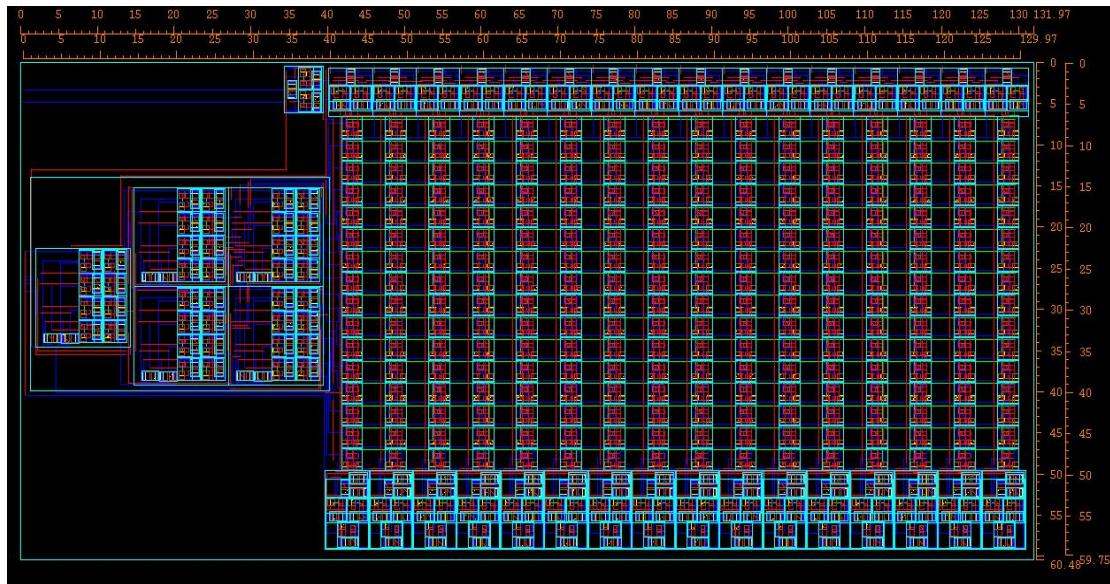
- Bố trí các thiết bị một cách hợp lý: Các thiết bị có thể được bố trí một cách hợp lý để giảm khoảng cách giữa chúng.

- Sử dụng các kỹ thuật tối ưu hóa diện tích: Có một số kỹ thuật tối ưu hóa diện tích có thể được sử dụng để giảm diện tích layout mà không ảnh hưởng đến hiệu suất.

Sau khi thực hiện tối ưu hóa diện tích ta có thể nhìn tổng quát về ô nhớ 6T như hình 3.24 và hình 3.25:



Hình 3.24: Sơ đồ sau khi tối ưu hóa diện tích của layout của SRAM6T 256 bit.



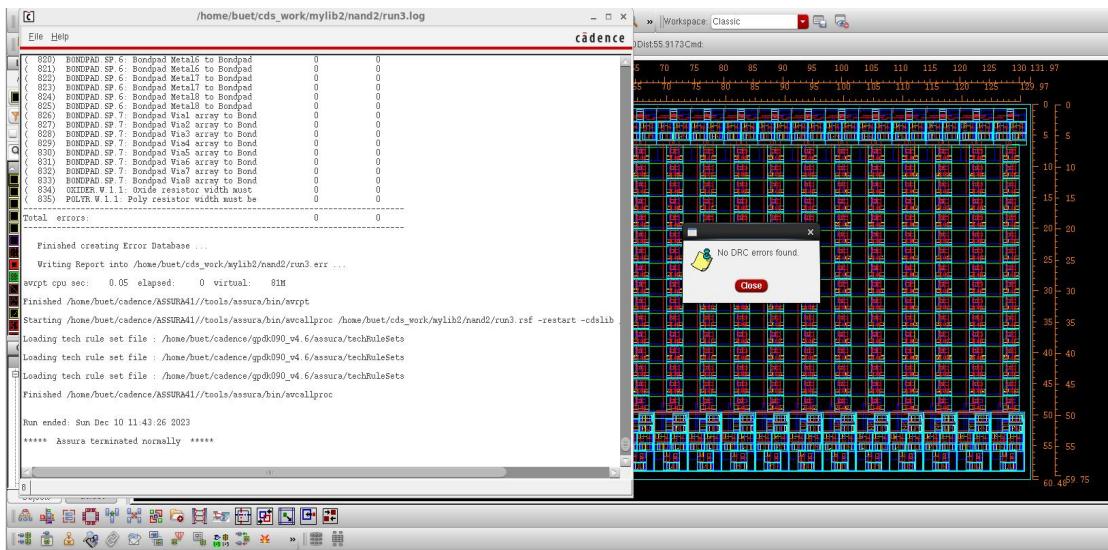
Hình 3.25: Sơ đồ chi tiết sau khi tối ưu hóa điện của layout.

- Thực hiện ghép nối các điện cực nơi tiếp điểm của các transistor để tạo thành điện cực chung sẽ làm cho diện tích giảm đáng kể.

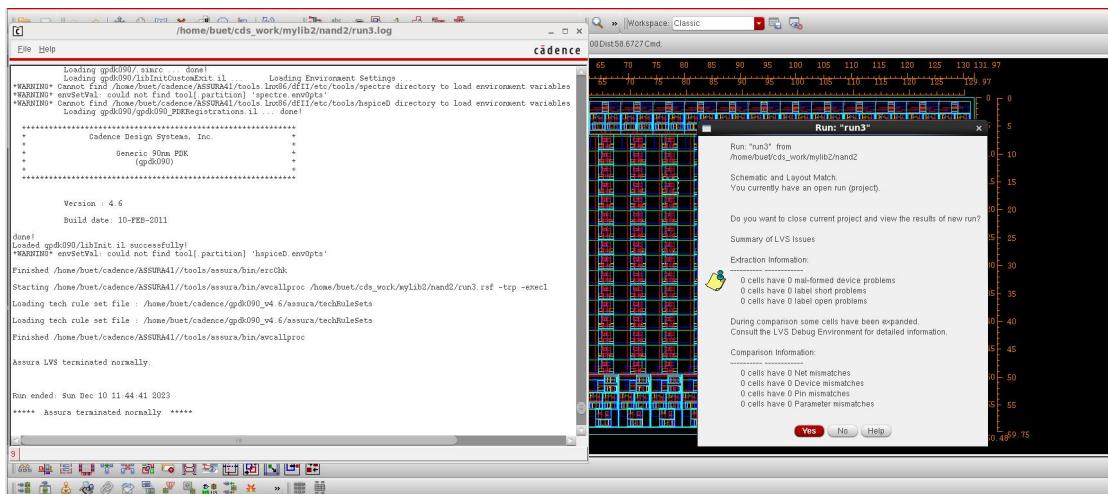
- Tối ưu khoảng cách giữa các đường dây metal và khoảng cách giữa các đường poly theo đúng quy tắc thiết kế với khoảng cách giữa các đường metal là 0.12 um và với các đường poly là 0.1 um.

Sau khi thực hiện tối ưu hóa diện tích ta có thể đo đạc được diện tích của ô nhớ trong SRAM6T bằng 129.97×59.75 um. Với con số này có thể chấp nhận được vì mục đích của tối ưu hóa là làm giảm kích thước mạch xuống đáng kể.

Và để đảm bảo việc tối ưu hóa diễn ra xuống sẽ và không gặp bất kì lỗi nào thì ta cần tiến hành kiểm tra lại thiết kế một lần nữa. Kết quả kiểm tra như hình 3.26 kiểm tra quy luật thiết kế DRC và hình 3.27 kiểm tra quy luật logic.



Hình 3.26: Kết quả kiểm tra quy luật thiết kế DRC của ô nhớ.



Hình 3.27: Kết quả kiểm tra quy luật logic LVS của ô nhớ.

CHƯƠNG 4: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

Trong đồ án này, nhóm đã thiết kế thành công mảng ô nhớ 6T SRAM 256 bit sử dụng công nghệ 90nm. Mảng SRAM được thiết kế chiếm dung lượng ít hơn so với flip flop, đồng thời có tốc độ đọc/ghi cao hơn. Mảng SRAM hoàn chỉnh bao gồm các thành phần chính: Ô nhớ 6T Là đơn vị lưu trữ dữ liệu của mảng SRAM, Mạch điều khiển đọc/ghi chịu trách nhiệm cho việc đọc và ghi dữ liệu vào mảng SRAM, Mạch sạc trước chịu trách nhiệm cấp điện áp cho các bit line trước khi thực hiện các thao tác đọc/ghi, Mạch khuếch đại cảm nhận chịu trách nhiệm khuếch đại tín hiệu từ các bit line để phục vụ cho quá trình đọc dữ liệu, Bộ giải mã 4 sang 16 chịu trách nhiệm chọn 16 dòng WL của mảng SRAM.

Mạch được thiết kế hoạt động tốt với điện áp được cấp từ 0V đến 1.2V. Việc thực hiện kiểm tra lỗi DRC và tính tương thích LVS đã được thực hiện cho tất cả các thành phần của mạch. Việc tối ưu hóa diện tích tùng khói tương ứng cũng đã được thực hiện.

Trên cơ sở những kết quả đã đạt được và những hạn chế cần khắc phục, nhóm đề xuất một số hướng phát triển cho đồ án trong tương lai như sau:

- Sử dụng công nghệ sản xuất mới hơn: Công nghệ sản xuất mới sẽ giúp giảm diện tích và công suất hoạt động của mảng SRAM. Ví dụ, công nghệ sản xuất 5nm có thể giúp giảm diện tích của mảng SRAM xuống khoảng 20% so với công nghệ 90nm.

- Sử dụng các kỹ thuật mới để tối ưu hóa mạch: Ngoài việc sử dụng công nghệ sản xuất mới hơn, nhóm cũng có thể sử dụng các kỹ thuật mới để tối ưu hóa mạch, chẳng hạn như kỹ thuật bỏ qua đường dẫn, bố trí mạch hợp lý, sử dụng vật liệu mới.

- Tích hợp thêm các chức năng bảo vệ dữ liệu: Mảng SRAM có thể được tích hợp thêm các chức năng bảo vệ dữ liệu, chẳng hạn như mã hóa, giải mã. Điều này sẽ giúp tăng cường tính bảo mật của dữ liệu được lưu trữ trên mảng SRAM. Với những hướng phát triển này, nhóm hy vọng sẽ có thể thiết kế ra mảng SRAM có diện tích, công suất hoạt động, hiệu suất và tính bảo mật cao hơn nữa.

TÀI LIỆU THAM KHẢO

Tài liệu tiếng Việt:

[1] Lê Bình Sơn, Bùi Trọng Tú, Võ Thanh Trí, "Thiết kế bộ nhớ SRAM 32KB kết hợp kỹ thuật dự trữ hàng và cột", Tạp chí khoa học và công nghệ đại học Đà Nẵng, vol. 5, no. 05/05/2015, pp. 161-165, 2015.

[2] Nguyễn Duy Thông, Phạm Văn Khoa, "Phân tích hiệu năng của các thiết kế SRAM trên công nghệ TSMC 90nm CMOS", Tạp chí khoa học và công nghệ - Đại học Đà Nẵng, vol. 20, no. 10/01/2022, pp. 26-31, 2021.

[3] Phạm Thanh Huyền, Đào Thanh Toàn, "Design and simulation of organic CMOS 6T - SRAM with variable threshold voltage", Tạp chí nghiên cứu Khoa học và Công nghệ quân sự, vol. 50, no. 08/2017, pp. 30-35, 03/2017.

[4] Trần Bảo Đồng, "Tổng Quan Về Bộ Nhớ Bán Dẫn và Quy Trình Thiết Kế SoC", Tran Long, HCM, 15/01/2010.

[5] Nguyễn Thị Ngọc Vinh, Bài giảng Kiến trúc máy tính và Hệ điều hành, Hà Nội: Nguyễn Thị Ngọc Vinh, 2013.

[6] Phạm Văn Tuân, Đinh Kim Hoàng, "Đánh giá và so sánh hiệu năng của SRAM 6T và SRAM 8T", Ho Chi Minh City University of Technical and Education, 2023.

Tài liệu tiếng anh:

[7] William Stallings, "Chapter 5: Internal Memory", in Computer Organization and Architecture Designing for Performance, Tracy Johnson (Dunkelberger), ECS: Marcia J.Horton, Copyright © 2016, 2013, 2010 Pearson Education, Inc., Hoboken, NJ 07030.

[8] A. Pulla Reddy and G. Sreenivasulu, "Design and Implementation of High Speed Sense Amplifier for Sram," American-Eurasian Journal of Scientific Research, vol. 12, no. 6, pp. 320-326, 2017,
doi: 10.5829/idosi.aejsr.2017.320.326.

[9] Murthy, Manoj Padmanabha, Nithin.N, Pallavi.N, V. Rajashekhar, and Sharanagouda.V Patil. "Performance Analysis of SRAM at Different

Technologies using Cadence." International Journal of Engineering Science and Computing (IJESC), ISSN 2321-3361, vol. 10, no. 6, June 2020.

[10] Weste, N. H. E., và D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective. Pearson Education, 2023. Ch. 1 "Introduction", sec. 1.5 "CMOS Fabrication and Layout", pp. 19-28.