

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH
KHOA ĐIỆN ĐIỆN TỬ



ĐỒ ÁN TỐT NGHIỆP
NGÀNH CÔNG NGHỆ KỸ THUẬT MÁY TÍNH

THIẾT KẾ VÀ TỐI ƯU BỘ NHỚ TCAM THEO CÔNG NGHỆ 90NM

SVTH: ĐINH KIM HOÀNG

MSSV: 20119340

CHÂU QUANG KHÁNH

MSSV: 20119349

GVHD: PGS.TS. TRƯƠNG NGỌC SƠN

TP. HỒ CHÍ MINH – 01/2025

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH

KHOA ĐIỆN ĐIỆN TỬ



ĐỒ ÁN TỐT NGHIỆP

NGÀNH CÔNG NGHỆ KỸ THUẬT MÁY TÍNH

**THIẾT KẾ VÀ TỐI ƯU BỘ NHỚ TCAM THEO
CÔNG NGHỆ 90NM**

SVTH: ĐINH KIM HOÀNG

MSSV: 20119340

CHÂU QUANG KHÁNH

MSSV: 20119349

GVHD: PGS.TS. TRƯƠNG NGỌC SƠN

**ĐẠI HỌC SƯ PHẠM KỸ THUẬT
TP.HCM**

**CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT
NAM**

KHOA ĐIỆN – ĐIỆN TỬ

Độc lập – Tự do – Hạnh phúc

Bộ Môn: KTMT - VT

----*----**

PHIẾU NHẬN XÉT CỦA GIÁO VIÊN HƯỚNG DẪN

Họ và tên Sinh viên: Đinh Kim Hoàng MSSF: 20119340

Châu Quang Khánh MSSF: 20119349

Ngành: Công nghệ Kỹ thuật Máy tính

Tên đề tài: Thiết kế và tối ưu bộ nhớ TCAM theo công nghệ 90nm

Giáo viên hướng dẫn:

NHẬN XÉT

1. Về nội dung đề tài & khối lượng thực hiện (khả năng ứng dụng, tính mới, sáng tạo, mức độ đóng góp của sinh viên,):

.....
.....
.....

2. Hình thức trình bày quyền báo cáo (Văn phong, trích dẫn tài liệu tham khảo, chất lượng các hình ảnh, bảng biểu, tỷ lệ trùng lặp,):

.....
.....

3. Những hạn chế cần chỉnh sửa, bổ sung:

.....
.....
.....

4. Đề xuất của GVHD (Đồng ý cho bảo vệ, đề nghị chỉnh sửa để được bảo vệ, không đồng ý cho bảo vệ)

.....
.....

TP. Hồ Chí Minh, ngày 10 tháng 7 năm 2024

GIẢNG VIÊN HƯỚNG DẪN

LỜI CẢM ƠN

Nhóm thực hiện đề tài xin gửi lời cảm ơn sâu sắc đến PGS.TS. Trương Ngọc Sơn, người đã tận tình hướng dẫn và chia sẻ những ý kiến quý báu trong suốt quá trình nghiên cứu. Sự chỉ dẫn tận tâm của thầy không chỉ giúp nhóm hoàn thiện đồ án mà còn mở rộng thêm kiến thức và kỹ năng trong lĩnh vực thiết kế vi mạch.

Nhóm thực hiện đề tài cũng xin gửi lời cảm ơn chân thành đến Khoa Điện – Điện tử, Trường Đại học Sư phạm Kỹ thuật TP. Hồ Chí Minh đã tạo mọi điều kiện thuận lợi và cung cấp các nguồn lực cần thiết để nhóm có thể hoàn thành tốt quá trình thực hiện đề tài.

Đồng thời, nhóm xin tri ân quý thầy cô đã tận tình giảng dạy trong suốt những năm học qua, giúp nhóm có được nền tảng vững chắc để bước vào con đường nghiên cứu khoa học.

Cuối cùng, xin gửi lời cảm ơn sâu sắc đến gia đình và bạn bè, những người đã luôn đồng hành, động viên và tiếp thêm động lực giúp nhóm vượt qua mọi khó khăn trong quá trình thực hiện đồ án.

Nhóm xin trân trọng cảm ơn!

TP. Hồ Chí Minh, tháng 1 năm 2025

Sinh viên thực hiện:

Đình Kim Hoàng-2011940

Châu Quang Khánh-20119349

LỜI CAM ĐOAN

Nhóm sinh viên Đinh Kim Hoàn và Châu Quang Khánh thực hiện đề tài “Thiết kế và tối ưu bộ nhớ TCAM theo công nghệ 90nm” dưới sự hướng dẫn của thầy Trương Ngọc Sơn xin cam đoan các nội dung như sau:

1. Sản phẩm của Đồ án tốt nghiệp là do nhóm sinh viên Đinh Kim Hoàn và Châu Quang Khánh thực hiện, không mượn, thuê, mua từ người khác.
2. Quyền báo cáo Đồ án tốt nghiệp là do nhóm sinh viên Đinh Kim Hoàn và Châu Quang Khánh tự viết, tỷ lệ trùng lặp là **x%**, các nội dung tham khảo đã được trích dẫn đầy đủ
3. Kết quả thực hiện trong quyền báo cáo bao gồm hình ảnh, độ chính xác của mô hình là hoàn toàn đúng với mô hình, phần cứng nhóm đã thực hiện.

Nhóm sinh viên cam đoan các nội dung trên là hoàn toàn chính xác và chịu trách nhiệm hoàn toàn với những cam đoan trên.

Sinh viên thực hiện đồ án tốt nghiệp

(Ký và ghi rõ họ và tên)

TÓM TẮT

Đồ án tốt nghiệp tập trung vào thiết kế và tối ưu hóa bộ nhớ TCAM sử dụng công nghệ CMOS 90nm. TCAM là một bộ nhớ đặc biệt có khả năng tra cứu song song, thường được dùng trong các ứng dụng yêu cầu tốc độ cao như xử lý mạng, bảng dịch địa chỉ, và tìm kiếm mẫu gen. Tuy nhiên, TCAM truyền thống tiêu tốn nhiều năng lượng và chiếm diện tích lớn trên chip, gây hạn chế trong các ứng dụng tích hợp. Để giải quyết các vấn đề này, đồ án đề xuất các thiết kế nhằm cải thiện công suất tiêu thụ, thời gian trễ lan truyền của quá trình tìm kiếm, tối ưu hóa diện tích và duy trì hiệu suất hoạt động.

Thiết kế và mô phỏng thành phần các khối của TCAM trên phần mềm Cadence Virtuoso. Các thông số quan trọng như độ trễ, công suất tiêu thụ, khả năng chịu nhiễu, diện tích cũng được phân tích chi tiết. Từ đó, so sánh hiệu năng của các thiết kế 16T, 14T và 12T. Sau đó chọn ra thiết kế tối ưu để thiết kế bộ nhớ TCAM 4x4 hoàn chỉnh.

ABSTRACT

The graduation thesis focuses on the design and optimization of TCAM memory using 90nm CMOS technology. TCAM is a specialized memory capable of parallel lookup, commonly used in high-speed applications such as network processing, address translation tables, and genetic pattern matching. However, traditional TCAM consumes significant energy and occupies a large chip area, limiting its use in integrated applications. To address these challenges, the thesis proposes design improvements aimed at reducing energy consumption, optimizing area, and maintaining performance.

The design and simulation of TCAM components are implemented using Cadence Virtuoso. Key parameters such as delay, power consumption, noise tolerance, and area are analyzed in detail. Subsequently, the performance of 16T, 14T, and 12T designs is compared, leading to the selection of an optimal design for implementing a complete 4x4 TCAM memory.

MỤC LỤC

DANH MỤC BẢNG.....	13
CÁC TỪ VIẾT TẮT.....	15
CHƯƠNG 1: TỔNG QUAN.....	18
1.1. Tổng quan.....	18
1.2. Mục tiêu đề tài.....	19
1.3. Đối tượng và phạm vi nghiên cứu.....	19
1.3.1. Đối tượng nghiên cứu	19
1.3.2. Phạm vi nghiên cứu.....	20
1.4. Bố cục.....	20
CHƯƠNG 2: CƠ SỞ LÝ THUYẾT LIÊN QUAN.....	21
2.1. Tổng quan về bộ nhớ bán dẫn và TCAM.....	21
2.1.1. Tổng quan về TCAM	21
2.1.2. Kiến trúc của bộ nhớ TCAM.....	24
2.1.3. Ứng dụng của TCAM.....	26
2.2. Biên độ nhiễu	27
2.3. Độ trễ tín hiệu và công suất tiêu thụ	29
2.3.1. Độ trễ tín hiệu.....	29
2.3.2. Công suất tiêu thụ.....	31
2.4 Thiết kế Layout	33
2.4.1. Khái niệm thiết kế layout trên chip	33
2.4.2. Kiểm tra và Xác thực	33
CHƯƠNG 3: THIẾT KẾ HỆ THỐNG	35
3.1. Yêu cầu thiết kế.....	35
3.2. Sơ đồ khối	36
3.3. Thiết kế các khối ngoại vi	37
3.3.1. Khối nạp trước	37
3.3.2. Khối giải mã.....	38
a) Mạch chốt.....	38
b) Khối giải mã 2 sang 4	39
c) Khối giải mã TCAM	41
3.3.3. Khối mã hoá ưu tiên.....	42
3.3.4. Khối tìm kiếm	44
3.3.5. Khối ghi dữ liệu	45
a) Khối ghi dữ liệu ô nhớ TCAM 16T truyền thống và TCAM 12T	46

b) Khối ghi dữ liệu ô nhớ TCAM 14T	47
3.4. Thiết kế khối ô nhớ TCAM	49
3.4.1. Khối ô nhớ TCAM 16T truyền thống	50
3.4.2. Khối ô nhớ TCAM 14T	52
3.4.3. Khối ô nhớ TCAM 12T	55
3.5. Thiết kế khối TCAM 4x4	56
CHƯƠNG 4: KẾT QUẢ.....	58
4.1. Mô hình mô phỏng	58
4.2. Khối ngoại vi.....	58
4.2.1. Khối nạp trước	58
4.2.2. Khối giải mã.....	60
4.2.3. Khối mã hoá ưu tiên.....	61
4.2.4. Khối tìm kiếm	63
4.2.5. Khối ghi dữ liệu	65
4.3. Khối ô nhớ TCAM	67
4.3.1. Khối ô nhớ TCAM 16T truyền thống	69
a) SNM của ô nhớ TCAM 16T truyền thống.....	69
b) Hoạt động của ô nhớ TCAM 16T truyền thống.....	70
c) Thiết kế layout ô nhớ TCAM 16T truyền thống.....	72
4.3.2. Khối ô nhớ TCAM 14T.....	73
a) SNM của ô nhớ TCAM 14T	73
b) Hoạt động của ô nhớ TCAM 14T	74
c) Thiết kế layout ô nhớ TCAM 14T	76
4.3.3. Khối ô nhớ TCAM 12T.....	76
a) SNM của ô nhớ TCAM 12T	76
b) Hoạt động của ô nhớ TCAM 12T	77
c) Thiết kế layout của ô nhớ TCAM 12T	79
4.4. So sánh và lựa chọn thiết kế.....	79
4.5. Bộ nhớ TCAM 4x4.....	81
4.5.1. Hoạt động của bộ nhớ TCAM 4x4.....	81
4.5.2. Các yếu tố ảnh hưởng đến công suất của bộ nhớ TCAM 4x4	84
CHƯƠNG 5: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN.....	86
5.1. Kết luận	86
5.2. Hướng phát triển	87

DANH MỤC HÌNH ẢNH

Hình 2.1: Hoạt động của RAM (trái) và CAM (phải) [15].	23
Hình 2.2: (a) 10-T Typical Binary CAM (b) 16-T Typical Ternary CAM.	23
Hình 2.3: Cấu trúc một ô nhớ TCAM 16T.	25
Hình 2.4: Các khối của một TCAM đơn giản.	26
Hình 2.5: Cấu hình TCAM trong ứng dụng mạng [16].	26
Hình 2.6: Tổng hợp nội dung TCAM trong các SoC đại diện [16].	27
Hình 2.7: Thời gian trễ lan truyền và thời gian tăng/giảm.	30
Hình 2.8: Bản vẽ layout.	33
Hình 2.9: Quy trình thiết kế mạch hoàn chỉnh.	34
Hình 3.1: Sơ đồ khối tổng quát của bộ nhớ TCAM.	36
Hình 3.2: Sơ đồ khối mạch nạp trước.	37
Hình 3.3: Sơ đồ nguyên lý mạch nạp trước.	37
Hình 3.4: Sơ đồ khối mạch chốt.	38
Hình 3.5: Sơ đồ nguyên lý chốt.	39
Hình 3.6: Sơ đồ khối mạch giải mã 2 sang 4.	39
Hình 3.7: Sơ đồ nguyên lý mạch giải mã 2 sang 4.	40
Hình 3.8: Sơ đồ khối mạch giải mã TCAM.	41
Hình 3.9: Sơ đồ nguyên lý mạch giải mã TCAM.	42
Hình 3.10: Sơ đồ khối mạch mã hóa ưu tiên.	43
Hình 3.11: Sơ đồ nguyên lý mạch mã hóa ưu tiên.	44
Hình 3.12: Sơ đồ khối mạch tìm kiếm.	44
Hình 3.13: Sơ đồ nguyên lý mạch tìm kiếm.	45
Hình 3.14: Sơ đồ khối ghi ô nhớ TCAM 16T truyền thống và TCAM 12T.	46
Hình 3.15: Sơ đồ nguyên lý mạch ghi dữ liệu ô nhớ TCAM 16T truyền thống và TCAM 12T.	47
Hình 3.16: Sơ đồ khối ghi dữ liệu ô nhớ TCAM 14T và TCAM 12T.	47
Hình 3.17: Sơ đồ nguyên lý mạch ghi dữ liệu ô nhớ TCAM 14T.	48
Hình 3.18: Sơ đồ khối ô nhớ TCAM 16T truyền thống.	50
Hình 3.19: Sơ đồ nguyên lý ô nhớ TCAM 16T.	51

Hình 3.20: Sơ đồ khối ô nhớ TCAM 14T.	53
Hình 3.21: Sơ đồ nguyên lý ô nhớ TCAM 14T.....	53
Hình 3.22: Sơ đồ khối ô nhớ TCAM 12T.	55
Hình 3.23: Sơ đồ nguyên lý ô nhớ TCAM 12T.....	55
Hình 3.24: Cấu trúc kết nối của TCAM 4x4.....	57
Hình 4.1: Mạch kiểm tra nguyên lý hoạt động của mạch nạp trước.....	59
Hình 4.3: Mạch kiểm tra nguyên lý hoạt động của mạch giải mã TCAM.....	60
Hình 4.4: Dạng sóng mô phỏng của mạch giải mã TCAM.....	61
Hình 4.5: Mạch kiểm tra nguyên lý hoạt động của mạch mã hoá ưu tiên TCAM.	62
Hình 4.6: Dạng sóng mô phỏng của mạch mã hoá ưu tiên TCAM.....	62
Hình 4.7: Mạch kiểm tra nguyên lý hoạt động của mạch tìm kiếm TCAM.	63
Hình 4.8: Dạng sóng mô phỏng của mạch tìm kiếm TCAM.	64
Hình 4.9: Mạch kiểm tra nguyên lý hoạt động của hai loại mạch ghi:	65
Hình 4.10: Dạng sóng mô phỏng của hai loại mạch ghi TCAM:	66
a) TCAM 16T, b) TCAM 14T, c) TCAM 12T.	66
Hình 4.12: Mạch kiểm tra và đồ thị VTC RSNM của ô nhớ TCAM 16T truyền thống.....	70
Hình 4.13: Mạch kiểm tra nguyên lý hoạt động so sánh của TCAM 16T truyền thống.....	71
Hình 4.14: Dạng sóng hoạt động của TCAM 16T truyền thống diễn ra hoạt động tìm kiếm.....	71
Hình 4.15: Thiết kế layout của ô nhớ TCAM 16T truyền thống.	73
Hình 4.16: Mạch kiểm tra và đồ thị VTC WSNM của ô nhớ TCAM 14T.	73
Hình 4.17: Mạch kiểm tra RSNM của ô nhớ TCAM 14T.....	74
Hình 4.19: Dạng sóng hoạt động của TCAM 14T diễn ra tìm kiếm không khớp.	75
Hình 4.20: Thiết kế layout của ô nhớ TCAM 14T.	76
Hình 4.21: Mạch kiểm tra và đồ thị VTC WSNM của ô nhớ TCAM 12T.	76
Hình 4.22: Mạch kiểm tra và đồ thị VTC RSNM của ô nhớ TCAM 12T.....	77
Hình 4.23: Mạch kiểm tra nguyên lý hoạt động so sánh của TCAM 12T.	77

Hình 4.24: Dạng sóng hoạt động của TCAM 12T diễn ra tìm kiếm không khớp.	78
Hình 4.25: Thiết kế layout của ô nhớ TCAM 12T.	79
Hình 4.26: Thiết kế TCAM 12T, TCAM 14T, TCAM 16T:	80
Hình 4.27: Sơ đồ nguyên lý của thiết kế bộ nhớ TCAM 4x4.	82
Hình 4.28: Mạch kiểm tra nguyên lý hoạt động của bộ nhớ TCAM 4x4.	82
Hình 4.29: Dạng sóng hoạt động của bộ nhớ TCAM 4x4.	83
Hình 4.30: Công suất tiêu thụ của thiết kế TCAM 4x4 tại các mức điện áp hoạt động và nhiệt độ.	85

DANH MỤC BẢNG

Bảng 2.1: Sự khác biệt giữa bộ nhớ RAM và CAM.	22
Bảng 2.2: Bảng trạng thái TCAM.	25
Bảng 3.1: Bảng điều kiện thiết kế hệ thống.	35
Bảng 3.2: Bảng trạng thái mạch chốt.	38
Bảng 3.3: Bảng trạng thái khối giải mã 2 sang 4.	40
Bảng 3.4: Bảng trạng thái khối giải mã TCAM.	41
Bảng 3.5: Bảng trạng thái khối mã hóa ưu tiên.....	43
Bảng 3.6: Bảng trạng thái khối tìm kiếm.	45
Bảng 3.7 Bảng trạng thái khối ghi dữ liệu	46
Bảng 3.8 Bảng trạng thái khối ghi dữ liệu	48
Bảng 3.9: Bảng trạng thái khối ô nhớ TCAM.....	49
Bảng 3.10: Kích thước của các transistor trong TCAM 16T truyền thống.....	52
Bảng 3.11: Kích thước của các transistor trong TCAM 14T.	54
Bảng 3.12: Kích thước của các transistor trong TCAM 12T.	56
Bảng 4.1: Bảng thông tin các thông số cấp nguồn tín hiệu trong mô phỏng.	58
Bảng 4.2: Bảng thông tin các thông số cấp nguồn tín hiệu của mạch nạp trước.	59
Bảng 4.3 Các giai đoạn mô phỏng hoạt động của hình 4.2.....	59
Bảng 4.4: Bảng thông tin các thông số cấp nguồn tín hiệu của mạch giải mã. ...	61
Bảng 4.5 Các giai đoạn của hình 4.4.....	61
Bảng 4.6: Bảng thông tin các thông số cấp nguồn tín hiệu của mạch mã hoá ưu tiên.....	62
Bảng 4.7 Các giai đoạn mô phỏng của hình 4.6	63
Bảng 4.8: Bảng thông tin các thông số cấp nguồn tín hiệu của mạch tìm kiếm. .	64
Bảng 4.9 Các giai đoạn mô phỏng hoạt động của hình 4.8.....	64
Bảng 4.10: Bảng thông số cấp nguồn tín hiệu của hai loại mạch ghi TCAM.	66
Bảng 4.11 Các giai đoạn ô phỏng của hình 4.10.....	67
Bảng 4.12: Bảng công suất tiêu thụ trung bình trong 10ns của các khối ngoại vi TCAM.	67

Bảng 4.13: Bảng thông số cấp nguồn tín hiệu mô phỏng của 3 loại ô nhớ TCAM.	68
Bảng 4.14: Độ trễ, công suất của ô nhớ TCAM 16T truyền thống.....	72
Bảng 4.15: Độ trễ, công suất của ô nhớ TCAM 14T.	75
Bảng 4.16: Độ trễ, công suất của ô nhớ TCAM 12T.	79
Bảng 4.17: Bảng dữ liệu cập nhật dữ liệu vào ô nhớ.	83

CÁC TỪ VIẾT TẮT

4T, 5T, 6T, 10T 12T, 14T, 16T	4, 5, 6, 10, 12, 14, 16 Transistor
ACL	Access Control List
AT	Access Transistor
BCAM	Binary Content Addressable Memory
BL	Bit Line
BLB	Bit Line Bar
CAM	Content Addressable Memory
CB	Cell Bit
CMOS	Complementary Metal-Oxide-Semiconductor
CR	Cell Ratio
DRAM	Dynamic Random-Access Memory
ECC	Error Correction Code
GND	Ground
IBM	International Business Machines Corporation
IP	Internet Protocol
LSI	Large-Scale Integration
MAC	Media Access Control

MB	Mask Bit
ML	Match Line
N/A	Not Available
NA	Access NMOS
NMH	Network Management Hub
NML	Network Markup Language
NMOS	n-type Metal-Oxide-Semiconductor
NPU	Network Processing Unit
PD	Pull Down Transistor
PE	Priority Encoder
PMOS	p-type Metal-Oxide-Semiconductor
PR	Pull-up Ratio
PU	Pull Up Transistor
RAM	Random Access Memory
RSNM	Read Static Noise Margin
SL	Search Line
SNM	Static Noise Margin
SoC	System on Chip
SRAM	Static Random-Access Memory

TCAM	Ternary Content Addressable Memory
TLB	Translation Lookaside Buffer
TLB	Translation Lookaside Buffer
V_{DD}	Supply voltage
VLSI	Very Large-Scale Integration
VTC	Voltage Transfer Characteristics
WL	Word Line
WSNM	Write Static Noise Margin
X	Don't care

CHƯƠNG 1: TỔNG QUAN

1.1. Tổng quan

Trong bối cảnh công nghệ phát triển nhanh chóng, yêu cầu về hiệu suất xử lý và tiết kiệm năng lượng ngày càng trở thành yếu tố quan trọng trong thiết kế hệ thống vi mạch và thiết bị điện tử. Các hệ thống mạng, viễn thông và bảo mật hiện đại cần khả năng tra cứu dữ liệu nhanh chóng, tiêu thụ ít năng lượng và tối ưu hóa diện tích. CAM là một giải pháp phần cứng hiệu quả cho việc tra cứu bảng [1].

CAM có thể được sử dụng như bộ đồng xử lý cho đơn vị xử lý mạng (NPU) để giảm tải các nhiệm vụ tra cứu bảng. Ngoài mạng, CAM cũng được ứng dụng trong các lĩnh vực quan trọng khác như bộ đệm dịch thuật trong hệ thống bộ nhớ ảo [2], thư mục thẻ trong bộ nhớ đệm liên kết [3], bộ tăng tốc cơ sở dữ liệu [4], nén dữ liệu [5], và xử lý hình ảnh [6]. Các ứng dụng gần đây của CAM bao gồm khớp mẫu thời gian thực trong hệ thống phát hiện virus/xâm nhập và tìm kiếm mẫu gen trong tin sinh học [7][8]. Vì dung lượng và kích thước từ trong các ứng dụng này nhỏ hơn nhiều so với trong mạng, nghiên cứu CAM hiện tại chủ yếu tập trung vào các ứng dụng mạng, yêu cầu CAM dung lượng cao, tiêu thụ năng lượng thấp và tốc độ cao.

TCAM là phiên bản nâng cao của CAM, hỗ trợ tìm kiếm ba trạng thái: 0, 1, và X (don't care), cho phép khả năng tìm kiếm linh hoạt hơn. Một ô CAM trong chip bao gồm hai ô SRAM, tiêu tốn nhiều năng lượng cho mỗi lần tìm kiếm để đạt tốc độ tìm kiếm nhanh. Việc tiêu thụ năng lượng này tạo ra nhiệt và giới hạn khả năng phân tán nhiệt do diện tích chip hạn chế. Đây là yếu tố quan trọng trong các giới hạn vật lý của TCAM hiện nay [9][10]. Để giải quyết vấn đề này, đề án thực hiện “Thiết kế và tối ưu bộ nhớ TCAM theo công nghệ 90nm”, áp dụng công nghệ CMOS 90nm và sử dụng phần mềm Cadence Virtuoso với thư viện công nghệ GPK90.

Quy trình thiết kế vi mạch yêu cầu các quy định nghiêm ngặt để đảm bảo chip hoạt động đúng yêu cầu và tối ưu chi phí sản xuất. Trong thiết kế SoC, bộ nhớ chiếm diện tích lớn, vì vậy việc tối ưu hóa số lượng cổng vào ra và diện tích cho

mỗi đơn vị bộ nhớ là rất quan trọng. Đề tài này tập trung vào việc giảm số lượng công vào ra, tối ưu hóa diện tích ô nhớ và đánh giá các yếu tố như công suất tiêu thụ, tính ổn định và độ trễ. Bằng cách áp dụng các phương pháp tối ưu hóa kiến trúc ô nhớ và sử dụng kỹ thuật quản lý năng lượng thông minh, thiết kế TCAM mới không chỉ đáp ứng yêu cầu về tốc độ và hiệu suất mà còn giảm thiểu chi phí sản xuất và diện tích chip [11].

1.2. Mục tiêu đề tài

Mục tiêu chính của đề tài này là nghiên cứu và tối ưu hóa cấu trúc từ TCAM 16T sử dụng tế bào SRAM 6T truyền thống trên nền tảng công nghệ CMOS 90nm. Nhược điểm của TCAM truyền thống là tiêu thụ nhiều năng lượng và có diện tích lớn.

Vì vậy, đề tài sẽ tập trung nghiên cứu các phương pháp cải thiện và tối ưu hóa thiết kế của TCAM nhằm giảm thiểu những nhược điểm trên. Cụ thể nhóm đề xuất các giải pháp để cân bằng giữa các yếu tố độ tin cậy của hệ thống, giảm độ trễ trong quá trình tìm kiếm dữ liệu, giảm tiêu thụ năng lượng cả về tĩnh và động, và cuối cùng là tối ưu hóa diện tích nhằm đáp ứng yêu cầu ngày càng cao của các hệ thống tích hợp trên chip (SoC).

Ngoài ra, đề tài cũng sẽ tiến hành so sánh và đánh giá hiệu năng của các thiết kế TCAM với phiên bản TCAM 16T truyền thống hiện có. Việc so sánh này sẽ cung cấp cái nhìn rõ ràng hơn về sự hiệu quả của các giải pháp mới, đồng thời giúp đề xuất các phương án thiết kế tốt hơn cho các ứng dụng thực tế.

1.3. Đối tượng và phạm vi nghiên cứu

1.3.1. Đối tượng nghiên cứu

Đối tượng nghiên cứu của đề án "Thiết kế và tối ưu bộ nhớ TCAM theo công nghệ 90 nm" là các thiết kế bộ nhớ TCAM (12T, 14T, 16T truyền thống). Nghiên cứu tập trung vào việc so sánh những thiết kế này dựa trên các tiêu chí chính như khả năng chịu nhiễu, công suất tiêu thụ và diện tích chiếm dụng. Đặc biệt, bộ nhớ TCAM 4x4 hoàn chỉnh sử dụng ô nhớ TCAM 14T phân tích các yếu tố ảnh hưởng đến công suất

tiêu thụ của mạch nhằm xác định dải điều kiện tối ưu mà mạch có thể vận hành ổn định và hiệu quả sẽ cung cấp cơ sở để kết luận về độ tin cậy của thiết kế trong thực tế.

1.3.2. Phạm vi nghiên cứu

Phân tích lý thuyết về TCAM: Nghiên cứu cơ chế hoạt động chính đặc biệt là trong quá trình tìm kiếm và các thiết kế TCAM tối ưu. Đồ án không quá tập trung làm rõ vào hoạt động đọc của TCAM.

Thiết kế và mô phỏng: Xây dựng mô hình thiết kế bộ nhớ TCAM và thực hiện mô phỏng trên phần mềm Cadence Virtuoso công nghệ 90nm để đánh giá hiệu năng.

So sánh và đánh giá: So sánh các thiết kế ô nhớ TCAM để xác định mức độ cải thiện về tính ổn định, độ trễ, công suất tiêu thụ và diện tích chiếm dụng.

Thiết kế TCAM 4x4 hoàn chỉnh: Đánh giá và hoàn thiện thiết kế bộ TCAM 4x4, chú trọng vào các yếu tố ảnh hưởng đến công suất tiêu thụ của thiết kế.

1.4. Bố cục

CHƯƠNG 1 TỔNG QUAN: Giới thiệu tổng quan và lý do nghiên cứu.

CHƯƠNG 2 CƠ SỞ LÝ THUYẾT LIÊN QUAN: Trình bày các cơ sở lý thuyết liên quan đến TCAM.

CHƯƠNG 3 THIẾT KẾ HỆ THỐNG: Các yêu cầu thiết kế và mô tả quá trình thiết kế.

CHƯƠNG 4 KẾT QUẢ: Phân tích kết quả mô phỏng các khối ngoại vi và so sánh các thiết kế ô nhớ TCAM. Từ đó chọn ra thiết kế tối ưu cho bộ nhớ TCAM 4x4 hoàn chỉnh.

CHƯƠNG 5 KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN: Tóm tắt kết quả đạt được và đề xuất các hướng nghiên cứu phát triển trong tương lai.

CHƯƠNG 2: CƠ SỞ LÝ THUYẾT LIÊN QUAN

2.1. Tổng quan về bộ nhớ bán dẫn và TCAM

2.1.1. Tổng quan về TCAM

CAM: Bộ nhớ định địa chỉ theo nội dung (CAM) còn được gọi là bộ nhớ liên kết, trong đó người dùng cung cấp từ dữ liệu và bộ nhớ liên kết sẽ tìm kiếm toàn bộ bộ nhớ và nếu tìm thấy từ dữ liệu, nó sẽ trả về danh sách các địa chỉ nơi chứa từ dữ liệu đó. CAM hoạt động theo mô hình yêu cầu và phản hồi, nghĩa là khi có yêu cầu tìm dữ liệu cụ thể, nó sẽ tìm kiếm toàn bộ tập dữ liệu và khi tìm thấy dữ liệu khớp, nó sẽ trả về địa chỉ của dữ liệu đó.

Điểm tương đồng giữa bộ nhớ truy cập ngẫu nhiên (RAM) và bộ nhớ có thể định địa chỉ nội dung (CAM):

Bản chất dễ bay hơi: Cả RAM và CAM đều có thể mất dữ liệu khi hệ thống bị tắt do bản chất dễ bay hơi của bộ nhớ.

Khả năng truy cập dữ liệu cao hơn: Cả RAM và CAM đều được sử dụng để cung cấp khả năng truy cập dữ liệu nhanh hơn, điều này khiến những bộ nhớ này trở nên lý tưởng cho việc xử lý dữ liệu theo thời gian thực.

Nâng cao hiệu suất hệ thống: RAM và CAM về cơ bản được sử dụng để lưu trữ dữ liệu cho mục đích tạm thời nên chúng cũng tạo điều kiện thuận lợi cho hoạt động lưu trữ đệm, giúp nâng cao hiệu suất tổng thể của một hệ thống kỹ thuật số cụ thể.

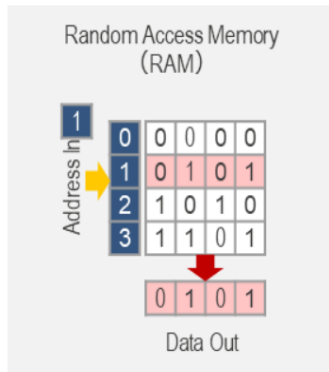
Công nghệ bán dẫn: Cả RAM và CAM đều dựa vào công nghệ bán dẫn để lưu trữ thông tin dưới dạng nhị phân (0 và 1), đây là ngôn ngữ cơ bản của mọi thiết bị kỹ thuật số.

Sử dụng đa năng: Cả RAM và CAM đều được sử dụng rộng rãi từ hệ thống cá nhân đến máy chủ cao cấp và thậm chí cả trong thiết bị mạng.

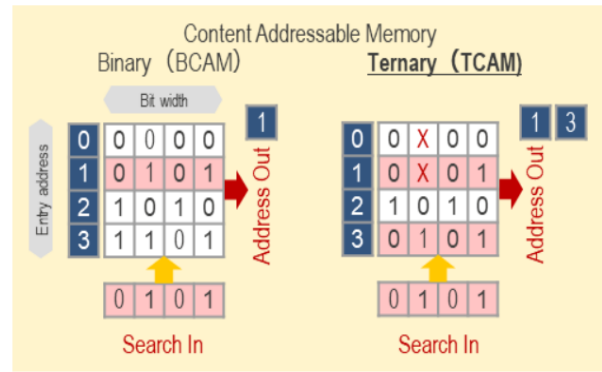
Sự khác biệt giữa bộ nhớ RAM và CAM:

Bảng 2.1: Sự khác biệt giữa bộ nhớ RAM và CAM.

Thuộc tính	RAM	CAM
Loại truy cập bộ nhớ	Nếu tìm thấy từ dữ liệu, RAM sẽ trả về từ dữ liệu đó.	Nếu tìm thấy từ dữ liệu, nó sẽ trả về danh sách các địa chỉ nơi chứa từ dữ liệu đó.
Tốc độ	Nhanh chóng để đọc và ghi dữ liệu	Cực kỳ nhanh chóng để tìm kiếm dữ liệu.
Tiêu thụ điện năng	Yêu cầu tiêu thụ ít điện năng hơn	Yêu cầu mức tiêu thụ điện năng cao hơn
Phương pháp tiếp cận	Trong RAM, người dùng cung cấp một địa chỉ bộ nhớ và RAM trả về từ dữ liệu được lưu trữ tại địa chỉ đó.	Trong TCAM, người dùng cung cấp từ dữ liệu và bộ nhớ liên kết sẽ tìm kiếm toàn bộ bộ nhớ.
Giá thị trường	Giá của Ram thấp hơn	Đắt hơn RAM
Cách sử dụng	Nó được sử dụng để lưu trữ các ứng dụng (chương trình) đang chạy và dữ liệu của chương trình để thực hiện hoạt động.	Nó được sử dụng rộng rãi trong hệ thống quản lý cơ sở dữ liệu.
Sự phù hợp	Điều này phù hợp với tìm kiếm dựa trên thuật toán thông qua PRAM . PRAM là viết tắt của Parallel-RAM.	Điều này phù hợp cho tìm kiếm song song.
Chu kỳ	Cần nhiều chu kỳ xung nhịp trong RAM ngay cả khi chỉ truy xuất một bộ nhớ.	Cần có một chu kỳ xung nhịp duy nhất để tra cứu bộ nhớ trong CAM.
Các loại	1.RAM tĩnh (SRAM) 2.RAM động (DRAM)	1.CAM nhị phân (BCAM) 2.CAM tam phân (TCAM)



RAM:
Nhập địa chỉ và xuất dữ liệu



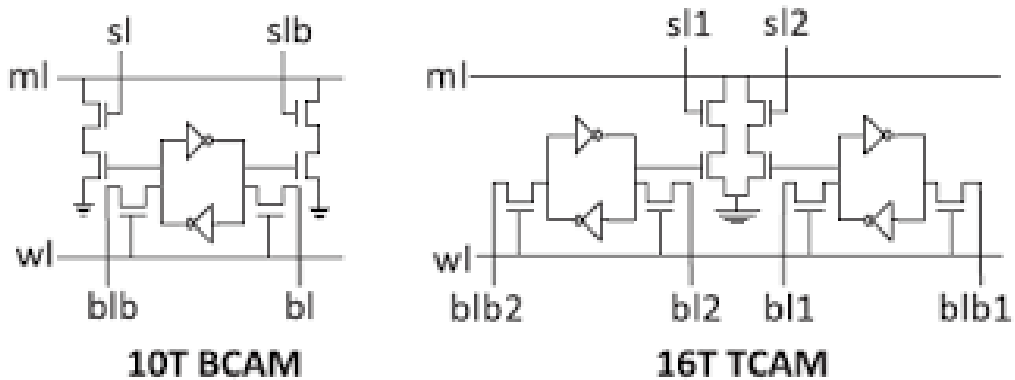
CAM:
Nhập dữ liệu và xuất địa chỉ đã lưu trữ.
Ngoài ra, TCAM có thể trích xuất các kết quả khớp một phần

Hình 2.1: Hoạt động của RAM (trái) và CAM (phải) [15].

Có 2 dạng CAM phổ biến:

BCAM: BCAM là một dạng của CAM, trong đó dữ liệu được lưu trữ và tìm kiếm dưới dạng nhị phân (0 và 1).

TCAM: BCAM là loại CAM đơn giản nhất và sử dụng các từ tìm kiếm dữ liệu bao gồm toàn bộ 1 và 0. TCAM cho phép trạng thái khớp thứ ba “X” không quan tâm đến một hoặc nhiều bit trong từ được lưu trữ, do đó tăng thêm tính linh hoạt cho tìm kiếm. Ví dụ: một từ được lưu trữ 10XX0 trong TCAM sẽ khớp với bất kỳ từ tìm kiếm nào trong bốn từ 10000, 10010, 10100 hoặc 10110.



Hình 2.2: (a) 10-T Typical Binary CAM (b) 16-T Typical Ternary CAM.

Các trạng thái hoạt động của TCAM:

Hoạt động ghi: Đây là quá trình cập nhật dữ liệu mới vào bộ nhớ TCAM. Tín hiệu ghi (WR) được kích hoạt và ô nhớ cần chỉnh sửa được chọn để thực hiện thao tác.

Hoạt động tìm kiếm: Dữ liệu đầu vào sẽ được so sánh đồng thời với toàn bộ thông tin đã lưu trong TCAM. Nếu dữ liệu trùng khớp, đường ML tương ứng duy trì mức điện áp cao (V_{DD}). Khi toàn bộ các ô nhớ đều khớp với từ khóa tìm kiếm, các ML giữ nguyên trạng thái và không cần nạp lại năng lượng cho lần tìm kiếm tiếp theo.

Hoạt động đọc: Hoạt động này được sử dụng cho bảo trì và kiểm tra nội dung lưu trữ trong các ô nhớ mà không làm thay đổi dữ liệu ban đầu.

Hoạt động chờ: Đây là trạng thái mà TCAM không hoạt động, các ô nhớ được cách ly nhằm giảm tiêu thụ năng lượng khi không sử dụng.

Kết luận:

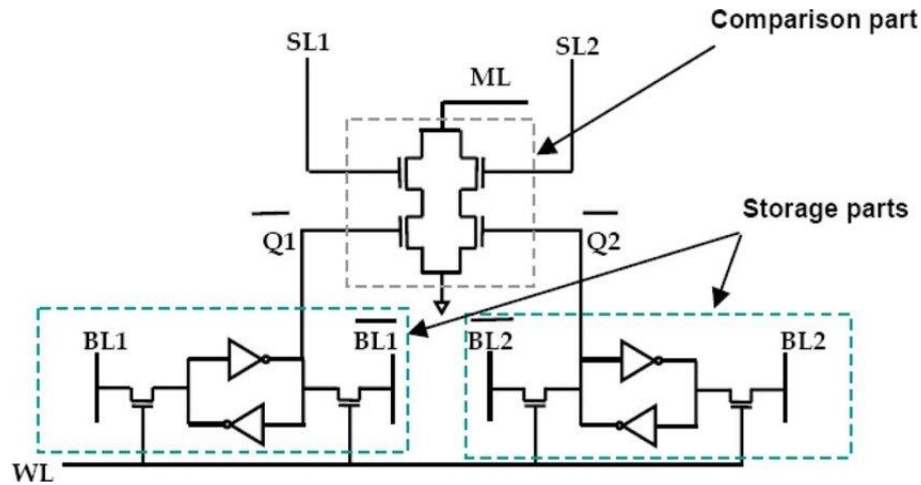
Phần lớn năng lượng của TCAM được tiêu tốn trong các thao tác tìm kiếm, do tất cả các ML phải được nạp điện áp trước khi tìm kiếm. Tuy nhiên, nếu toàn bộ dữ liệu khớp, lần tìm kiếm tiếp theo không yêu cầu nạp lại, giúp giảm năng lượng tiêu thụ. Để tối ưu hóa hiệu suất, đề án này tập trung vào nghiên cứu và cải thiện hoạt động tìm kiếm, đồng thời giảm thiểu tối đa các thao tác ghi và đọc không cần thiết.

2.1.2. Kiến trúc của bộ nhớ TCAM

Ô nhớ TCAM:

Một ô nhớ TCAM được cấu thành từ hai node, CB và MB, trong đó mỗi node hoạt động như một ô nhớ SRAM. Sơ đồ cấu trúc của một ô nhớ TCAM truyền thống 16T được minh họa trong Hình 2.5. Thành phần Storage parts là mạch dùng để lưu trữ dữ liệu, được tạo bởi các ô nhớ SRAM, trong khi Comparison part là mạch so sánh loại NOR. TCAM loại NOR được sử dụng phổ biến trong các ứng

dụng yêu cầu khả năng tìm kiếm linh hoạt và phức tạp, mặc dù nó tiêu thụ nhiều năng lượng hơn [22].



Hình 2.3: Cấu trúc một ô nhớ TCAM 16T.

Thông thường, giá trị logic của trong ô nhớ TCAM được biểu diễn như trong bảng trạng thái 2.1 bên dưới. Trong TCAM, dữ liệu lưu trữ trong node CB đại diện cho giá trị chính, trong khi giá trị lưu trữ trong node MB mang chứa giá trị đảo của node CB.

Bảng 2.2: Bảng trạng thái TCAM.

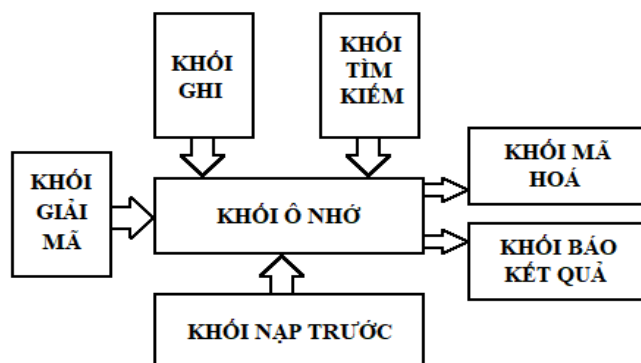
CB	MB	TCAM VALUE
0	1	0
1	0	1
1	1	X
0	0	N/A

Khi giá trị TCAM là X, cả hai node CB và MB đều được đặt ở mức 1, biểu thị trạng thái không phân biệt (don't care). Nếu cả hai node đều ở mức 0, nghĩa là giá trị không hợp lệ (N/A), khiến kết quả tìm kiếm luôn không khớp. Trong quá trình khởi động, tất cả các ô nhớ của TCAM được thiết lập mặc định với cả CB và MB bằng 0.

Các khối của bộ nhớ TCAM:

Tuy có nhiều khác biệt trong hoạt động của TCAM so với các loại bộ nhớ thông thường. Các thành phần cấu tạo nên một bộ nhớ TCAM cũng tương đối giống so với SRAM. Hình 2.6 thể hiện cấu trúc đơn giản của một bộ nhớ TCAM,

trong đó, các đơn vị thành phần của một bộ nhớ TCAM cơ bản bao gồm các khối như: khối giải mã địa chỉ, khối ghi, khối so sánh, khối ô nhớ TCAM, khối nạp trước, khối mã hóa ưu tiên.



Hình 2.4: Các khối của một TCAM đơn giản.

2.1.3. Ứng dụng của TCAM

Ứng dụng TCAM trong SoC mạng tiên tiến: hình 2.7 cho thấy ba cấu hình có thể có của TCAM trong các ứng dụng mạng, trong đó tốc độ hoặc truy cập CAM/giây (Msps) là yếu tố cốt lõi. Mỗi ví dụ - MAC, Chuyển mạch và Xử lý gói - là các thành phần chính của phần cứng mạng và yêu cầu số lần truy cập cao mỗi giây. Trong khi xử lý gói có yêu cầu tốc độ cao nhất, thì khối MAC và chuyển mạch cũng yêu cầu tốc độ truy cập cao. Ngoài ra, cả ba ứng dụng đều có yêu cầu băng thông công cao do lượng lưu lượng ngày càng tăng và số lượng thiết bị lớn hơn trên các mạng tiên tiến.[16]

	MAC	Switching	Packet processing
Port bandwidth (Gbps)	100	10 for 20 x 20	100
Application	L2 packet classification	Port identification	L2-L4 packet classification
Lookups/packet	1	1	>4
CAM data width	72-128	32-96	128-256
CAM data depth	512-1024	128-512	512-4096
CAM access/sec. (Msps)	250	512	>512

Hình 2.5: Cấu hình TCAM trong ứng dụng mạng [16].

Lượng nội dung trong TCAM đang tăng lên và các thiết kế hệ thống trên chip (SoC) doanh nghiệp, mạng và định tuyến đang chuyển sang hình học nhỏ hơn (Hình 2.8). Trong hình học nhỏ hơn, TCAM đảm nhận các chức năng bổ sung như tra cứu IP và MAC và mã sửa lỗi (ECC).

Danh sách kiểm soát chủ động (ACL) là bộ lọc kiểm soát lưu lượng mạng vào và ra khỏi mạng. Các gói tin được phép hoặc bị từ chối truy cập vào các cổng cụ thể hoặc các loại dịch vụ cụ thể bằng cách sử dụng TCAM. Các quy tắc ACL cho một cổng mạng thông thường có thể chỉ bao gồm một vài đến hàng chục nghìn mục nhập. Ví dụ: bảng quy tắc ACL có độ sâu 2K và chiều rộng 288 có thể xử lý cả chuẩn IPv4 và IPv6. IPv6 là chuẩn địa chỉ Giao thức Internet (IP) thế hệ tiếp theo nhằm mục đích bổ sung và cuối cùng là thay thế IPv4 (giao thức mà hầu hết các dịch vụ Internet hiện nay sử dụng). Trên toàn cầu, đến năm 2020, 34% tổng lưu lượng Internet sẽ do IPv6 điều khiển, với lưu lượng IPv6 tăng gấp mười sáu lần từ năm 2015 đến năm 2020, với CAGR là 74% theo Dự báo lưu lượng IP toàn cầu VNI của Cisco, 2015–2020.[16]

Technology	Application	CAM Functions	Enabling Features	Aggregate CAM size in chip
7FF	Enterprise/data networking server	ACL, IP, MAC lookup	Priority encoding, ECC	152Mb
14LPP	Enterprise/data networking server	ACL, IP, MAC lookup	Priority encoding, ECC	120Mb
16FF+LL	Router	ACL, MAC lookup	Power management	80Mb
16FF+GL	Enterprise/data networking server	ACL, IP, MAC lookup	2-port	40Mb
28HPM	Network processor	ACL	Priority encoding	44Mb

Hình 2.6: Tổng hợp nội dung TCAM trong các SoC đại diện [16].

2.2. Biên độ nhiễu

Biên độ nhiễu của SRAM được định nghĩa là mức nhiễu lớn nhất mà SRAM có thể chịu đựng mà không gây ra lỗi trong việc lưu trữ dữ liệu. Khi mức nhiễu vượt quá ngưỡng này, dữ liệu trong ô SRAM có thể bị thay đổi một cách không mong muốn, dẫn đến lỗi trong hoạt động. Để đảm bảo sự ổn định của ô SRAM, cần có thông số SNM (Static Noise Margin) đạt yêu cầu. SNM, hay còn gọi là biên

độ nhiễu tĩnh, phụ thuộc vào các yếu tố như Cell Ratio (CR), Pull-up Ratio (PR), và điện áp cung cấp. Trong đó, các transistor điều khiển đóng góp khoảng 70% giá trị SNM, nghĩa là CR và PR ảnh hưởng lớn đến SNM thông qua các phương trình dòng điện sau:

Vòng cắt ($V_{gs} < V_{th}$):

$$I_{DS}=0. \quad (2.1)$$

Vùng tuyến tính ($V_{gs} > V_{th}$) và ($V_{DS} < V_{gs} - V_{th}$):

$$I_{DS} = \mu \cdot C_{ox} \cdot \frac{W}{L} \left[(V_{gs} - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right]. \quad (2.2)$$

Vùng bão hòa ($V_{gs} \geq V_{th}$) và ($V_{DS} \geq V_{gs} - V_{th}$):

$$I_{DS} = \frac{1}{2} \mu \cdot C_{ox} \cdot \frac{W}{L} (V_{gs} - V_{th})^2. \quad (2.3)$$

μ : Độ linh động của hạt dẫn (electron cho NMOS, lỗ trống cho PMOS).

C_{ox} : Điện dung oxit cổng trên mỗi đơn vị diện tích.

W, L : Chiều rộng và chiều dài kênh dẫn của transistor.

V_{th} : Điện áp ngưỡng (dương cho NMOS và âm cho PMOS).

V_{GS} là điện áp cổng so với nguồn.

V_{DS} là điện áp giữa drain và source.

Từ các phương trình (2.4), (2.5) và (2.6), có thể thấy SNM phụ thuộc trực tiếp vào điện áp ngưỡng của các transistor NMOS và PMOS. Để tăng SNM, người ta thường tăng điện áp ngưỡng, nhưng điều này bị giới hạn bởi sự phức tạp trong việc đảo trạng thái của transistor khi điện áp ngưỡng quá cao.

Một cách khác để cải thiện SNM là điều chỉnh Cell Ratio (CR), tỷ lệ giữa dòng qua transistor điều khiển và các transistor khác. Khi CR tăng, kích thước của transistor điều khiển cũng tăng, dẫn đến dòng điện lớn hơn, từ đó cải thiện tốc độ và độ ổn định của SRAM. Tương tự, Pull-up Ratio (PR), tỷ lệ liên quan đến các

transistor kéo lên (PMOS), cũng có thể được điều chỉnh để đạt được SNM mong muốn.

Pull-up Ratio: Là tỷ lệ giữa kích thước của transistor kéo lên (PU) và transistor truy cập (AT) trong quá trình ghi:

$$PR = \frac{W_{PU}/L_{PU}}{W_{AT}/L_{AT}} \quad (2.4)$$

Trong đó:

W_{PU} và L_{PU} là chiều rộng và chiều dài của transistor kéo lên, chịu trách nhiệm duy trì trạng thái logic "1".

W_{AT} và L_{AT} là chiều rộng và chiều dài của transistor truy cập để thực hiện đọc/ghi dữ liệu.

Cell Ratio: Là tỷ lệ giữa kích thước của transistor kéo xuống (PD) và transistor truy cập (AT) trong quá trình đọc:

$$CR = \frac{W_{PD}/L_{PD}}{W_{AT}/L_{AT}} \quad (2.5)$$

Trong đó:

W_{PD} và L_{PD} là chiều rộng và chiều dài của transistor kéo xuống, chịu trách nhiệm duy trì trạng thái logic "0".

W_{AT} và L_{AT} là chiều rộng và chiều dài của transistor truy cập.

2.3. Độ trễ tín hiệu và công suất tiêu thụ

Độ trễ tín hiệu và công suất tiêu thụ là hai yếu tố quan trọng trong thiết kế mạch tích hợp, đặc biệt là các mạch nhớ như TCAM.

2.3.1. Độ trễ tín hiệu

Độ trễ tín hiệu là thời gian mà một tín hiệu mất để truyền từ đầu vào đến đầu ra của mạch. Trong ô nhớ TCAM, độ trễ tín hiệu thường liên quan đến thời gian phản hồi của mạch so sánh khi so sánh dữ liệu tìm kiếm với dữ liệu lưu trữ. Độ trễ càng nhỏ, hệ thống tìm kiếm càng nhanh.

Thời gian trễ lan truyền: t_{pd} bằng thời gian lớn nhất tính từ lúc tín hiệu ngõ vào đi ngang 50% giá trị ổn định đến khi tín hiệu ngõ ra đi ngang 50% giá trị ổn định [18].

$$t_{pd} = \frac{t_{pdr} + t_{pdf}}{2} \quad (2.6)$$

Trong đó:

t_{pdr} là thời gian trễ lan truyền khi tín hiệu ngõ ra tăng từ thấp lên cao.

t_{pdf} là thời gian trễ lan truyền khi tín hiệu ngõ ra giảm từ cao xuống thấp.

Tốc độ cạnh được tính bằng công thức:

$$t_{rf} = t_r + t_f \quad (2.7)$$

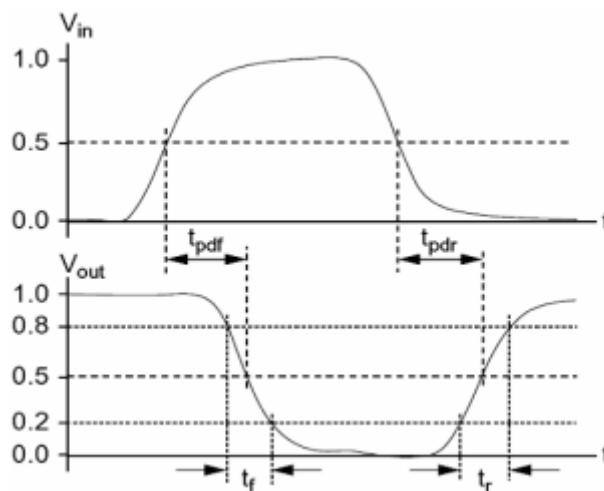
Trong đó:

t_{rf} : tốc độ cạnh

t_r : thời gian tăng

t_f : thời gian giảm

Thời gian tăng hoặc giảm là khoảng thời gian cho dạng sóng tăng từ 20% tới 80% hoặc giảm từ 80% tới 20% giá trị ổn định. Ngoài ra, độ trễ lan truyền còn có thể được hiểu theo một cách khác là sự trì hoãn [5]



Hình 2.7: Thời gian trễ lan truyền và thời gian tăng/giảm.

2.3.2. Công suất tiêu thụ

Công suất tiêu thụ của ô nhớ TCAM bao gồm hai phần: công suất tĩnh (static power) và công suất động (dynamic power).

Công suất tĩnh phát sinh khi mạch ở trạng thái nghỉ (không hoạt động) nhưng vẫn tiêu thụ năng lượng, chủ yếu do dòng rò của transistor.

Công suất động phát sinh trong quá trình chuyển đổi trạng thái của mạch, tức là khi có sự thay đổi giữa các mức logic. Công suất động tỷ lệ với tần số hoạt động và điện dung của các node trong mạch.

Công suất tiêu thụ được định nghĩa là công suất tức thời $P(t)$ được tiêu thụ hoặc cung cấp bởi một phần tử của mạch là tích của dòng điện đi qua phần tử đó với điện áp đặt lên phần tử đó [18]:

$$P(t) = I(t) \cdot V(t) \quad (2.8)$$

Năng lượng được tiêu thụ hoặc cung cấp trong một khoảng thời gian t là tích phân của công suất tức thời:

$$E = \int_0^T P(t) dt \quad (2.9)$$

Công suất tiêu thụ trung bình trên khoảng thời gian chu kỳ T là:

$$P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T P(t) dt \quad (2.10)$$

Công suất bao gồm công suất động và công suất tĩnh:

$$P_{total} = P_{static} + P_{dynamic} \quad (2.11)$$

Công suất động:

$$P_{dynamic} = C \cdot V_{DD}^2 \cdot f = P_{switching} + P_{short-circuit} \quad (2.12)$$

Trong đó:

V_{DD} là điện áp cung cấp

f là tần số hoạt động của thiết kế

C là điện dung tải

$P_{\text{switching}}$ hay còn gọi là công suất chuyển mạch, được sinh ra trong quá trình chuyển đổi trạng thái của CMOS.

$P_{\text{short-circuit}}$ hay còn gọi là công suất ngắn mạch, được sinh ra khi điện áp ngõ vào bắt đầu tăng, có một dòng điện nhỏ trong pMOS chống lại nMOS.

Công suất tĩnh

$$P_{\text{static}} = V_{\text{DD}} \cdot I_{\text{leakage}} = (I_{\text{sub}} + I_{\text{gate}} + I_{\text{june}} + I_{\text{contension}}) \cdot V_{\text{DD}} \quad (2.13)$$

Trong đó:

V_{DD} : Điện áp cung cấp

I_{leakage} : Dòng rò, phụ thuộc vào nhiệt độ và đặc điểm của công nghệ chế tạo CMOS.

I_{sub} hay còn gọi là dòng rò dưới ngưỡng, được sinh ra khi CMOS được cho là đã tắt.

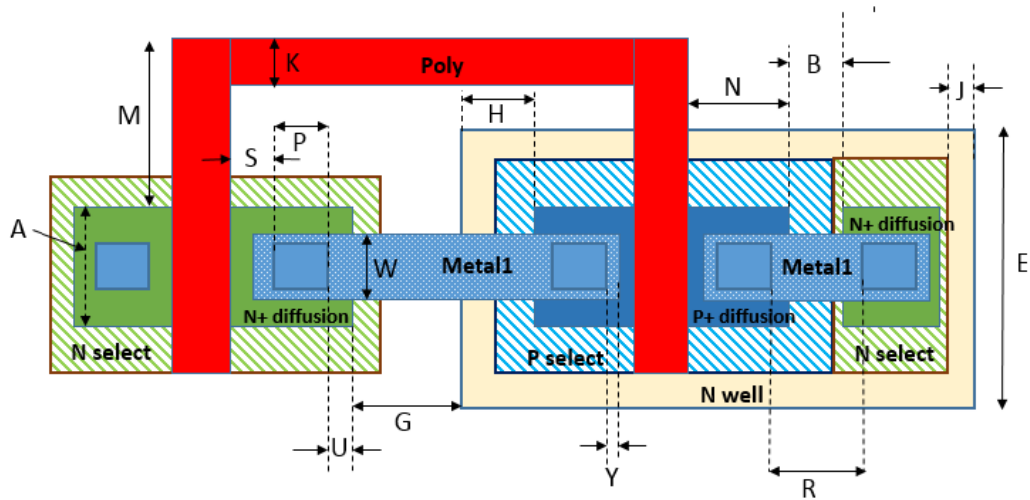
I_{gate} hay còn gọi là dòng rò cổng, được sinh ra khi các hạt mang điện xuyên qua lớp điện môi mỏng tại cực cổng khi một điện áp được đưa vào cực cổng (khi cổng ở trạng thái dẫn).

I_{june} hay còn gọi là dòng rò lớp tiếp xúc, sinh ra khi vùng khếch tán cực nguồn và vùng khuếch tán cực máng có điện áp khác với chất nền.

$I_{\text{contension}}$ hay còn gọi là tranh chấp, sinh ra do sự tranh chấp giữa mạng kéo xuống của nMOS và mạng kéo lên của pMOS.

2.4. Thiết kế Layout

2.4.1. Khái niệm thiết kế layout trên chip



Hình 2.8: Bản vẽ layout.

Sau khi hoàn thiện thiết kế logic và tạo ra netlist, chúng ta bước vào giai đoạn chuyển đổi ý tưởng thành hiện thực: thiết kế layout. Đây là quá trình tạo ra bản vẽ chi tiết các linh kiện (transistor, điện trở...) và các kết nối giữa chúng trên một con chip vật lý. Để đảm bảo chip hoạt động đúng và hiệu quả, quá trình thiết kế layout phải tuân thủ nghiêm ngặt các quy tắc thiết kế (design rules) do nhà sản xuất công nghệ quy định.

Các quy tắc thiết kế này, thường được biểu diễn dưới dạng lambda (λ) hoặc kích thước tuyệt đối, phản ánh khả năng chế tạo của nhà máy. Quy tắc lambda linh hoạt hơn, cho phép dễ dàng điều chỉnh thiết kế khi công nghệ thay đổi.

Công cụ thiết kế hỗ trợ máy tính (CAD) đóng vai trò quan trọng trong việc tự động hóa các công đoạn phức tạp của quá trình layout, từ việc sắp xếp các linh kiện (placement) đến kết nối chúng (routing). Tuy nhiên, đối với các mạch analog, đòi hỏi kỹ thuật thiết kế chuyên sâu để đảm bảo độ chính xác cao, giảm nhiễu và đáp ứng các yêu cầu về tần số.

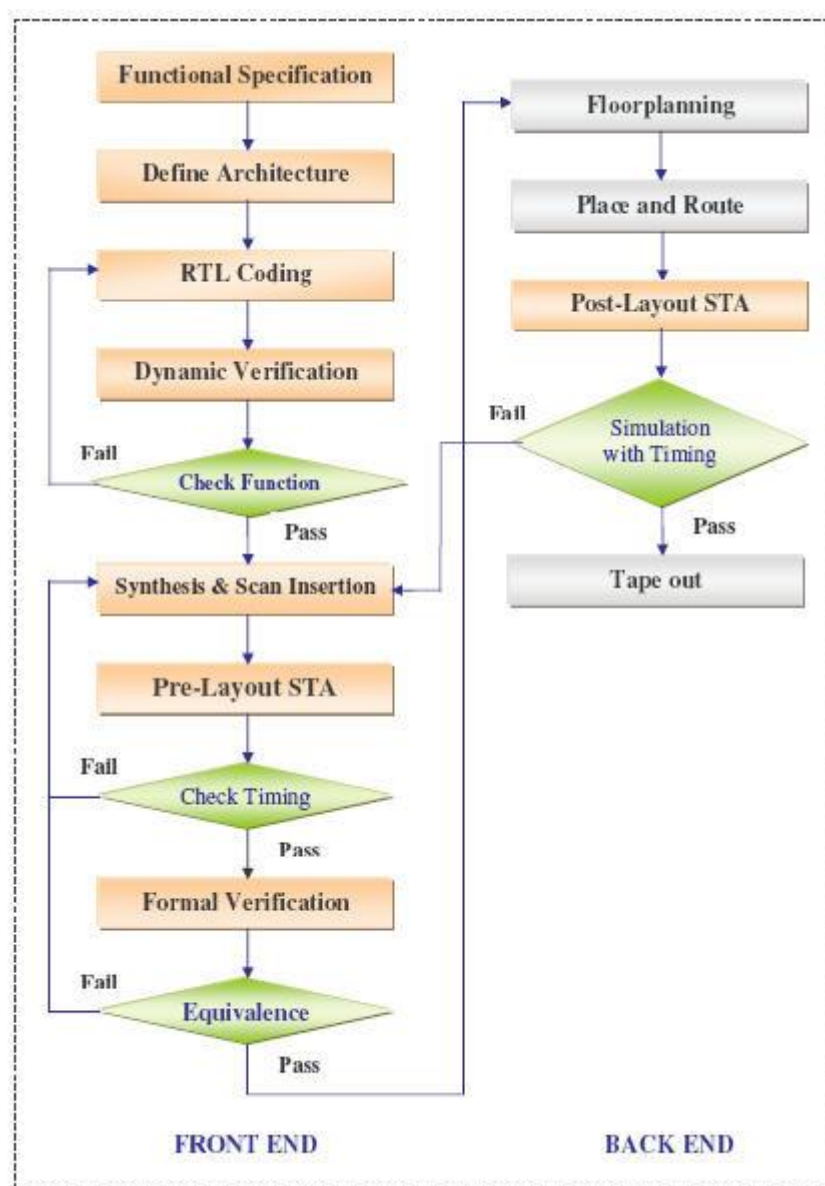
2.4.2. Kiểm tra và Xác thực

Sau khi hoàn thành layout, các kỹ sư thiết kế sẽ tiến hành kiểm tra thiết kế (Design Rule Check - DRC) để đảm bảo tuân thủ các quy tắc thiết kế. Tiếp theo,

kiểm tra so sánh netlist (Layout Versus Schematic - LVS) được thực hiện để xác minh sự tương thích giữa layout và netlist ban đầu. Các công cụ chuyên dụng như của Synopsys, Cadence hay Mentor Graphics hỗ trợ thực hiện các kiểm tra này một cách hiệu quả.

Cuối cùng, file thiết kế hoàn chỉnh (GDSII) được chuyển đến nhà máy sản xuất để chế tạo chip. Sau khi sản xuất, chip sẽ trải qua quá trình kiểm tra nghiêm ngặt để đảm bảo chất lượng trước khi đến tay người tiêu dùng.

Toàn bộ quy trình có thể tóm tắt bằng hình sau:



Hình 2.9: Quy trình thiết kế mạch hoàn chỉnh.

CHƯƠNG 3: THIẾT KẾ HỆ THỐNG

3.1. Yêu cầu thiết kế

Toàn bộ thiết kế mô phỏng được thực hiện dựa trên công cụ Cadence Virtuoso với điều kiện mô phỏng được thể hiện dưới bảng 3.1 như sau:

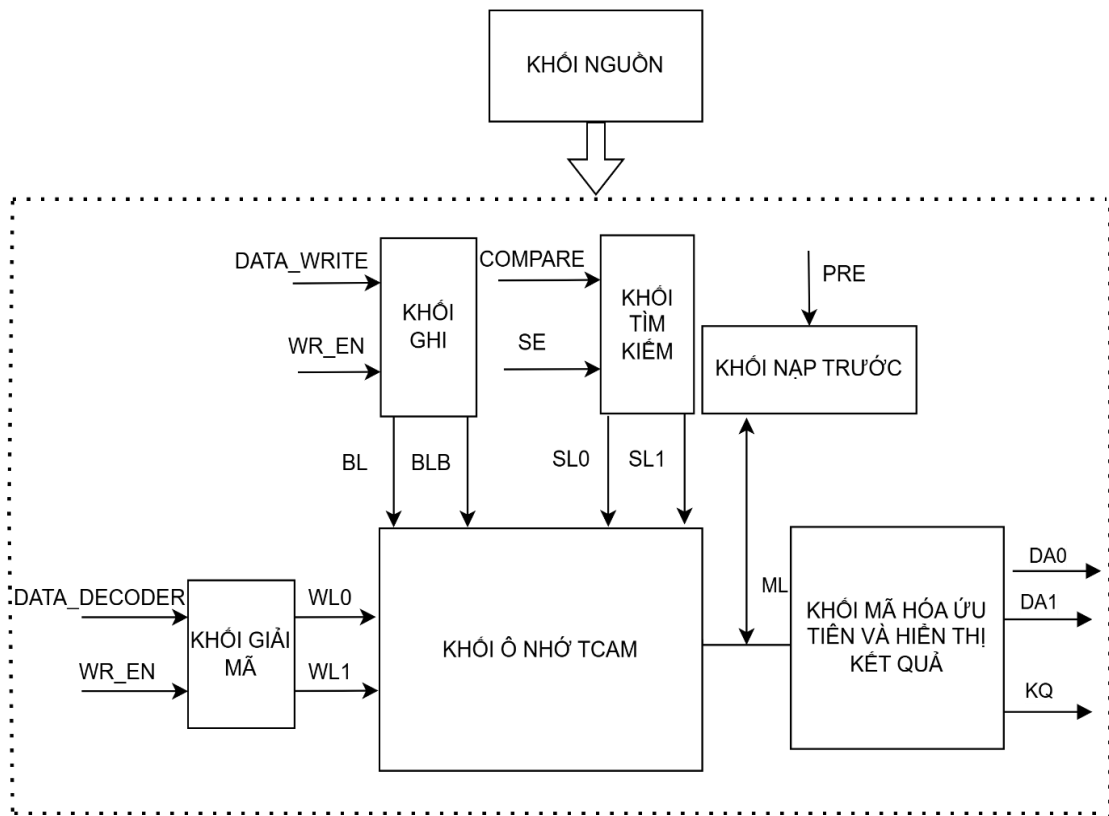
Bảng 3.1: Bảng điều kiện thiết kế hệ thống.

Điều kiện	Mô tả
Công nghệ	90nm
Kênh dẫn Transistor của các cổng logic cơ bản	Tỷ lệ W/L (PMOS = 120/100, NMOS = 120/100)
V_{DD}	Tương ứng với mức logic “1” hay mức điện áp cao
GND	Tương ứng với mức logic “0” hay mức điện áp thấp

Để thiết kế các ô nhớ TCAM 16T truyền thống, 14T và 12T, cần đảm bảo các tiêu chí quan trọng như công suất tiêu thụ, diện tích chiếm chỗ trên chip, khả năng chịu nhiễu và độ trễ tín hiệu đạt mức tối ưu cho từng loại ô nhớ. Các thiết kế này sẽ được so sánh để chọn ra phương án phù hợp nhất với yêu cầu sử dụng.

Các thành phần ngoại vi của bộ nhớ TCAM, bao gồm mạch nạp trước, mạch giải mã, mạch tìm kiếm, mạch mã hóa ưu tiên và mạch hiển thị kết quả và mạch ghi cần đảm bảo hoạt động chính xác và đầy đủ chức năng để tạo thành bộ nhớ TCAM 4x4 hoàn chỉnh.

3.2. Sơ đồ khối



Hình 3.1: Sơ đồ khối tổng quát của bộ nhớ TCAM.

Chức năng của từng khối:

Khối mạch nạp trước: Chuẩn bị hệ thống cho quá trình tìm kiếm bằng cách kích hoạt các đường ML sau mỗi lần tìm kiếm không thành công.

Khối giải mã: Xác định vị trí ô nhớ cần truy cập để đọc hoặc ghi dữ liệu.

Khối tìm kiếm: So sánh dữ liệu cần tìm với dữ liệu đã lưu trữ trong các ô nhớ TCAM.

Khối ô nhớ TCAM: Lưu trữ dữ liệu và thực hiện các phép so sánh.

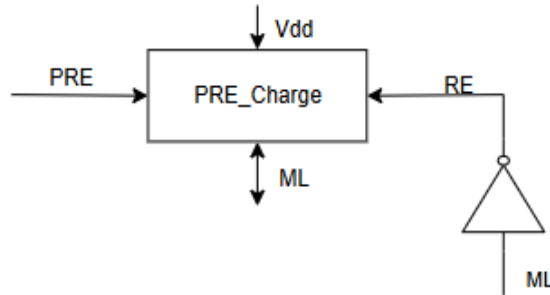
Khối mã hóa ưu tiên: Xác định và hiển thị kết quả tìm kiếm, ưu tiên các hàng khớp có mức độ ưu tiên cao nhất.

Khối ghi dữ liệu: Cập nhật dữ liệu vào các ô nhớ TCAM khi có yêu cầu.

3.3. Thiết kế các khối ngoại vi

3.3.1. Khối nạp trước

Sơ đồ khối mạch nạp trước như hình 3.2 gồm 2 tín hiệu ngõ vào PRE và RE, 1 ngõ vào/ra ML và nguồn cung cấp V_{DD} .

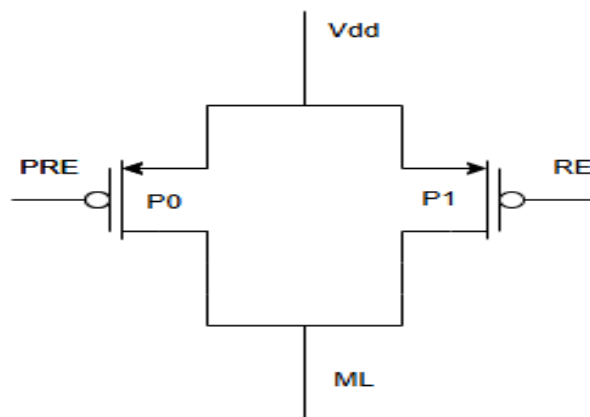


Hình 3.2: Sơ đồ khối mạch nạp trước.

Nguyên lý hoạt động

Trong quá trình tiền nạp: Khi tín hiệu PRE ở mức thấp (logic 0), transistor P0 dẫn, kéo đường ML lên mức điện áp V_{DD} .

Quá trình so sánh: Khi PRE chuyển sang mức cao (logic 1), P0 ngắt, và nếu có tín hiệu đảo ngược từ ML, P1 sẽ dẫn. Tín hiệu đảo ngược này được tạo ra bởi một cổng inverter và được đưa trở lại mạch thông qua tín hiệu RE, tác động lên P1.



Hình 3.3: Sơ đồ nguyên lý mạch nạp trước.

Thiết kế mạch nạp trước với tỉ lệ W/L của 2 transistor $P0=P1=1\mu\text{m}/100\text{nm}$.

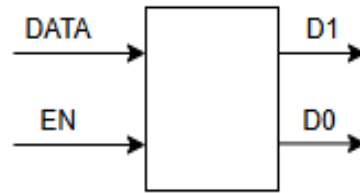
Mạch nạp trước được thiết kế như hình 3.3, hoạt động dựa trên hai transistor PMOS là P0 và P1. Cực gate của P1 và P2 lần lượt được điều khiển bởi các tín

hiệu PRE và RE. Cả P0 và P1 đều có cực source nối với nguồn V_{DD} , còn cực drain của chúng được nối chung với đường tín hiệu ML.

3.3.2. Khối giải mã

a) Mạch chốt

Mạch chốt bao gồm 1 ngõ vào dữ liệu DATA, 1 chân ngõ vào cho phép EN và 2 ngõ ra lần lượt là D1, D0 như hình 3.4 dưới đây.



Hình 3.4: Sơ đồ khối mạch chốt.

Nguyên lý hoạt động

Khi chân EN ở mức logic '0', mạch sẽ ngừng hoạt động, và mọi ngõ ra đều giữ nguyên trạng thái, không phụ thuộc vào tín hiệu đầu vào DATA.

Khi chân EN chuyển sang mức logic '1', mạch sẽ được kích hoạt. Lúc này, tín hiệu đầu vào DATA sẽ điều khiển ngõ ra tương ứng, cụ thể là các ngõ ra D1 và D0, được biểu diễn chi tiết qua bảng 3.2.

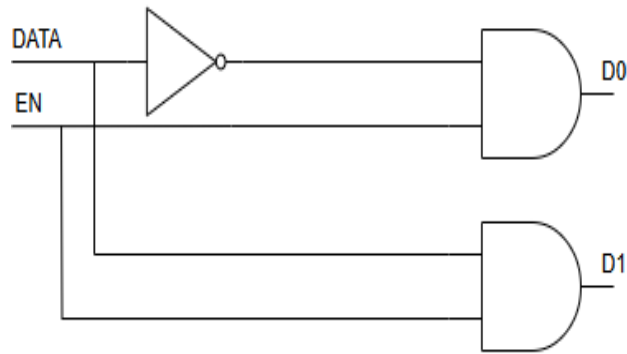
Bảng 3.2: Bảng trạng thái mạch chốt.

Ngõ vào		Ngõ ra	
EN	DATA	D1	D0
0	x	0	0
1	0	0	1
1	1	1	0

Từ bảng trạng thái 3.2 ta có thể suy ra các biểu thức logic tối giản của các ngõ ra tương ứng và có thể vẽ được cấu trúc mạch như hình 3.5:

$$D0 = EN \cdot \overline{DATA}$$

$$D1 = EN \cdot DATA$$

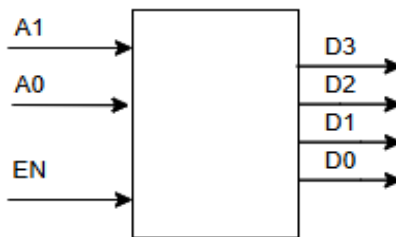


Hình 3.5: Sơ đồ nguyên lý chốt.

Mạch chốt tạo ra cần sử dụng hai cổng AND, mỗi cổng có hai đầu vào, và một bộ chuyển đổi ngược (inverter).

b) Khối giải mã 2 sang 4

Bộ giải mã 2 sang 4 bao gồm 2 ngõ vào dữ liệu A1, A0, 1 chân ngõ vào cho phép EN và 4 ngõ ra lần lượt là D3, D2, D1, D0 như hình 3.6.



Hình 3.6: Sơ đồ khối mạch giải mã 2 sang 4.

Nguyên lý hoạt động

Mạch giải mã 2 sang 4 hoạt động dựa trên hai đầu vào và một chân điều khiển EN để chọn một trong bốn ngõ ra (D0, D1, D2, D3) tương ứng với các tổ hợp đầu vào:

Khi chân EN ở mức logic '0', mạch sẽ không hoạt động, và tất cả các ngõ ra đều ở trạng thái tắt, bất kể các giá trị đầu vào.

Khi chân EN ở mức logic '1', mạch được kích hoạt. Lúc này, tổ hợp của hai tín hiệu đầu vào sẽ quyết định ngõ ra nào trong bốn ngõ (D0 đến D3) được đặt ở mức '1'. Ba ngõ ra còn lại sẽ giữ mức '0'.

Cụ thể, các ngõ ra sẽ được điều khiển dựa trên các giá trị đầu vào, được mô tả chi tiết trong bảng 3.3.

Bảng 3.3: Bảng trạng thái khối giải mã 2 sang 4.

Ngõ vào			Ngõ ra			
EN	A1	A0	D3	D2	D1	D0
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

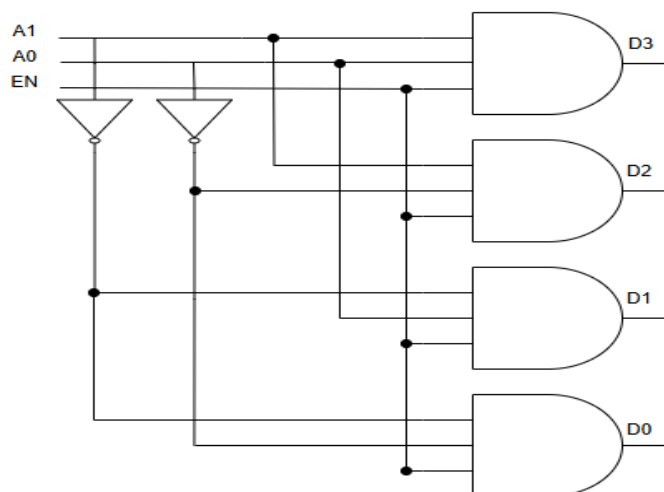
Từ bảng chân trị, có thể suy ra các biểu thức logic tối giản của các ngõ ra tương ứng và vẽ được cấu trúc mạch như hình 3.7:

$$D3 = EN.\bar{A}1.\bar{A}0$$

$$D2 = EN.\bar{A}1.A0$$

$$D1 = EN.A1.\bar{A}0$$

$$D0 = EN.A1.A0$$

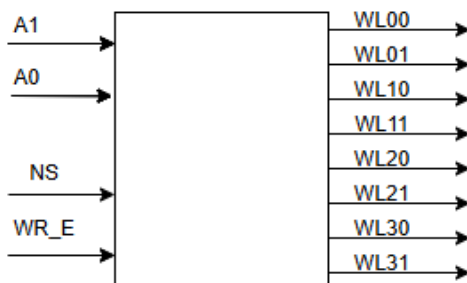


Hình 3.7: Sơ đồ nguyên lý mạch giải mã 2 sang 4.

Bộ giải mã 2 sang 4 cần sử dụng bốn cổng AND, mỗi cổng có ba đầu vào, và hai bộ chuyển đổi ngược (inverter).

c) Khối giải mã TCAM

Bộ giải mã TCAM gồm 2 ngõ vào dữ liệu, 2 ngõ vào điều khiển, 8 ngõ ra xuất địa chỉ và chọn node như hình 3.8 bên dưới.



Hình 3.8: Sơ đồ khối mạch giải mã TCAM.

Nguyên lý hoạt động

Khi tín hiệu cho phép ghi WR_E tích cực mức “1” mạch giải mã bắt đầu hoạt động, các tín hiệu ngõ vào tương ứng với tổ hợp logic của A1, A0 sẽ dùng để giải mã cho ra các ngõ ra này là các hàng của ma trận ô nhớ TCAM 4x4 WL0X, WL1X, WL2X, WL3X. Các giá trị “X” ở đây có giá trị logic “0” và “1” tương ứng với các đường WL0, WL1 trong ô nhớ TCAM nó sẽ được điều khiển bằng tín hiệu ngõ vào NS dùng để chọn đường WL0 hoặc WL1 tại cùng một thời điểm. Các đặc điểm hoạt động này được biểu diễn qua bảng trạng thái ở bảng 3.4 sau.

Bảng 3.4: Bảng trạng thái khối giải mã TCAM.

Ngõ vào				Ngõ ra							
WR_E	NS	A1	A0	WL00	WL01	WL10	WL11	WL20	WL21	WL31	WL31
0	X	X	X	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0
	1			0	1	0	0	0	0	0	0
	0	0	1	0	0	1	0	0	0	0	0
	1			0	0	0	1	0	0	0	0
	0	1	0	0	0	0	0	1	0	0	0
	1			0	0	0	0	0	1	0	0
	0	1	1	0	0	0	0	0	0	1	0
	1			0	0	0	0	0	0	0	1

Từ bảng trạng thái 3.4, ta có thể suy ra các biểu thức logic tối giản của các ngõ ra tương ứng và có thể vẽ được cấu trúc mạch như hình 3.9:

$$WL00 = WR_E. \overline{NS}. \overline{A1}. \overline{A0}$$

$$WL20 = WR_E. \overline{NS}. A1. \overline{A0}$$

$$WL01 = WR_E. NS. \overline{A1}. \overline{A0}$$

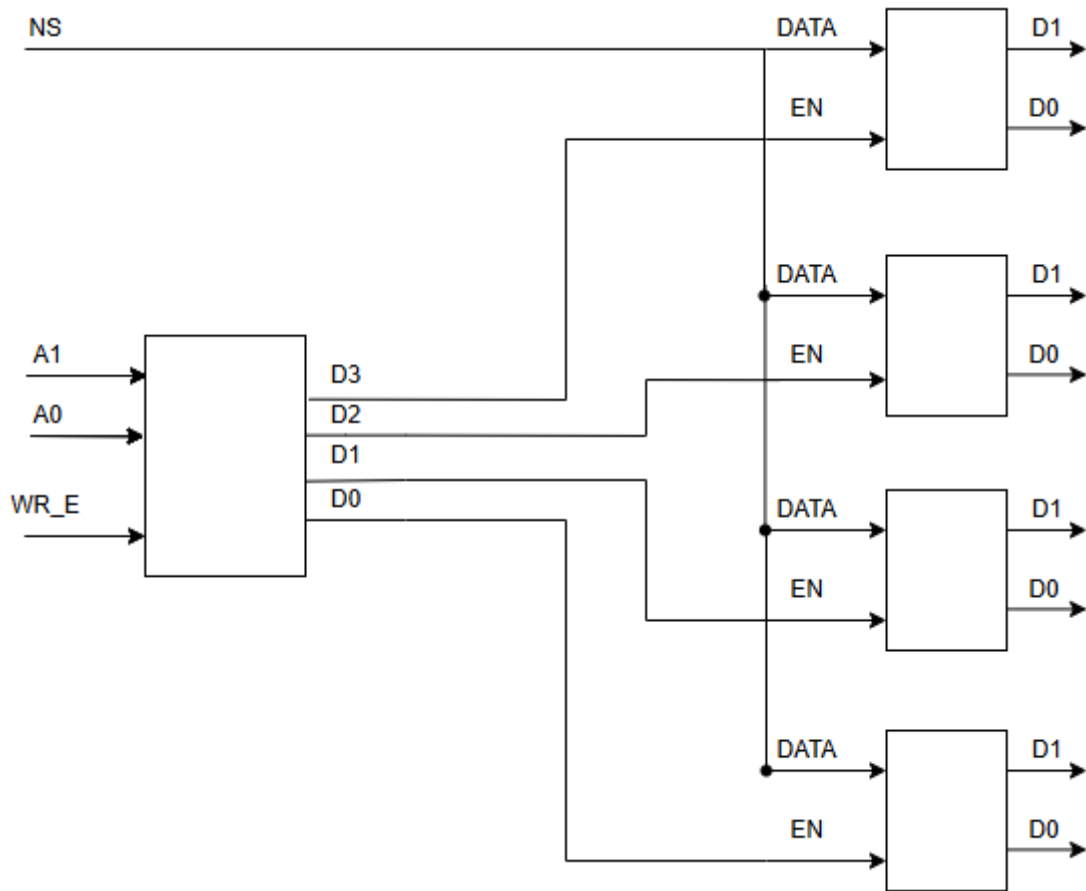
$$WL21 = WR_E. NS. A1. \overline{A0}$$

$$WL10 = WR_E. \overline{NS}. \overline{A1}. A0$$

$$WL30 = WR_E. \overline{NS}. A1. A0$$

$$WL11 = WR_E. NS. \overline{A1}. A0$$

$$WL31 = WR_E. NS. A1. A0$$

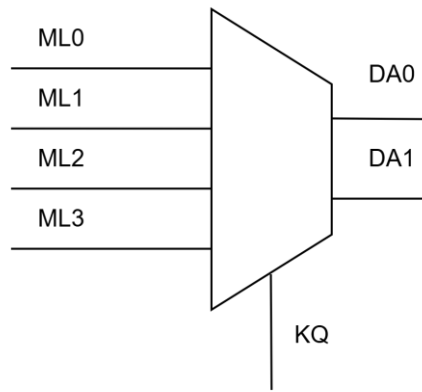


Hình 3.9: Sơ đồ nguyên lý mạch giải mã TCAM.

Bộ giải mã TCAM trên bằng cách sử dụng một mạch giải mã 2 sang 4 và bốn mạch giải mã 1 sang 2 như đã thiết kế trước đó để ghép thành bộ giải mã TCAM 4x4 với các nối chân và đặt tên chân như trên hình 3.9.

3.3.3. Khối mã hoá ưu tiên

Bộ mã hóa ưu tiên bao gồm 4 ngõ vào dữ liệu ML0, ML1, ML2 ML3, 2 ngõ ra địa chỉ, 1 ngõ ra hiển thị kết quả KQ như hình 3.10 dưới đây.



Hình 3.10: Sơ đồ khối mạch mã hóa ưu tiên.

Nguyên lý hoạt động

Hệ thống này so sánh các tín hiệu đầu vào từ ML0, ML1, ML2 và ML3. Tín hiệu nào có giá trị logic 1 và mức ưu tiên cao nhất sẽ được chọn. Kết quả so sánh sẽ được mã hóa và hiển thị trên các chân DA0 và DA1. Nếu không tìm thấy tín hiệu nào đáp ứng điều kiện trên, đầu ra KQ sẽ có giá trị 0, ngược lại sẽ là 1. Bảng 3.5 dưới đây mô tả chi tiết các trường hợp hoạt động của hệ thống.

Bảng 3.5: Bảng trạng thái khối mã hóa ưu tiên.

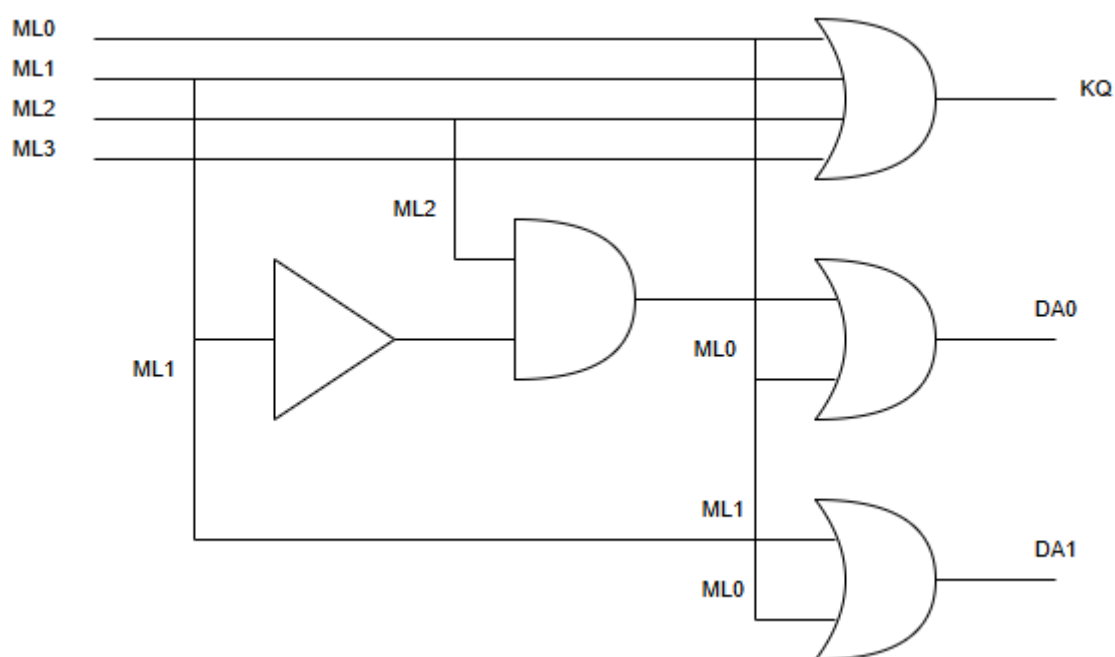
Ngõ vào				Ngõ ra		
ML0	ML1	ML2	ML3	DA1	DA0	KQ
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	x	0	1	1
0	1	x	x	1	0	1
1	x	x	x	1	1	1

Từ bảng trạng thái 3.5, ta có thể suy ra các biểu thức logic tối giản của các ngõ ra tương ứng và có thể vẽ được cấu trúc mạch như hình 3.11:

$$DA1 = ML1 + ML0$$

$$DA0 = ML0 + ML2 \cdot \overline{ML1}$$

$$KQ = ML0 + ML1 + ML2 + ML3$$

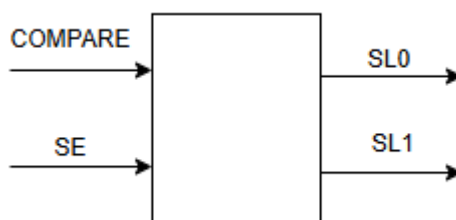


Hình 3.11: Sơ đồ nguyên lý mạch mã hóa ưu tiên.

Mạch mã hóa ưu tiên như trên hình 3.11 cần sử dụng các cổng logic gồm: 1 cổng OR 4 đầu vào, 2 cổng OR 2 ngõ vào, 1 cổng AND 2 ngõ vào và 1 cổng NOT.

3.3.4. Khối tìm kiếm

Khối tìm kiếm TCAM gồm một ngõ vào dữ liệu COMPARE, một ngõ vào điều khiển SE, hai ngõ ra xuất địa SL1, SL0 chỉ hình 3.12 bên dưới.



Hình 3.12: Sơ đồ khối mạch tìm kiếm.

Nguyên lý hoạt động

Khi có tín hiệu ngõ vào điều khiển SE tích cực mạch cho phép gửi dữ liệu tìm kiếm đến các cột ô nhớ TCAM, tín hiệu dữ liệu COMPARE khi có mức logic “0” tương ứng ngõ ra SL0=0, SL1=1 sẽ được gửi đến cột ô nhớ TCAM, ngược lại khi COMPARE có mức logic “1” SL0=1, SL1=0. Hoạt động của mạch tìm kiếm được biểu diễn qua bảng trạng thái 3.6 sau:

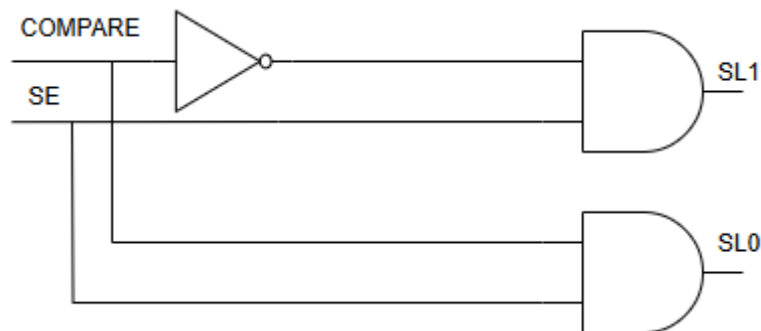
Bảng 3.6: Bảng trạng thái khối tìm kiếm.

Ngõ vào		Ngõ ra	
SE	COMPARE	SL1	SL0
0	X	0	0
1	0	1	0
1	1	0	1

Từ bảng trạng thái trên, ta có thể suy ra các biểu thức logic tối giản của các ngõ ra tương ứng và có thể vẽ được cấu trúc mạch nguyên lý như hình 3.13:

$$SL1 = SE \cdot \overline{COMPARE}$$

$$SL0 = SE \cdot COMPARE$$



Hình 3.13: Sơ đồ nguyên lý mạch tìm kiếm.

Sơ đồ nguyên lý mạch tìm kiếm TCAM đơn giản chỉ sử dụng một cổng NOT và hai cổng AND cách nối chân như trên hình 3.13 để thiết kế.

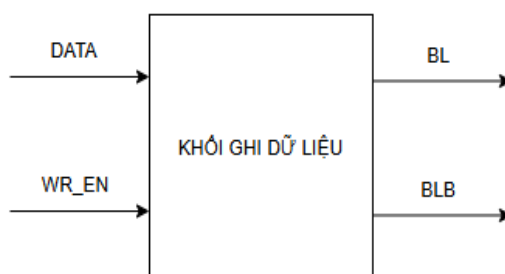
3.3.5. Khối ghi dữ liệu

Cấu trúc mạch TCAM 16T và TCAM 12T đều sử dụng hai đường dữ liệu BL và BLB để thực hiện các thao tác đọc và ghi dữ liệu. Trong TCAM 16T, các đường này kết nối với hai ô SRAM 6T, trong khi TCAM 12T kết nối với các ô SRAM 4T. Ngược lại, TCAM 14T chỉ sử dụng một đường dữ liệu duy nhất, DATA, để giao tiếp với các ô nhớ SRAM 5T.

Sự khác biệt về số lượng và cách thức sử dụng các đường dữ liệu tạo ra những thay đổi đáng kể trong thiết kế khối ghi giữa TCAM 14T và các cấu trúc TCAM 16T, 12T.

a) Khối ghi dữ liệu ô nhớ TCAM 16T truyền thống và TCAM 12T

Sơ đồ khối ghi dữ liệu TCAM 16T truyền thống và TCAM 12T với 2 dữ liệu ngõ vào gồm: một ngõ vào dữ liệu, một ngõ vào điều khiển. Hai ngõ ra gồm: BL, BLB.



Hình 3.14: Sơ đồ khối ghi ô nhớ TCAM 16T truyền thống và TCAM 12T.

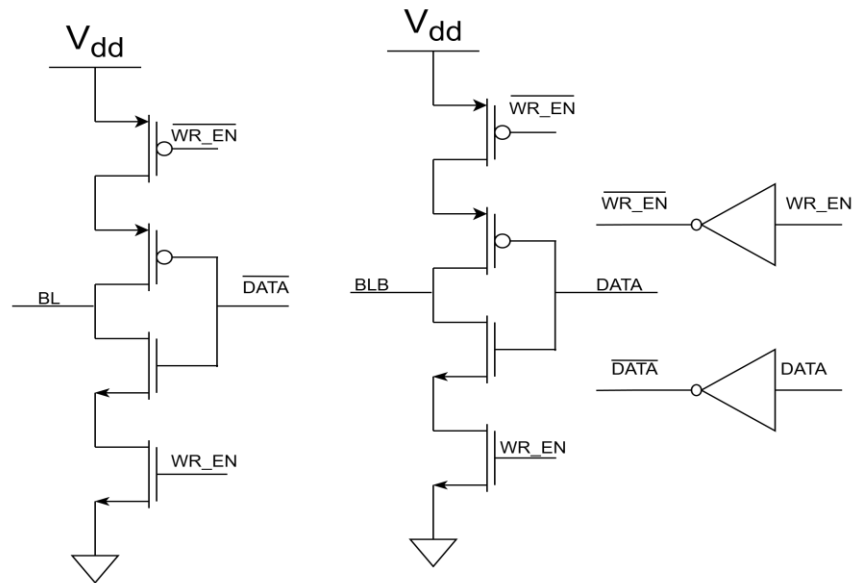
Nguyên lí hoạt động

Tín hiệu điều khiển WR_EN được nối chung với khối giải mã và khối ghi dữ liệu cho phép hoạt động ghi diễn ra. Khi đó dữ liệu cần ghi từ chân ngõ vào DATA sẽ được đưa đến ô nhớ TCAM mà bộ giải mã chọn để ghi thông qua chân ngõ ra BL và BLB. Hoạt động của bộ ghi dữ liệu được biểu diễn qua bảng trạng thái 3.7 như sau.

Bảng 3.7 Bảng trạng thái khối ghi dữ liệu

Ngõ vào		Ngõ ra	
WR_EN	DATA	BL	BLB
0	X	Q	QB
1	0	0	1
1	1	1	0

Từ bảng trạng thái 3.7 khối ghi dữ liệu ở trên ta có thể thiết kế được mạch ghi dữ liệu như sau:

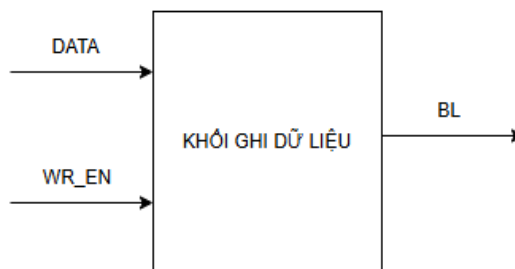


Hình 3.15: Sơ đồ nguyên lý mạch ghi dữ liệu ô nhớ TCAM 16T truyền thống và TCAM 12T.

Với sơ đồ nguyên lý mạch như hình 3.15. Khi tín hiệu $WR_EN=0$ làm các transistor NMOS nối với nó và $\overline{WR_EN}$ nối với PMOS tắt, bất kể dữ liệu DATA thì BL, BLB vẫn giữ nguyên giá trị trước đó, $WR_EN=1$ làm các transistor NMOS nối với nó và $\overline{WR_EN}$ nối với PMOS bật, dữ liệu \overline{DATA} sẽ gửi được gửi đến ngõ vào của đường BL và DATA gửi đến ngõ vào của đường BLB.

b) Khối ghi dữ liệu ô nhớ TCAM 14T

Sơ đồ khối mạch ghi dữ liệu ô nhớ TCAM 14T với 2 dữ liệu ngõ vào gồm: một ngõ vào dữ liệu DATA, một ngõ vào điều khiển WR_EN . Ngõ ra BL.



Hình 3.16: Sơ đồ khối ghi dữ liệu ô nhớ TCAM 14T và TCAM 12T.

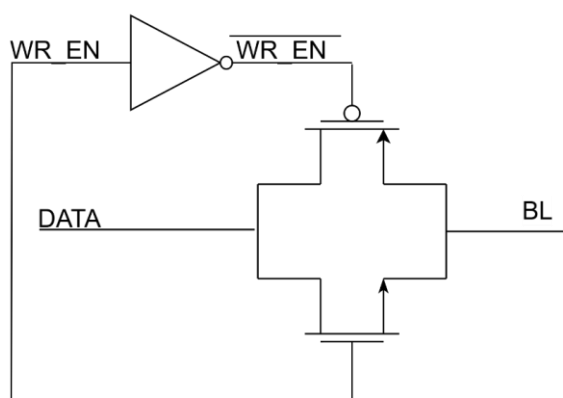
Nguyên lý hoạt động

Tín hiệu điều khiển WR_EN cho phép hoạt động được nối chung với khối giải mã và khối ghi dữ liệu. Khi đó dữ liệu cần ghi từ chân ngõ vào DATA sẽ được đưa đến ô nhớ TCAM mà bộ giải mã chọn thông qua chân ngõ ra BL. Phản ánh trực tiếp dữ liệu được ghi qua bảng trạng thái 3.8.

Bảng 3.8 Bảng trạng thái khối ghi dữ liệu

Ngõ vào		Ngõ ra
WR_EN	DATA	BL
0	X	Q
1	0	0
1	1	1

Từ bảng trạng thái 3.8 khối ghi dữ liệu ở trên ta có thể thiết kế được mạch ghi dữ liệu như sau:



Hình 3.17: Sơ đồ nguyên lý mạch ghi dữ liệu ô nhớ TCAM 14T.

Với sơ đồ nguyên lý mạch như hình 3.23. Cấu trúc của mạch ghi dữ liệu của TCAM 14T được thiết kế tương tự như một cổng truyền. Khi WR_EN=0 thì các transistor nối với WR_EN và $\overline{\text{WR_EN}}$ sẽ bị hở mạch, khi đó đường BL bị thả trôi ô nhớ SRAM giữ nguyên giá trị được lưu trước đó. Khi tín hiệu WR_EN=1 các transistor cổng truyền dẫn, tín hiệu ngõ vào DATA sẽ đi qua cổng truyền đưa dữ liệu đến ngõ ra BL.

3.4. Thiết kế khối ô nhớ TCAM

Như đã phân tích ở phần 2.1.3, bộ nhớ TCAM được cấu tạo từ hai thành phần chính: khối so sánh loại NOR và khối lưu trữ (dùng SRAM). Để tối ưu hóa diện tích và giảm tiêu thụ điện năng, các thiết kế TCAM 14T và 12T đã được đề xuất thay thế cho cấu trúc TCAM 16T truyền thống. Mặc dù các thiết kế này có thể làm giảm độ ổn định của các hoạt động ghi và đọc, nhưng điều này không ảnh hưởng đáng kể đến hiệu năng của TCAM trong thực tế. Lý do là hoạt động ghi trong TCAM chỉ xảy ra khi cập nhật bảng, còn hoạt động đọc chủ yếu dùng để kiểm tra và phải là tác vụ chính trong quá trình vận hành bình thường. Do đó, để tập trung vào tối ưu hóa hiệu suất so sánh, chúng ta có thể loại bỏ mạch đọc dữ liệu khỏi thiết kế TCAM.

Bảng 3.9: Bảng trạng thái khối ô nhớ TCAM.

Ngõ vào				Ngõ ra
SL0	SL1	CB	MB	ML
0	1	0	1	1
0	1	1	0	0
1	0	1	0	1
1	0	0	1	0
1	0	0	1	0
x	x	0	0	0
x	x	1	1	1

Qua bảng thái trên khi dữ liệu so sánh SL0, SL1 đều là 0 hoặc 1 là các trường tìm kiếm không khả dụng. Khi ghi dữ liệu “0” là trường hợp không khả dụng kết quả tìm kiếm luôn không khớp, khi ghi dữ liệu “1” thì kết quả dạng “X” luôn cho kết quả tìm kiếm là khớp.

Có hai phương án thiết kế ô nhớ TCAM để ghi dữ liệu được đề xuất:

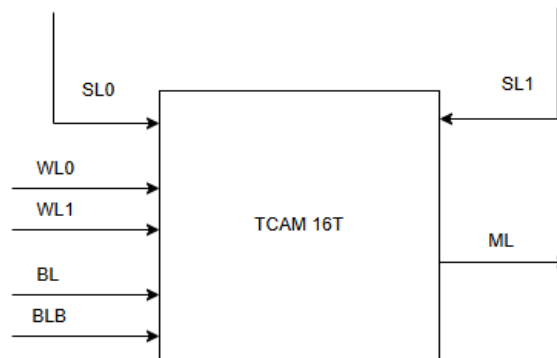
Hướng 1: Sử dụng một tín hiệu điều khiển duy nhất để ghi dữ liệu trong một lần. Cách này nhanh nhưng cần nhiều dữ liệu và mạch phức tạp hơn.

Hướng 2: Sử dụng hai tín hiệu điều khiển để ghi dữ liệu trong hai lần. Cách này chậm hơn một chút nhưng đơn giản hơn, ít tốn dữ liệu hơn và dễ thiết kế mạch.

Kết luận: Đồ án tốt nghiệp này sẽ thực hiện theo hướng 2, vì hướng này giảm độ phức tạp của mạch, giúp dễ dàng thiết kế và phân tích timing. Việc sử dụng hai đường điều khiển không chỉ đơn giản hóa mạch mà còn làm cho quá trình quản lý tín hiệu và điều phối xung nhịp trở nên hiệu quả hơn, phù hợp với các yêu cầu thiết kế.

3.4.1. Khối ô nhớ TCAM 16T truyền thống

Sơ đồ khối của TCAM 16T truyền thống như hình 3.18 với tổng 6 ngõ vào bao gồm ngõ vào điều khiển WL0 và WL1, 2 ngõ vào dữ liệu so sánh SL0 và SL1, 2 ngõ vào dữ liệu ghi BL và BLB, 1 ngõ ra ML.



Hình 3.18: Sơ đồ khối ô nhớ TCAM 16T truyền thống.

Nguyên lý hoạt động

Giai đoạn cập nhật dữ liệu:

Trong giai đoạn này, bộ giải mã chọn node cụ thể và gửi dữ liệu điều khiển đến các chân tín hiệu đầu vào WL0 và WL1. Hai tín hiệu này lần lượt được kích hoạt trong hai chu kỳ để cập nhật dữ liệu cho từng node.

Dữ liệu cần ghi vào, gồm hai tín hiệu BL (bit line) và BLB (bit line bổ sung), sẽ được lưu vào ô nhớ TCAM 16T. Quá trình ghi dữ liệu vào ô nhớ này tương tự như cách ghi dữ liệu vào ô nhớ SRAM 6T, chi tiết được mô tả tại mục 3.3.5.2 trong tài liệu tham khảo [19].

Giai đoạn so sánh:

Nếu dữ liệu trong ô nhớ khớp với dữ liệu so sánh, ML sẽ giữ nguyên ở mức V_{DD} (mức logic 1). Ngược lại, nếu dữ liệu không khớp, ML sẽ bị kéo xuống mức GND (mức logic 0) nhờ vào hoạt động của bốn transistor NMOS (N3, N4, N5, N6).

Dựa trên thiết kế TCAM 16T trong hình 3.19, dưới đây là một số gợi ý để chọn chiều rộng (W) cho các transistor nhằm đảm bảo thiết kế ổn định.

- 51

nhỏ để giảm độ trễ và tối ưu hóa tốc độ tìm kiếm. Việc sử dụng $W/L = 120/100$ cho các transistor N4, N5, N6, N7 giúp giảm thiểu tiêu thụ năng lượng và tiết kiệm diện tích, đồng thời duy trì tốc độ tìm kiếm nhanh, đặc biệt là khi không có kết quả khớp trong quá trình so sánh.

- Transistor PU (P0, P1, P2, P3) có kích thước $W/L = 120/100$, nhằm đảm bảo quá trình lưu trữ trạng thái "1" ổn định. Việc lựa chọn kích thước này giúp giảm tiêu thụ năng lượng đồng thời duy trì tính ổn định của mạch.
- Transistor PD (N0, N1, N2, N3) có kích thước $W/L = 720/100$, với mục tiêu ổn định quá trình lưu trữ trạng thái "0" và tạo ra độ ổn định cao trong việc xả các dòng BL trong quá trình đọc và ghi.
- Transistor NA (NA0, NA1, NA2, NA3) có kích thước $W/L = 360/100$, nhằm tối ưu hóa thời gian truy cập và giảm độ trễ trong quá trình ghi và đọc của SRAM.

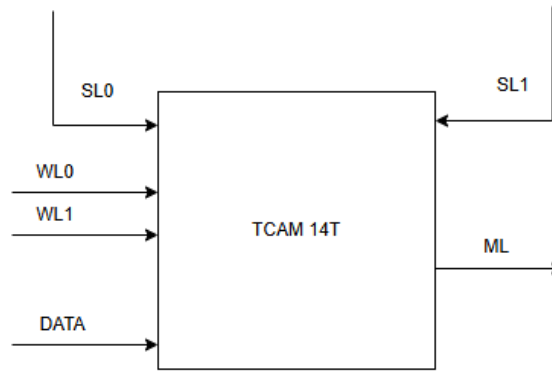
Việc lựa chọn kích thước transistor theo thứ tự $PU < AT < PD$ giúp tối ưu hóa hiệu suất của mạch và đạt được sự ổn định tối ưu trong quá trình ghi và đọc. Cụ thể, các nghiên cứu cho thấy rằng khi PR giảm và CR tăng, độ ổn định của mạch sẽ cao hơn. Dựa vào các phân tích và tính toán so sánh giữa SRAM 6T sử dụng công nghệ 90nm với điện áp cung cấp 1V trong [14] đã chỉ ra rằng, để có được độ ổn định tối ưu nhất trong nghiên cứu [14] là $CR=3$, $PR=0.5$.

Bảng 3.10: Kích thước của các transistor trong TCAM 16T truyền thống.

Tên	N0=N1=N2=N3	N4=N5=N6=N7	NA1=NA2=NA3=NA4	P0=P1=P2=P3
Length (nm)	100	100	100	100
Width (nm)	720	120	240	120

3.4.2. Khối ô nhớ TCAM 14T

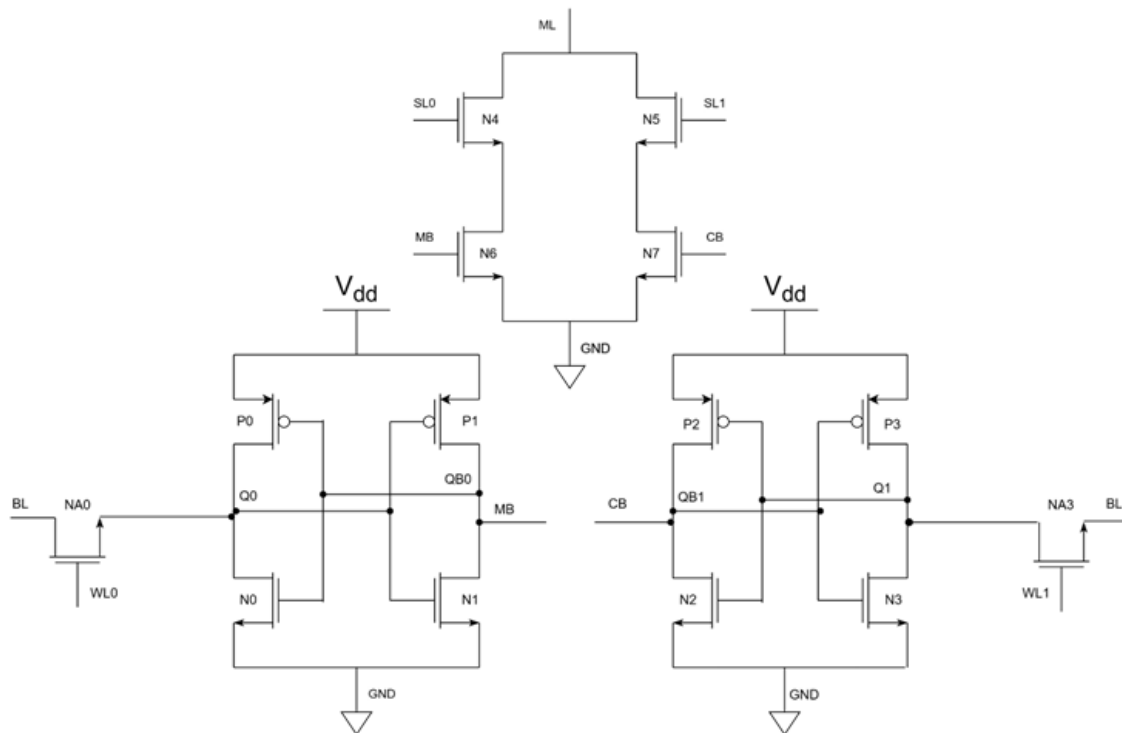
Sơ đồ khối của TCAM 14T như hình 3.20 với tổng 5 ngõ vào bao gồm ngõ vào điều khiển WL0 và WL1, 2 ngõ vào dữ liệu so sánh SL0 và SL1, 1 ngõ vào dữ liệu ghi DATA, 1 ngõ ra ML.



Hình 3.20: Sơ đồ khối ô nhớ TCAM 14T.

Nguyên lý hoạt động

Nguyên lý hoạt động của TCAM 14T tương tự với TCAM 16T đã nêu ở phần 3.3.6 a).



Hình 3.21: Sơ đồ nguyên lý ô nhớ TCAM 14T.

Dựa trên thiết kế SRAM 5T trong TCAM 14T trong hình 3.21, dưới đây là một số gợi ý để chọn chiều rộng (W) cho các transistor nhằm đảm bảo thiết kế ổn định.

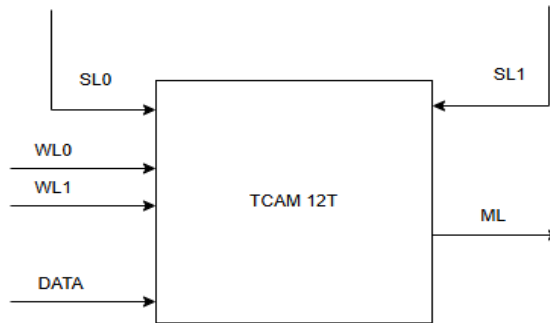
- Transistor so sánh (N4, N5, N6, N7): kích thước và lí do chọn tương tự TCAM 16T
- Transistor PU (P0, P1, P2, P3): có kích thước $W/L = 240/100$ để đảm bảo duy trì trạng thái "1" trong ô nhớ SRAM. Transistor PU cần có kích thước lớn hơn transistor PD (N0, N1) để cung cấp dòng điện đủ mạnh kéo BL lên mức V_{DD} hỗ trợ cho khả năng ghi bit "1" kém hiệu quả các transistor truy cập. Việc lựa chọn kích thước này giúp tối ưu hóa diện tích và hiệu suất của mạch.
- Transistor PD (N0, N1, N2, N3): có kích thước: $W/L = 120/100$ cho N0 và N1, $W/L = 300/100$ cho N2 và N3. Các transistor N0, N1 có nhiệm vụ lưu trữ trạng thái "0" trong SRAM. Kích thước N0, N2 nhỏ giúp đảm bảo rằng vẫn đủ mạch khi ghi và lưu trữ bit "0" thành công và bổ sung cho khả năng ghi bit "1" kém của SRAM 5T. Các transistor N2, N3 có nhiệm vụ xả dòng BL và ổn định trạng thái "0" trong ô nhớ. Do đó, chúng cần có kích thước lớn hơn để hỗ trợ khả năng xả nhanh, đồng thời đảm bảo quá trình ghi diễn ra hiệu quả. Việc chọn W/L lớn cho N2, N3 giúp tăng khả năng xả các dòng BL nhanh hơn, cải thiện hiệu suất và độ ổn định của quá trình ghi.
- Transistor NA (NA0, NA3): có kích thước $W/L = 350/100$ giúp các transistor NA0 và NA3 cung cấp đủ dòng điện cho việc ghi bit "1" thành vào ô nhớ, bù đắp lại nhược điểm khi mất đi transistor truy cập đối xứng giúp hỗ trợ lẫn nhau trong quá trình ghi và đọc các bit. Điều này giúp đảm bảo tốc độ ghi và đọc nhanh chóng và vẫn ổn định.

Bảng 3.11: Kích thước của các transistor trong TCAM 14T.

Tên	N0=N1	N2=N3	N4=N5=N6=N7	NA0=NA3	P0=P1=P2=P3
Length (nm)	100	100	100	100	100
Width (nm)	120	300	120	350	240

3.4.3. Khối ô nhớ TCAM 12T

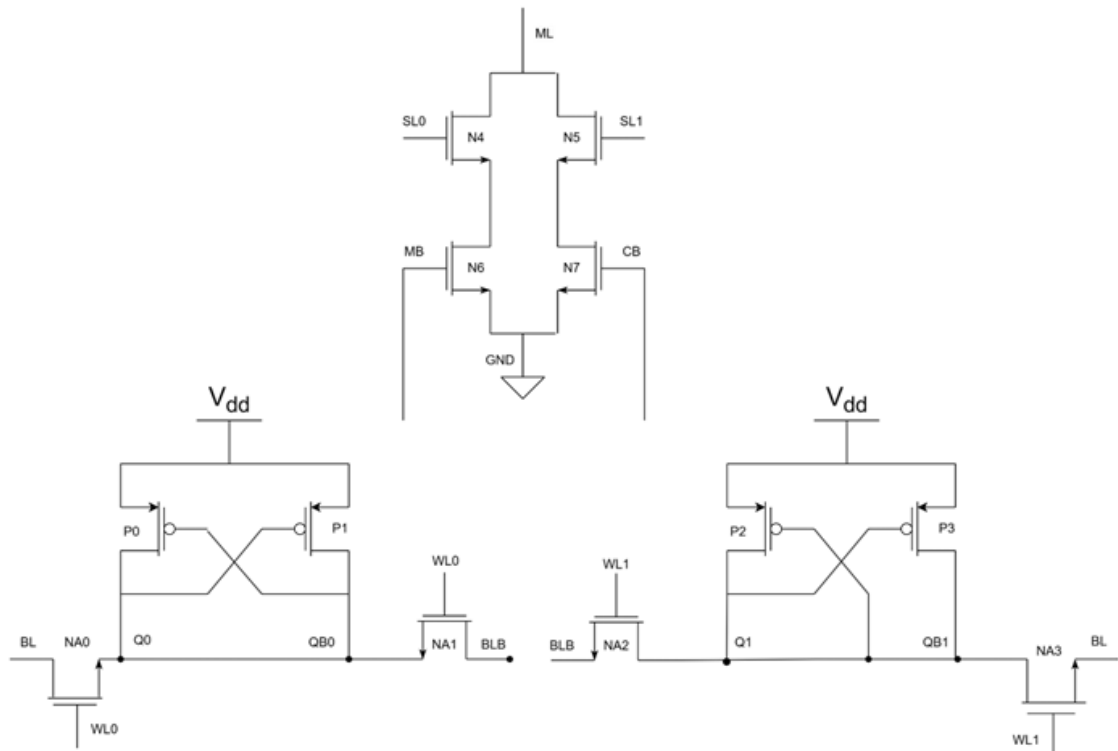
Sơ đồ khối của TCAM 14T như hình 3.22 với tổng 5 ngõ vào bao gồm ngõ vào điều khiển WL0 và WL1, 2 ngõ vào dữ liệu so sánh SL0 và SL1, 1 ngõ vào dữ liệu ghi DATA, 1 ngõ ra ML.



Hình 3.22: Sơ đồ khối ô nhớ TCAM 12T.

Nguyên lý hoạt động

Nguyên lý hoạt động của TCAM 12T tương tự với TCAM 16T đã nêu ở phần 3.3.6 a).



Hình 3.23: Sơ đồ nguyên lý ô nhớ TCAM 12T.

Dựa trên thiết kế SRAM 4T trong TCAM 12T trong hình 3.23, dưới đây là một số gợi ý để chọn tỉ lệ $CR=3$ cho các kết quả nhằm đảm bảo thiết kế ổn định được khảo sát trong nghiên cứu [13]

- Transistor so sánh (N4, N5, N6, N7): kích thước và lí do chọn tương tự TCAM 16T
- Transistor PU (P0, P1, P2, P3): có kích thước $W/L = 360/100$. Điều này giúp tăng cường khả năng dẫn dòng và ổn định ghi trạng bit "1" thành công. Trong các thiết kế SRAM, transistor kéo lên có vai trò quan trọng trong việc đảm bảo dòng đủ mạnh để duy trì trạng thái "1".
- Transistor NA (NA0, NA1, NA2, NA3): có kích thước $W/L = 120/100$ do các transistor truy cập là NMOS không gặp vấn đề quá lớn khi ghi bit "0" lên ta có thể giảm khả năng dẫn dòng của nó xuống để khi bên BLB ghi bit "0" thành công thì sẽ hỗ trợ transistor PMOS phía bên BL kéo Q lên V_{DD} để ghi bit "1" thành công.

Bảng 3.12: Kích thước của các transistor trong TCAM 12T.

Tên (Transistor)	P0=P1=P2=P3	NA0=NA1=NA2=NA3	N4=N5=N6=N7
Length (nm)	100	100	100
Width (nm)	360	120	120

3.5. Thiết kế bộ nhớ TCAM 4x4

Bộ nhớ TCAM 4x4 được xây dựng từ 16 ô nhớ, sắp xếp theo dạng ma trận 4x4, với mỗi ô lưu trữ một bit dữ liệu. Hệ thống này được hỗ trợ bởi các khối ngoại vi để quản lý và truy xuất dữ liệu, bao gồm:

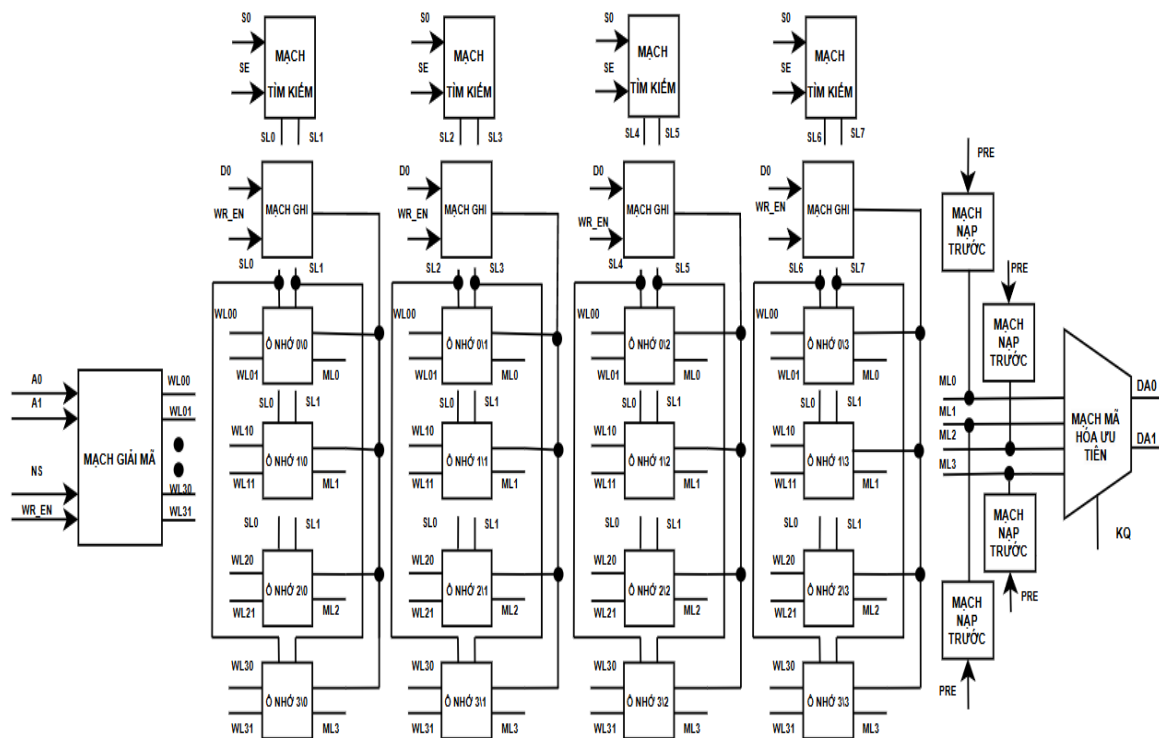
Khối giải mã TCAM, chịu trách nhiệm giải mã địa chỉ để chọn đúng hàng trong ma trận để ghi dữ liệu vào ô nhớ.

Bốn khối ghi và tìm kiếm, sắp xếp dọc theo từng cột, đảm bảo việc ghi và so sánh dữ liệu trong quá trình hoạt động.

Bốn khối nạp trước, sắp xếp theo từng hàng, giúp chuẩn bị dữ liệu cho quá trình tìm kiếm nhanh chóng.

Khối mã hóa ưu tiên, xác định và mã hóa kết quả tìm kiếm từ các hàng, trả về địa chỉ của kết quả phù hợp nhất.

Tất cả các thành phần này kết hợp lại tạo thành một bộ nhớ TCAM 4x4 hoàn chỉnh, như được minh họa trong hình 3.24.



Hình 3.24: Cấu trúc kết nối của TCAM 4x4.

CHƯƠNG 4: KẾT QUẢ

4.1. Mô hình mô phỏng

Nhóm đã sử dụng Cadence Virtuoso và công nghệ CMOS 90nm để mô phỏng và phân tích chi tiết các mạch TCAM. Các mô phỏng được thực hiện dưới điều kiện tiêu chuẩn: nhiệt độ 27°C và điện áp cung cấp $V_{DD}=1\text{V}$. Việc sử dụng các điều kiện chuẩn này giúp so sánh hiệu suất của các thiết kế TCAM khác nhau một cách khách quan và chính xác hơn.

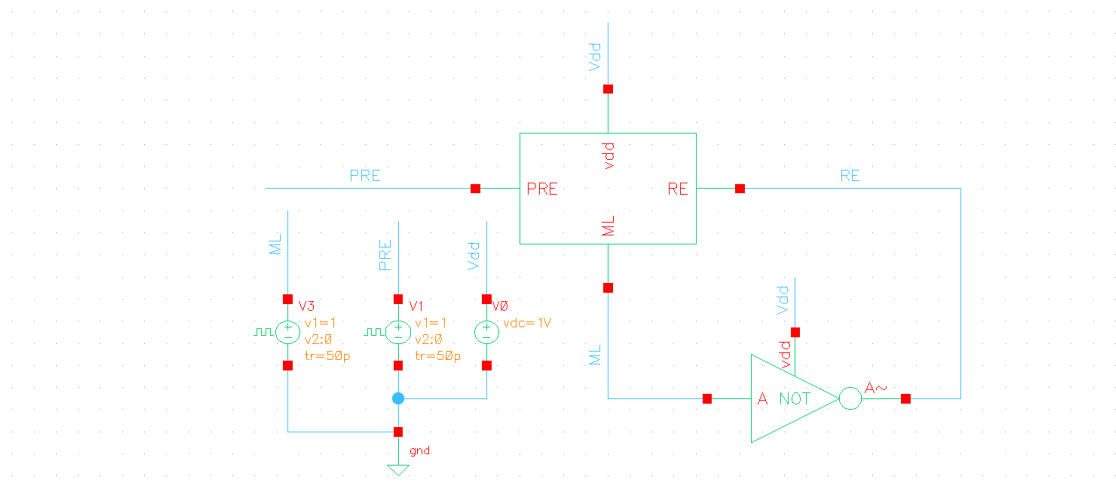
Bảng 4.1: Bảng thông tin các thông số cấp nguồn tín hiệu trong mô phỏng.

V0 (volt)	Điện áp ban đầu
V1 (volt)	Điện áp đỉnh
Tp (ns)	Chu kì của tín hiệu
Td (ps)	Điện áp trễ ban đầu
Tr (ps)	Thời gian cạnh lên
Tf (ps)	Thời gian cạnh xuống
Duty cycle (%)	Thời gian xung điện áp ở trạng thái HIGH trong một chu kỳ
Stop time (ns)	Thời gian dừng của mô phỏng

4.2. Khối ngoại vi

4.2.1. Khối nạp trước

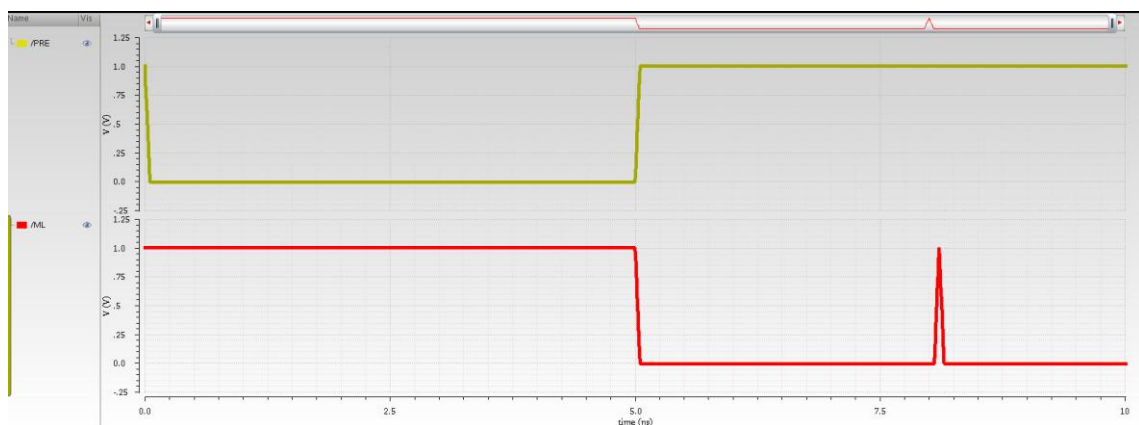
Mô phỏng kiểm tra nguyên lý hoạt động của mạch nạp trước với các nguồn và đặt tên tín hiệu như hình 4.1:



Hình 4.1: Mạch kiểm tra nguyên lý hoạt động của mạch nạp trước.

Bảng 4.2: Bảng thông tin các thông số cấp nguồn tín hiệu của mạch nạp trước.

	PRE	ML
V0 (volt)	1	1
V1 (volt)	0	0
Tp (ns)	10	3
Td (ns)	0	5
Tr (ps)	50	50
Tf (ps)	50	50
Duty cycle (%)	50	0
Stop time (ns)	10	



Hình 4.2: Dạng sóng mô phỏng hoạt động của mạch nạp trước.

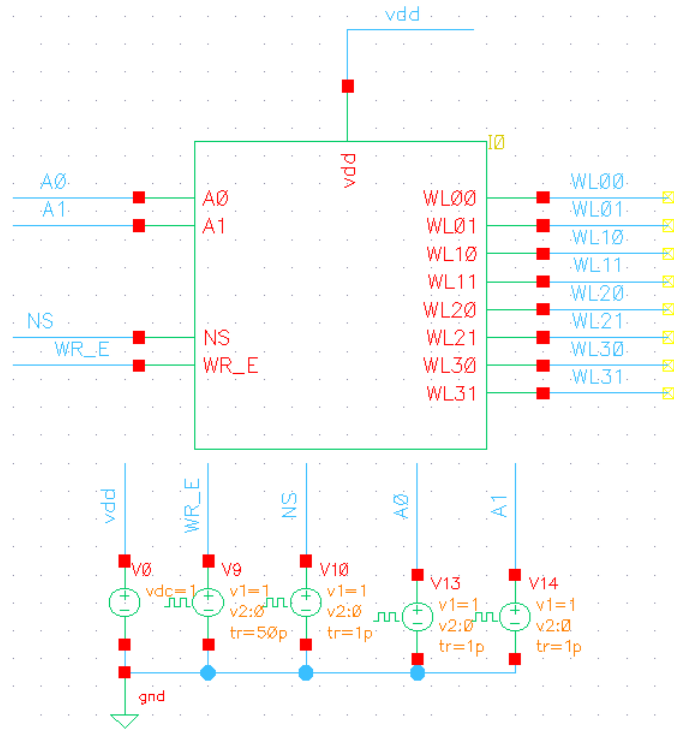
Bảng 4.3: Các giai đoạn hoạt động trong mô phỏng mạch nạp trước hình 4.2.

Khoảng thời gian (ns)	Tín hiệu PRE	Tín hiệu ML	Tín hiệu RE	Mô tả quá trình
0-5	0	Kéo lên V_{DD}	-	Tiền nạp, chuẩn bị dữ liệu
5-8	1	0	-	Gửi giá trị so sánh không khớp
8-8.15	1	0	1	Reset, chuẩn bị cho lần gửi tiếp theo
>8.15	1	0	-	Lặp lại quá trình từ 5-8ns

Từ bảng 4.3 phân tích hoạt động của mạch nạp trước trong khoảng 10(ns) mạch thiết kế đã hoạt động đúng với nguyên lý nêu ở mục 3.3.1.

4.2.2. Khối giải mã

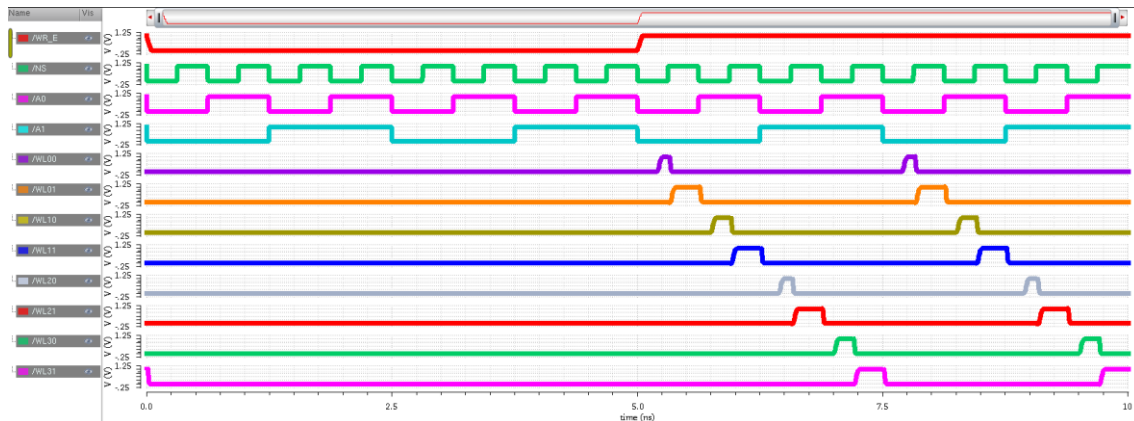
Mô phỏng kiểm tra nguyên lý hoạt động của mạch giải mã TCAM với các nguồn và đặt tên tín hiệu như hình 4.3 sau:



Hình 4.3: Mạch kiểm tra nguyên lý hoạt động của mạch giải mã TCAM.

Bảng 4.4: Bảng thông tin các thông số cấp nguồn tín hiệu của mạch giải mã.

	WR_EN	NS	A1	A0
V0 (volt)	1	1	1	1
V1 (volt)	0	0	0	0
Tp(ns)	10	0.625	2.5	1.25
Td (ns)	0	0	0	0
Tr (ps)	50	1	1	1
Tf (ps)	50	1	1	1
Duty cycle (%)	50	50	50	50
Stop time (ns)	10			



Hình 4.4: Dạng sóng mô phỏng của mạch giải mã TCAM.

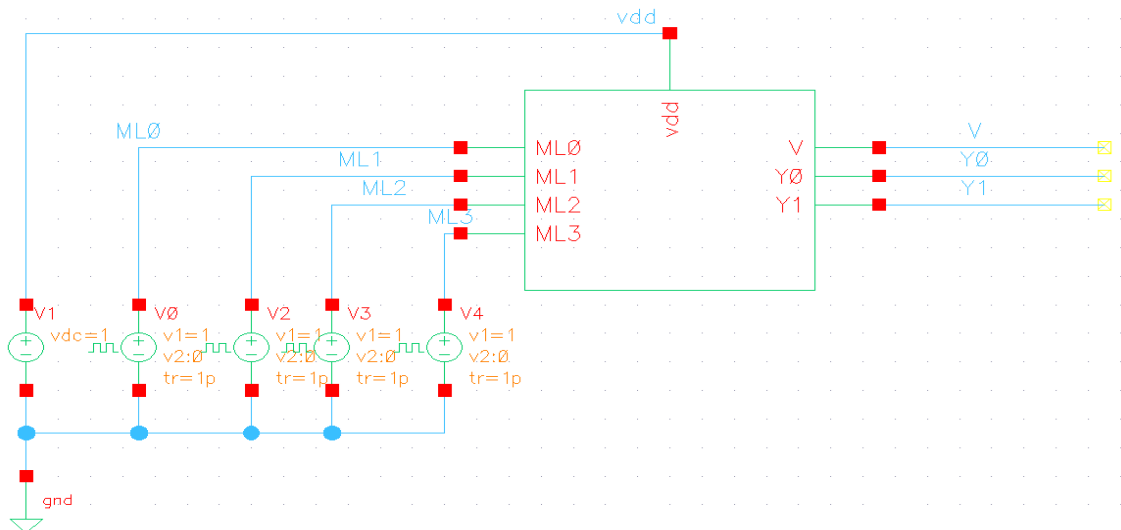
Bảng 4.5: Các giai đoạn hoạt động trong mô phỏng của mạch giải mã hình 4.4.

Khoảng thời gian (ns)	Tín hiệu WR_E	Mô tả quá trình
0-5	0	Chờ lệnh ghi
5-10	1	Chọn hàng và cột theo A1-A0

Từ bảng 4.5 phân tích mô phỏng hoạt động của mạch giải mã trong khoảng 10(ns) mạch thiết kế đã hoạt động đúng với nguyên lý nêu ở mục 3.3.2.

4.2.3. Khôi mã hoá ưu tiên

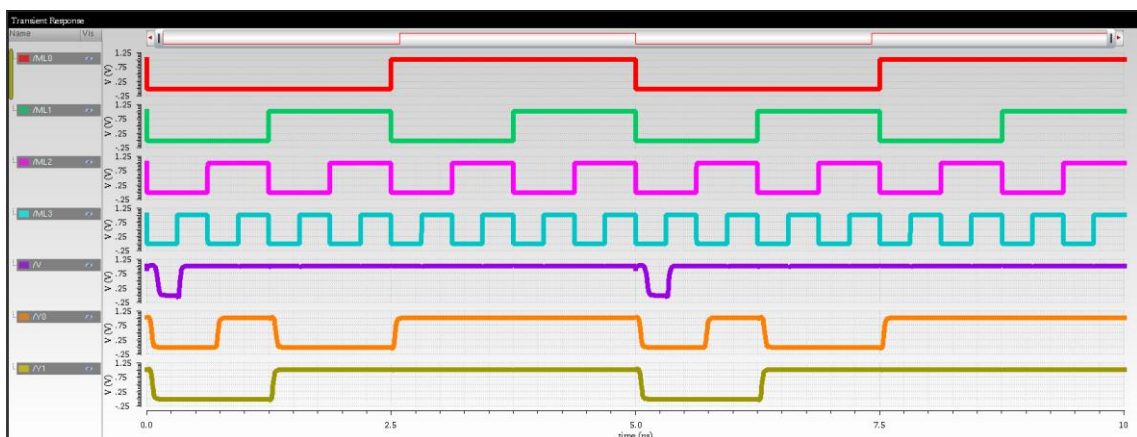
Mô phỏng kiểm tra nguyên lý hoạt động của mạch mã hoá ưu tiên TCAM với các nguồn và đặt tên tín hiệu như hình 4.5 sau:



Hình 4.5: Mạch kiểm tra nguyên lý hoạt động của mạch mã hoá ưu tiên TCAM.

Bảng 4.6: Bảng thông tin các thông số cấp nguồn tín hiệu của mạch mã hoá ưu tiên.

	ML3	ML2	ML1	ML0
V0 (volt)	1	1	1	1
V1 (volt)	0	0	0	0
Tp(ns)	0.625	1.25	2.5	5
Td (ns)	0	0	0	0
Tr (ps)	1	1	1	1
Tf (ps)	1	1	1	1
Duty cycle (%)	50	50	50	50
Stop time (ns)	10			



Hình 4.6: Dạng sóng mô phỏng của mạch mã hoá ưu tiên TCAM.

Bảng 4.7: Các giai đoạn hoạt động trong mô phỏng mạch mã hóa ưu tiên của hình 4.6.

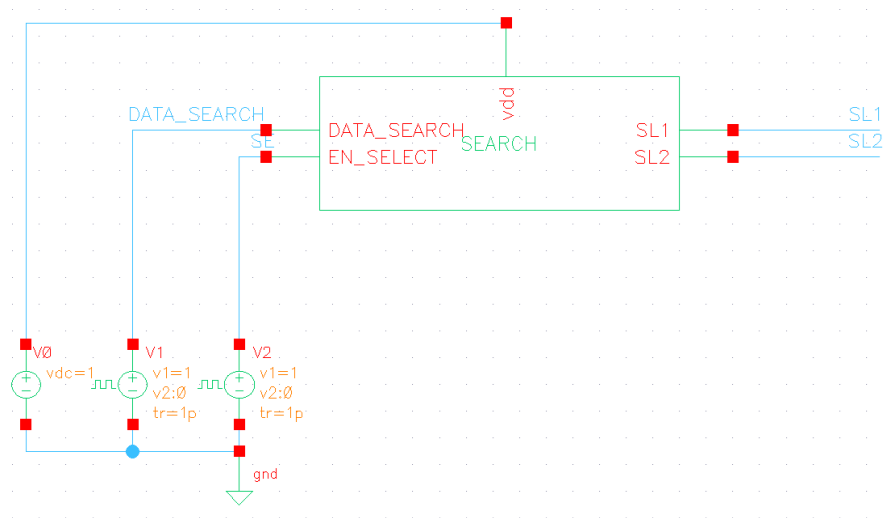
Khoảng thời gian (ns)	ML0	ML1	ML2	ML3	KQ	DA0	DA1
0-0.3125	0	0	0	0	0	-	-
0.3125-0.625	0	0	0	1	1	0	0
0.625-1.25	0	0	1	0	1	0	1
1.25-2.5	0	1	0	0	1	1	0
2.5-5	1	0	0	0	1	1	1

Mạch đã hoạt động đúng với nguyên lý nêu ở mục 3.3.3

Từ bảng 4.3 phân tích hoạt động của mạch nạp trước trong khoảng 10(ns) mạch thiết kế đã hoạt động đúng với nguyên lý nêu ở mục 3.3.1

4.2.4. Khối tìm kiếm

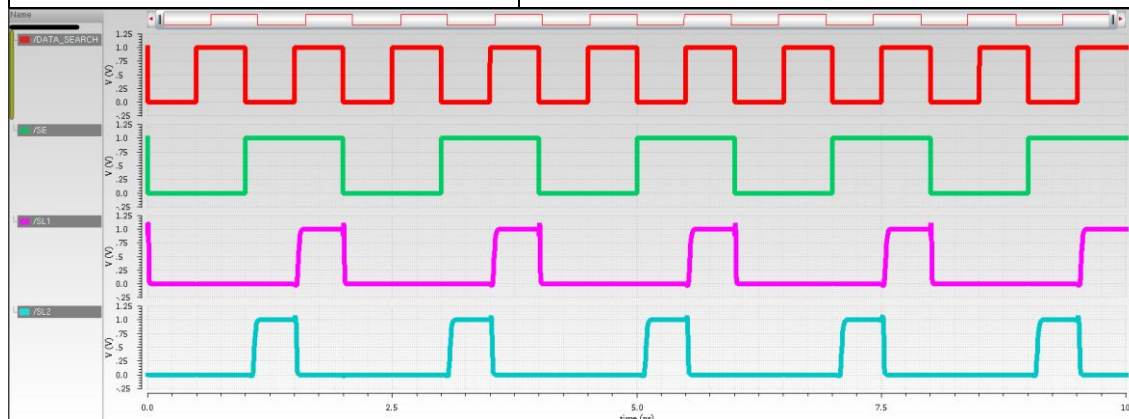
Mô phỏng kiểm tra nguyên lý hoạt động của mạch tìm kiếm TCAM với các nguồn và đặt tên tín hiệu như hình 4.7 sau:



Hình 4.7: Mạch kiểm tra nguyên lý hoạt động của mạch tìm kiếm TCAM.

Bảng 4.8: Bảng thông tin các thông số cấp nguồn tín hiệu của mạch tìm kiếm.

	COMPARE	SE
V0 (volt)	1	1
V1 (volt)	0	0
Tp(ns)	1	2
Td (ns)	0	0
Tr (ps)	1	1
Tf (ps)	1	1
Duty cycle (%)	50	50
Stop time (ns)	10	



Hình 4.8: Dạng sóng mô phỏng của mạch tìm kiếm TCAM.

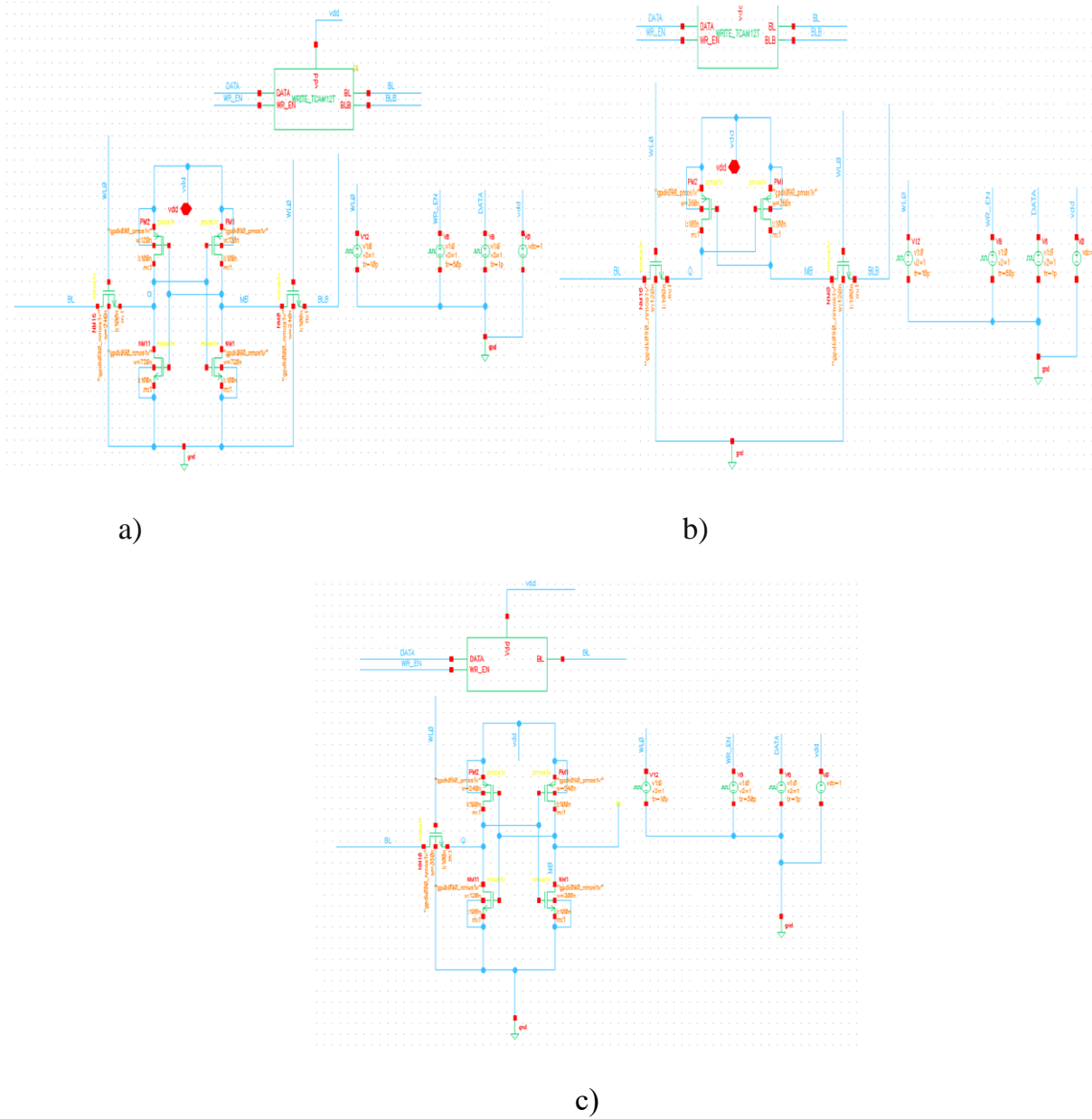
Bảng 4.9: Các giai đoạn hoạt động trong mô phỏng mạch tìm kiếm của hình 4.8.

Khoảng thời gian (ns)	Tín hiệu SE	Tín hiệu COMPARE	Tín hiệu SL0	Tín hiệu SL1	Mô tả quá trình
0-1	0	-	0	0	Mạch không hoạt động
1-1.5	1	0	0	1	Cho phép tìm kiếm, không tìm thấy khớp
1.5-2	1	1	1	0	Cho phép tìm kiếm, tìm thấy khớp
2-10	0	-	0	0	Mạch reset

Từ bảng 4.9 phân tích hoạt động mạch tìm kiếm thiết kế đã hoạt động đúng với nguyên lý nêu ở mục 3.3.4.

4.2.5. Khối ghi dữ liệu

Mô phỏng kiểm tra nguyên lý hoạt động của 2 loại mạch ghi: một mạch cho TCAM 16T, 12T và mạch còn lại cho TCAM 14T với các nguồn và đặt tên tín hiệu như hình 4.9 sau:

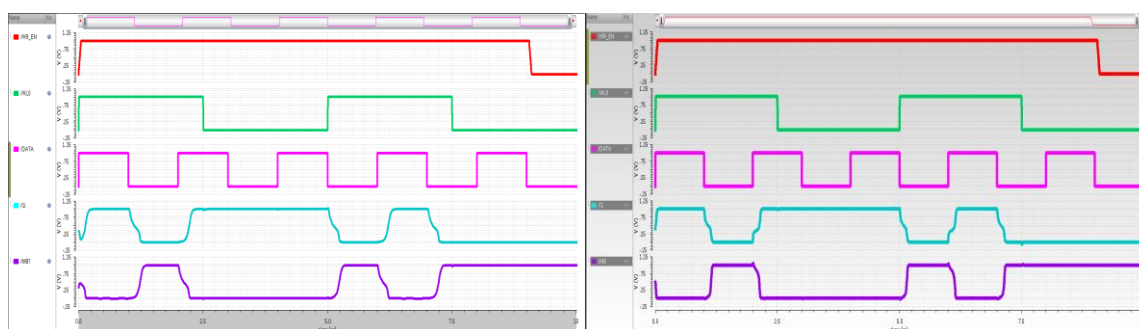


Hình 4.9: Mạch kiểm tra nguyên lý hoạt động của hai loại mạch ghi:

a) TCAM 16T, b) TCAM 12T, c) TCAM 14T.

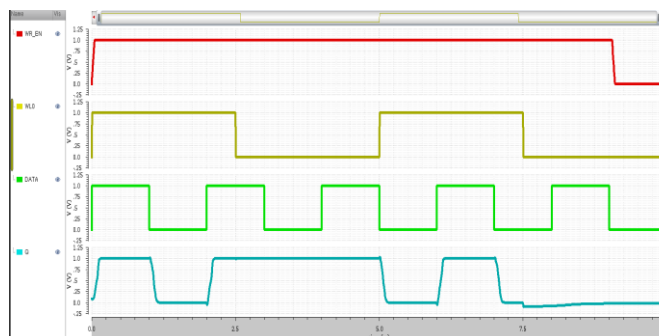
Bảng 4.10: Bảng thông số cấp nguồn tín hiệu của hai loại mạch ghi TCAM.

	WL0	WR_E	DATA
V0 (volt)	0	0	0
V1 (volt)	1	1	1
Tp(ns)	5	10	2
Td (ns)	0	0	0
Tr (ps)	10	50	1
Tf (ps)	10	50	1
Duty cycle (%)	50	90	50
Stop time (ns)	10		



a)

b)



c)

Hình 4.10: Dạng sóng mô phỏng của hai loại mạch ghi TCAM:

a) TCAM 16T, b) TCAM 14T, c) TCAM 12T.

Nhìn chung hai loại mạch ghi như trên hình 4.10 đều cho ra kết quả mô phỏng của hoạt động 3 loại TCAM tự tương nhau khi cấp cùng nguồn mô ph.

Bảng 4.11: Các giai đoạn ô phỏng của hình 4.10

Khoảng thời gian (ns)	WR_EN	WL0	DATA	Q	MB	Mô tả quá trình
0-2.5	1	1	1	1	0	Ghi giá trị 1 vào ô SRAM thứ nhất
2.5-5	1	0	1	1	0	Giá trị được lưu vào ô SRAM thứ nhất
5-9	1	Lặp lại các thao tác ghi
9-10	0	-	-	-	-	Hoàn thành quá trình cập nhật

Từ bảng 4.11 phân tích hoạt động của hai loại mạch ghi trên 3 loại TCAM, thiết kế cho ra kết quả mô phỏng hoạt động đúng với nguyên lý đã nêu ở mục 3.3.5.

Dựa vào các thông số cấp nguồn đã nêu ở các bảng 4.2, 4.4, 4.6, 4.8, 4.10 của các khối ngoại vi, ta có thể tính toán công suất tiêu thụ trung bình trong vòng 10ns thông qua việc dùng hàm average trong phần mềm Cadence Virtuoso ta thu được bảng số liệu bên dưới.

Bảng 4.12: Công suất tiêu thụ trung bình trong 10ns của các khối ngoại vi TCAM.

Công suất tiêu thụ trung bình của các khối ngoại vi (μW)	TCAM 16T	TCAM 14T	TCAM 12T
Khối nạp trước	2.056		
Khối giải mã	25.54		
Khối mã hóa ưu tiên	5.268		
Khối tìm kiếm	5.025		
Khối ghi dữ liệu	8.105	3.356	5.036

4.3. Khối ô nhớ TCAM

Đo lường và đánh giá hiệu năng:

WSNM và RSNM: phản ánh khả năng chịu nhiễu và độ ổn định của ô nhớ TCAM trong quá trình ghi và đọc dữ liệu. Hai thông số này giúp xác định mức độ đáng tin cậy của mạch khi vận hành.

Hoạt động chính xác, độ trễ, công suất tiêu thụ: đây là các chỉ số giúp đánh giá hiệu suất tổng thể của ô nhớ TCAM. Độ trễ ảnh hưởng đến khả năng xử lý tốc hoạt động của mạch, công suất tiêu thụ phản ánh mức độ hiệu quả năng lượng, trong khi hoạt động chính xác đảm bảo tính đúng đắn của dữ liệu trong quá trình hoạt động của mạch.

Với mục tiêu so sánh một cách khách quan và công bằng nhất các loại ô nhớ TCAM, nhóm đã thiết lập môi trường mô phỏng ở điều kiện tiêu chuẩn và cấp cùng nguồn tín hiệu mô phỏng: điện áp cung cấp **1V**, nhiệt độ **27°C** và tần số hoạt động **500MHz** cho 3 loại ô nhớ TCAM như bảng 4.13 bên dưới.

Bảng 4.13: Bảng thông số cấp nguồn tín hiệu mô phỏng của 3 loại ô nhớ TCAM.

	DATA_SEARCH	SE	PRE	WL0	WL1	WR_EN	DATA
V0 (volt)	1	1	0	0	0	0	1
V1 (volt)	0	0	1	1	1	1	0
Tp(ns)	8	10	4	10	10	10	2
Td (ns)	0	0	0	0	1.5	0	0
Tr (ps)	1	50	10	10	10	50	1
Tf (ps)	1	50	10	10	10	50	1
Duty cycle (%)	50	60	75	15	15	30	50
Stop time (ns)	10						

Bằng cách phân tích các chỉ số này, nhóm nghiên cứu sẽ có một cái nhìn chi tiết và khách quan nhất, từ đó rút ra ưu và nhược điểm của từng thiết kế ô nhớ. Điều này sẽ là cơ sở để đưa ra các nhận xét cải tiến hoặc lựa chọn giải pháp tối ưu hơn.

Thiết kế layout:

Sau khi đảm bảo rằng mạch hoạt động chính xác qua các bước mô phỏng, nhóm nghiên cứu sẽ bước vào giai đoạn thiết kế layout – một bước quan trọng để chuyển đổi từ sơ đồ mạch lý thuyết sang bản thiết kế cụ thể có thể sản xuất.

Các bước chính trong thiết kế layout:

Đọc sơ đồ nguyên lý: Kỹ sư sẽ nghiên cứu kỹ sơ đồ mạch ở chế độ "read-only" để hiểu rõ chức năng và cấu trúc của mạch. Đây là bước nền tảng để đảm bảo sự chính xác và giảm thiểu các sai sót không đáng có trong quá trình vẽ layout.

Đặt linh kiện: Các linh kiện sẽ được đặt trên layout với một bố cục hợp lý, đảm bảo tuân thủ các nguyên tắc thiết kế mạch điện. Sự sắp xếp cần ưu tiên tính đối xứng để cải thiện độ ổn định và giảm nhiễu tín hiệu, đảm bảo hiệu năng hoạt động tối ưu.

Kiểm tra DRC: Sau khi hoàn tất việc đặt linh kiện và routing, nhóm sẽ tiến hành chạy kiểm tra DRC nhằm đảm bảo mọi khoảng cách, kích thước, và vị trí linh kiện trên layout đều đáp ứng các quy tắc thiết kế của công nghệ chế tạo 90nm CMOS, giúp phát hiện và khắc phục kịp thời các lỗi tiềm ẩn trước khi sản xuất.

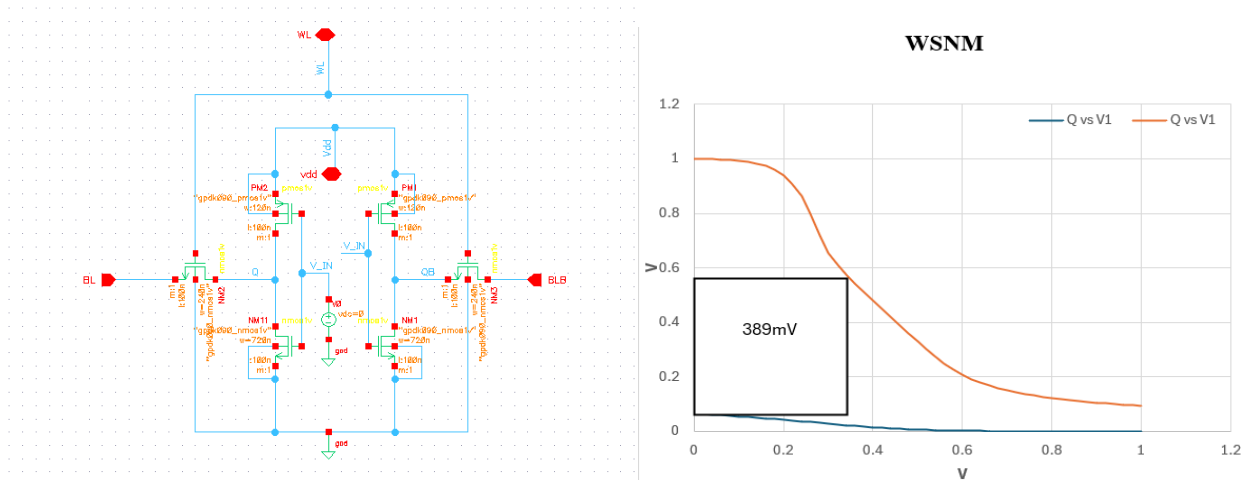
Kiểm tra LVS: Cuối cùng, kỹ sư sẽ tiến hành kiểm tra LVS để đảm bảo layout khớp hoàn toàn so với sơ đồ nguyên lý. Nếu phát hiện sai sót, cần nhanh chóng điều chỉnh layout để đạt yêu cầu thiết kế, đảm bảo tính chính xác và hiệu quả của mạch.

Tối ưu hóa layout: Để tạo ra layout tối ưu nhất, nhóm nghiên cứu sẽ áp dụng các chiến lược và đưa ra bản thiết kế layout với diện tích phù hợp nhất nhóm có thể vẽ được.

4.3.1. Khối ô nhớ TCAM 16T truyền thống

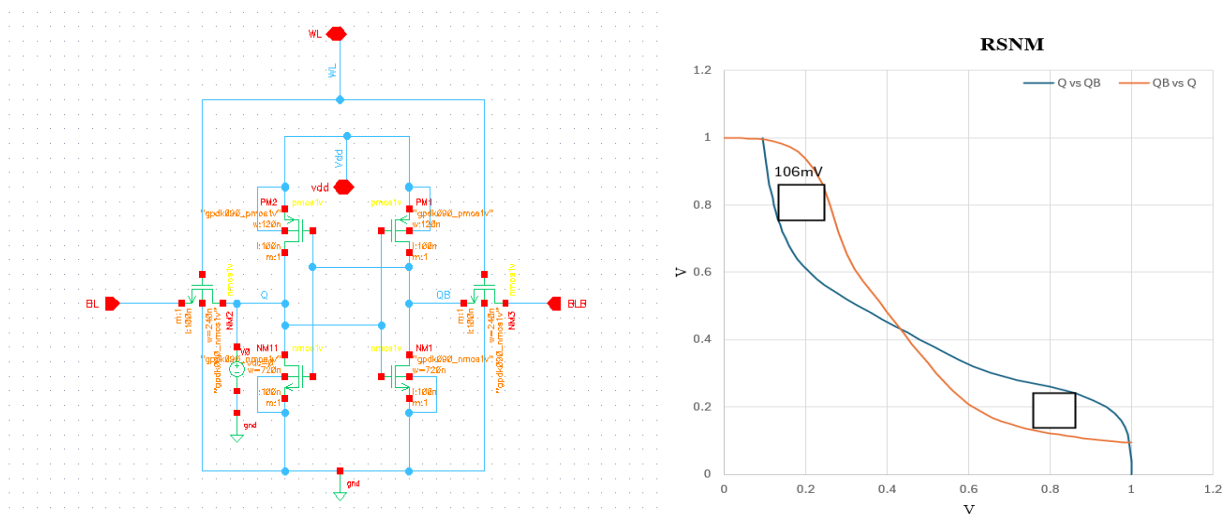
a) SNM của ô nhớ TCAM 16T truyền thống

WSNM: Được xác định trong giai đoạn ghi, khi tín hiệu $WL = 1$. Giá trị WSNM dựa trên đặc tuyến truyền điện áp (VTC) của hai nửa mạch SRAM 6T, thông qua việc tìm độ dài của cạnh hình vuông lớn nhất có thể vẽ bên trong đường cong VTC (hình 4.11). Kết quả này đại diện cho khả năng chịu nhiễu của mạch trong quá trình ghi.



Hình 4.11: Mạch kiểm tra và đồ thị VTC WSNM của ô nhớ TCAM 16T truyền thống.

RSNM: Được đo trong giai đoạn đọc, khi tín hiệu WL = 1. Giá trị RSNM xác định dựa trên đồ thị VTC đối lập giữa Q và QB (Hình 4.11). Đây là chỉ số phản ánh khả năng chịu nhiễu của ô nhớ trong quá trình đọc dữ liệu.



Hình 4.12: Mạch kiểm tra và đồ thị VTC RSNM của ô nhớ TCAM 16T truyền thống.

b) Hoạt động của ô nhớ TCAM 16T truyền thống

Mô phỏng kiểm tra nguyên lý hoạt động của ô nhớ TCAM 16T truyền thống với các nguồn và đặt tên tín hiệu như hình 4.13 sau:

- Từ 3-4 ns (tiền nạp trước): Đường PRE được kéo lên mức logic "1" để chuẩn bị cho hoạt động so sánh.
- Từ 4-7 ns (so sánh không khớp): Dữ liệu tìm kiếm DATA_SEARCH=0 không khớp với nội dung lưu trữ Q=1 và QB=0, kết quả trả về ML=0.
- Từ 7-8 ns (tái nạp trước): Đường PRE được kích hoạt, kéo tín hiệu ML=0ML=0ML=0 trở lại mức logic "1".
- Từ 8-10 ns (so sánh tiếp theo): Chu kỳ hoạt động lặp lại với cùng kết quả so sánh không khớp.

Mạch đã hoạt động đúng với nguyên lý nêu ở mục 3.3.5 a). Tiếp theo đây nhóm tiến hành tính toán công suất tiêu thụ trung bình của ô nhớ TCAM 16T truyền thống trong quá trình so sánh.

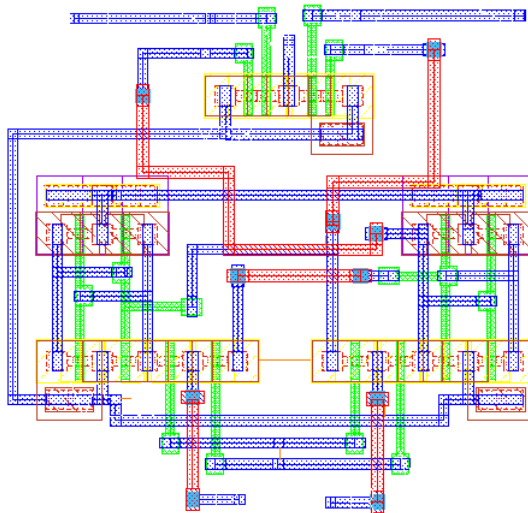
Công suất tiêu thụ trung bình của ô nhớ TCAM 16T truyền thống trong khoảng thời gian 10ns với tần số hoạt động của mạch là 500 MHz ta thu được kết quả như bảng 4.9.

Bảng 4.14: Độ trễ, công suất của ô nhớ TCAM 16T truyền thống.

	Ghi 0	Ghi 1	Tìm kiếm
Delay (ns)	0.124	0.241	1.78
Công suất tiêu thụ trung bình (μ W)	x		15.01

c) Thiết kế layout ô nhớ TCAM 16T truyền thống

Sau khi hoàn tất và vượt qua các bước kiểm tra, nhóm thiết kế đã tối ưu diện tích layout đạt kích thước **5.05 μ m \times 5.97 μ m** như hình 4.15.

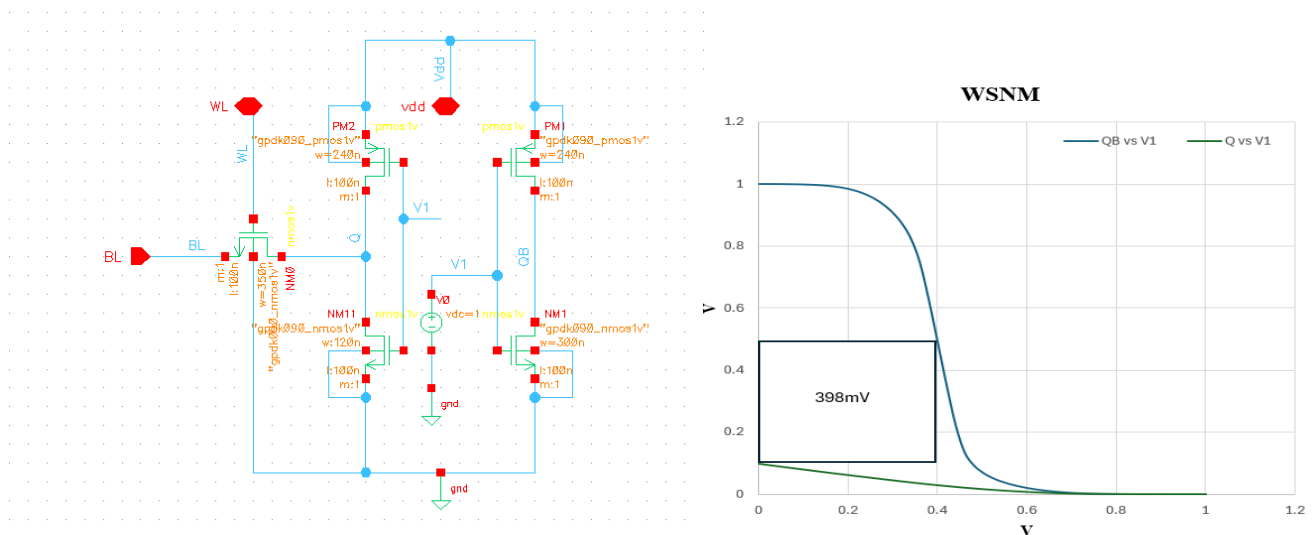


Hình 4.15: Thiết kế layout của ô nhớ TCAM 16T truyền thống.

4.3.2. Khối ô nhớ TCAM 14T

a) SNM của ô nhớ TCAM 14T

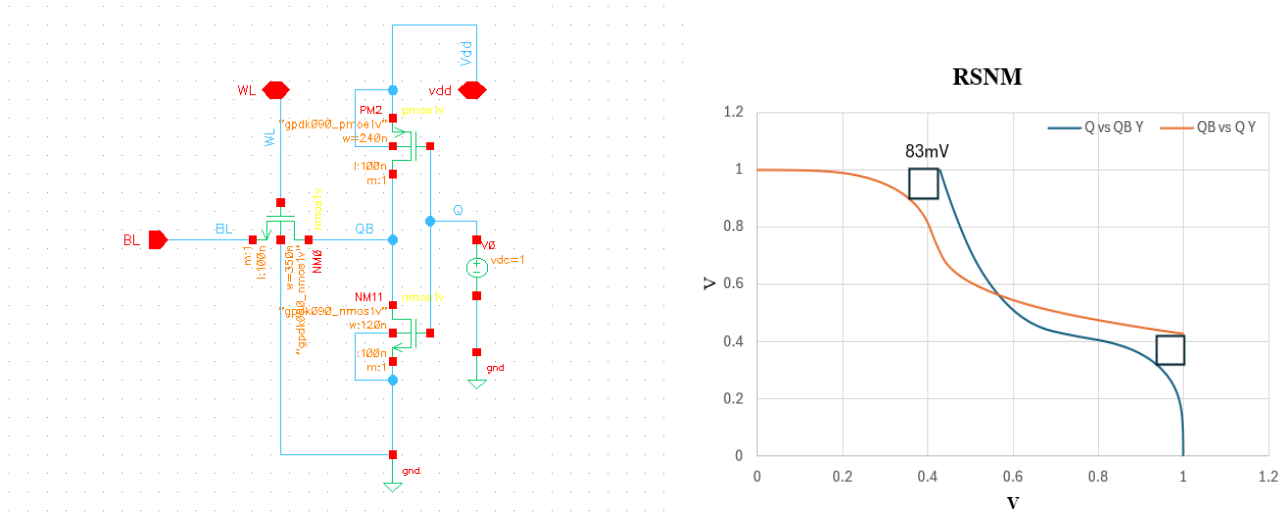
WSNM: Quá trình đo WSNM của TCAM 14T được thực hiện trong giai đoạn ghi, tương tự như TCAM 16T, nhưng thay vì sử dụng hai đường BL và BLB, TCAM 14T chỉ sử dụng một đường BL. Khi đường WL được kích hoạt ở mức logic “1”, transistor truy cập mở, cho phép dữ liệu được ghi vào ô nhớ qua đường BL. Từ đó ta thu được đồ thị VTC như hình 4.22.



Hình 4.16: Mạch kiểm tra và đồ thị VTC WSNM của ô nhớ TCAM 14T.

RSNM: Quá trình đo RSNM được thực hiện trong giai đoạn đọc. Khi đường WL=1, transistor truy cập mở, nội dung lưu trữ trong ô nhớ được kết nối với đường

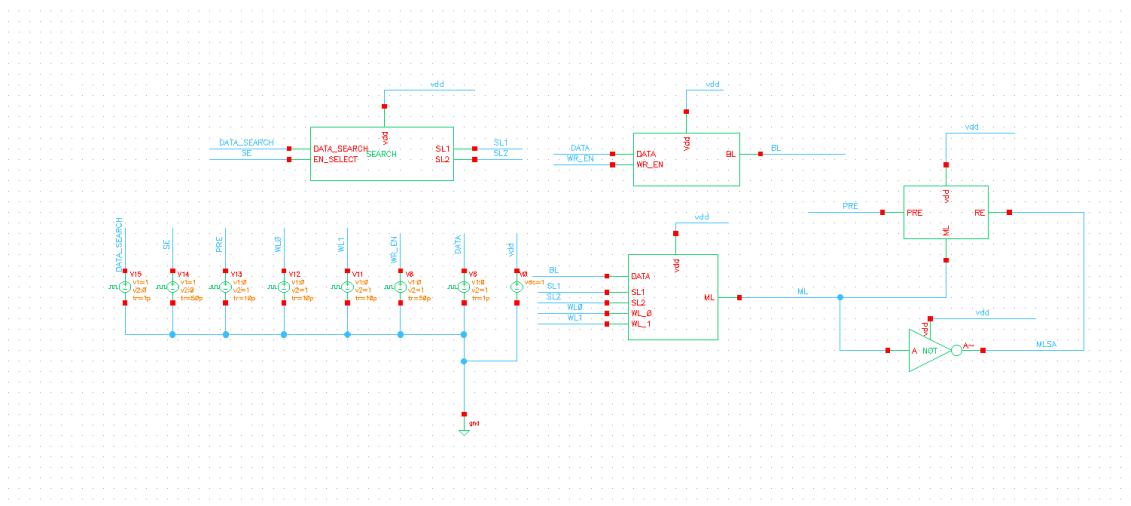
BL. Ở trạng thái này, RSNM được xác định bằng cách tìm độ dài cạnh hình vuông lớn nhất giữa hai đường đặc tuyến VTC (hình 4.17) đối lập của các nút lưu trữ Q và QB.



Hình 4.17: Mạch kiểm tra RSNM của ô nhớ TCAM 14T.

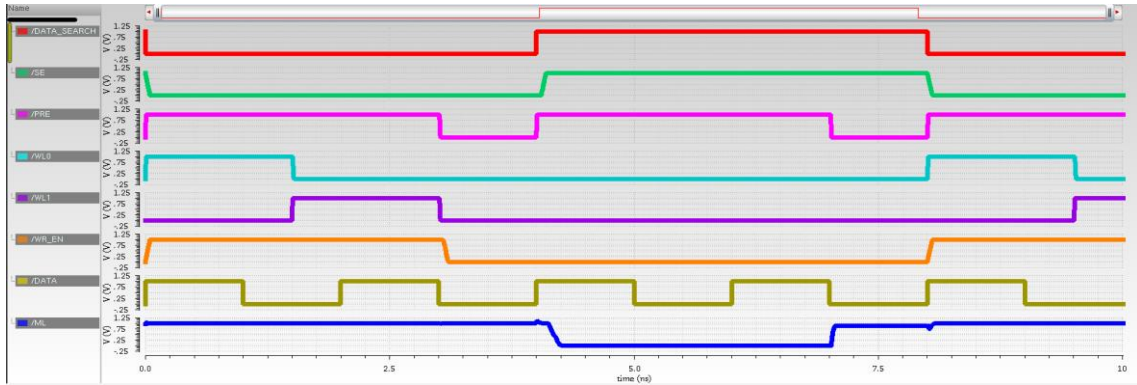
b) Hoạt động của ô nhớ TCAM 14T

Mô phỏng kiểm tra nguyên lý hoạt động của ô nhớ TCAM 14T với các nguồn và đặt tên tín hiệu như hình 4.18 sau:



Hình 4.18: Mạch kiểm tra nguyên lý hoạt động so sánh của TCAM 14T.

Mạch kiểm tra hoạt động của ô nhớ TCAM 14T hình 4.18 gồm 4 khối: gồm một bộ ghi TCAM 14T, ô nhớ TCAM 14T, một bộ tìm kiếm, một bộ nạp trước.



Hình 4.19: Dạng sóng hoạt động của TCAM 14T diễn ra tìm kiếm không khớp.

Quá trình mô phỏng hoạt động hình 4.19 được chia thành các giai đoạn:

- Từ 0-3 ns (ghi dữ liệu): Lần lượt ghi dữ liệu vào hai ô SRAM 5T trong mạch TCAM 14T thông qua đường BL và kích hoạt tín hiệu WL0, WL1. Kết quả dữ liệu cuối cùng được lưu là $Q=1$, $QB=0$.
- Từ 3-4 ns (tiền nạp trước): Đường PRE được kéo lên mức logic “1” để chuẩn bị cho hoạt động so sánh.
- Từ 4-7 ns (so sánh không khớp): Dữ liệu tìm kiếm $DATA_SEARCH=0$ không khớp với nội dung lưu trữ $Q=1$ và $QB=0$, kết quả trả về $ML=0$.
- Từ 7-8 ns (tái nạp trước): Đường PRE được kích hoạt, kéo tín hiệu $ML=0$ trở lại mức logic “1”.
- Từ 8-10 ns (so sánh tiếp theo): Chu kỳ hoạt động lặp lại.

Mạch đã hoạt động đúng với nguyên lý nêu ở mục 3.3.5 b). Tiếp theo đây nhóm tiến hành tính toán công suất tiêu thụ trung bình của ô nhớ TCAM 14T trong quá trình so sánh.

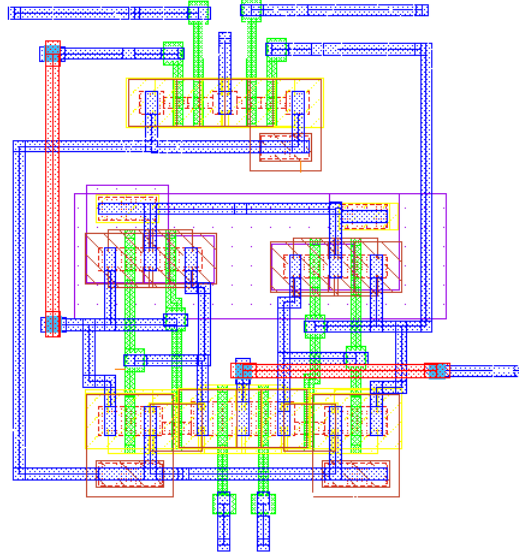
TCAM 14T trong khoảng thời gian 10ns với tần số hoạt động của mạch là 500MHz ta thu được các kết quả như bảng 4.15.

Bảng 4.15: Độ trễ, công suất của ô nhớ TCAM 14T.

	Ghi 0	Ghi 1	Tìm kiếm không khớp
Delay (ns)	0.884	0.18	1.178
Công suất tiêu thụ trung bình (μW)	x		12.87

c) Thiết kế layout ô nhớ TCAM 14T

Sau khi hoàn tất và vượt qua các bước kiểm tra, nhóm thiết kế đã tối ưu diện tích layout đạt kích thước $5.02 \mu\text{m} \times 3.28 \mu\text{m}$ như hình 4.20.

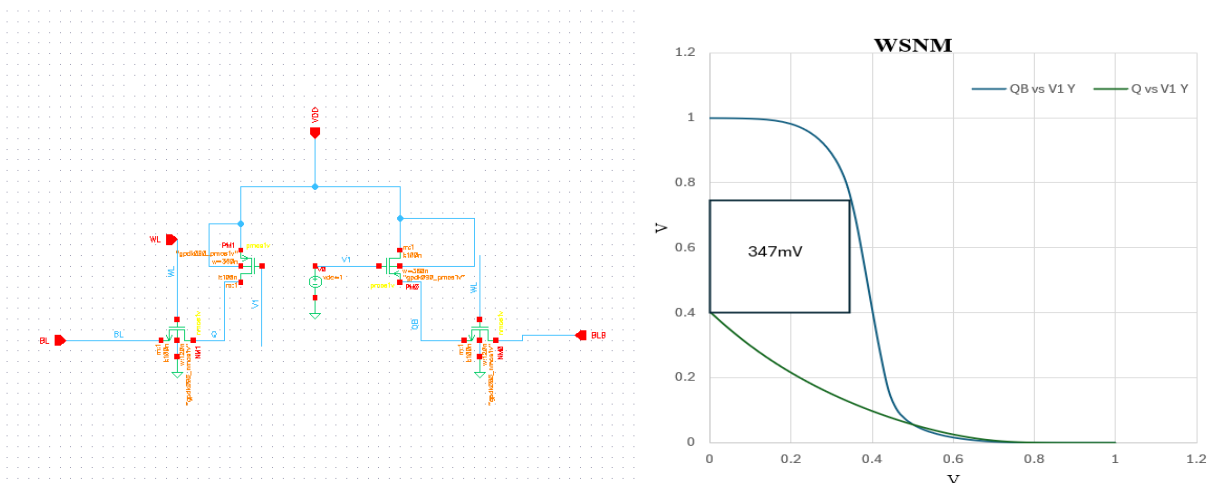


Hình 4.20: Thiết kế layout của ô nhớ TCAM 14T.

4.3.3. Khối ô nhớ TCAM 12T

a) SNM của ô nhớ TCAM 12T

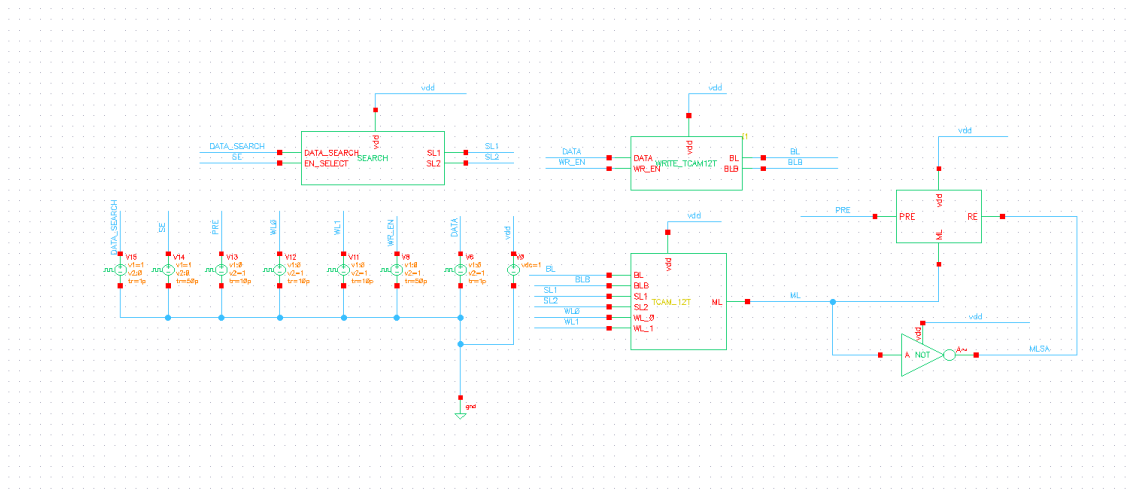
WSNM: Quá trình đo WSNM diễn ra trong giai đoạn ghi của ô nhớ TCAM 12T tương tự với quá trình đo WSNM của TCAM 16T truyền thống và thu được đồ thị VTC (hình 4.21).



Hình 4.21: Mạch kiểm tra và đồ thị VTC WSNM của ô nhớ TCAM 12T.

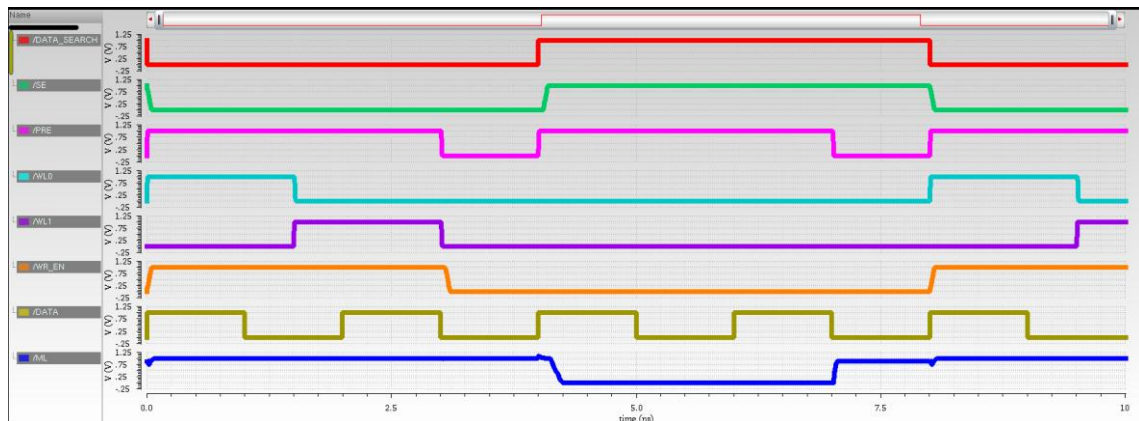
[illegible]

Mô phỏng kiểm tra nguyên lý hoạt động của ô nhớ TCAM 12T với các nguồn và đặt tên tín hiệu như hình 4.23 sau:



Hình 4.23: Mạch kiểm tra nguyên lý hoạt động so sánh của TCAM 12T.

Mạch kiểm tra hoạt động của ô nhớ TCAM 12T như hình 4.23 gồm 4 khối: gồm một bộ ghi TCAM 12T, ô nhớ TCAM 12T, một bộ tìm kiếm, một bộ nạp trước.



Hình 4.24: Dạng sóng hoạt động của TCAM 12T diễn ra tìm kiếm không khớp.

Quá trình mô phỏng hoạt động hình 4.24 được chia thành các giai đoạn:

- Từ 0-3 ns (ghi dữ liệu): Lần lượt ghi dữ liệu vào hai ô SRAM 4T trong mạch TCAM 12T thông qua đường BL và kích hoạt tín hiệu WL0, WL1. Kết quả dữ liệu cuối cùng được lưu là Q=1, QB=0.
- Từ 3-4 ns (tiền nạp trước): Đường PRE được kéo lên mức logic “1” để chuẩn bị cho hoạt động so sánh. Lúc này, WR_EN=0, PRE=0, SE=0, ML=1.
- Từ 4-7 ns (so sánh không khớp): Dữ liệu tìm kiếm DATA_SEARCH=0 không khớp với nội dung lưu trữ Q=1 và QB=0, kết quả trả về ML=0.
- Từ 7-8 ns (nạp trước): Đường PRE được kích hoạt, kéo tín hiệu ML=0 trở lại mức logic “1”.
- Từ 8-10 ns (so sánh tiếp theo): Chu kỳ hoạt động lặp lại với kết quả so sánh không khớp.

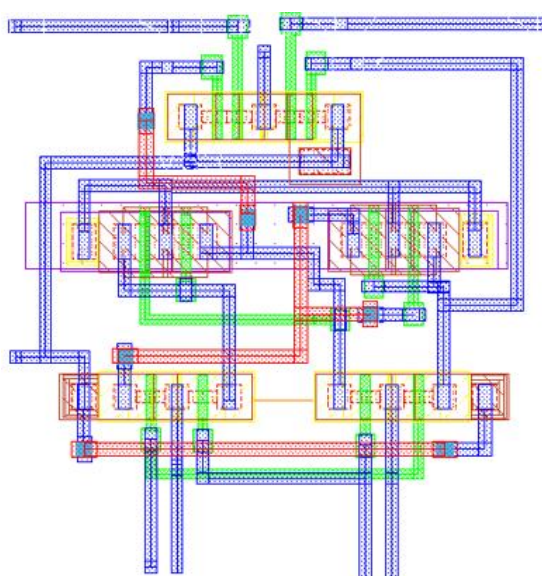
Mạch đã hoạt động đúng với nguyên lý nêu ở mục 3.3.5 c). Tiếp theo đây nhóm tiến hành tính toán công suất tiêu thụ trung bình của ô nhớ TCAM 12T trong quá trình so sánh.

Bảng 4.16: Độ trễ, công suất của ô nhớ TCAM 12T.

	Ghi 0	Ghi 1	Tìm kiếm
Delay (ns)	0.882	0.771	1.170
Công suất tiêu thụ trung bình (μW)	x		9.967

c) Thiết kế layout của ô nhớ TCAM 12T

Sau khi hoàn tất và vượt qua các bước kiểm tra, nhóm thiết kế đã tối ưu diện tích layout đạt kích thước $4.26 \mu\text{m} \times 4.52 \mu\text{m}$ như hình 4.25.



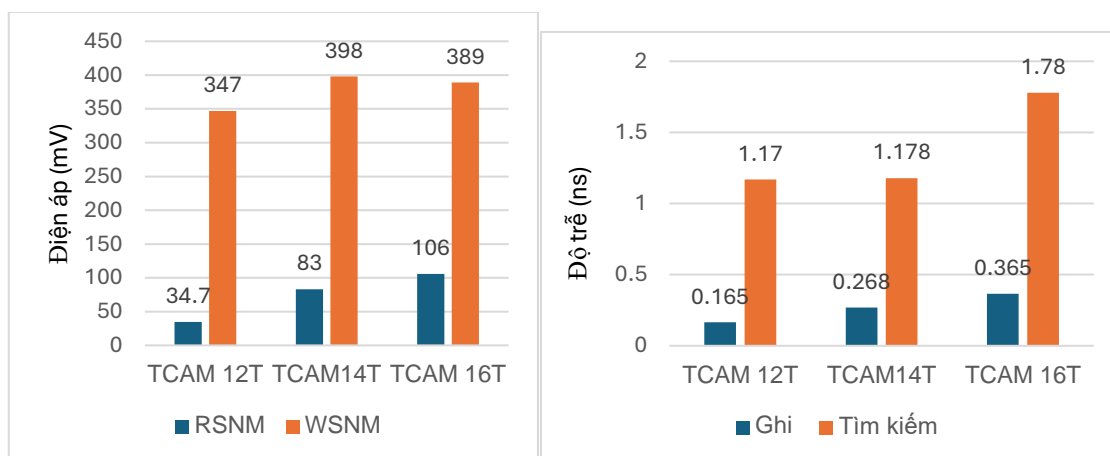
Hình 4.25: Thiết kế layout của ô nhớ TCAM 12T.

Đối với layout TCAM 12T sau khi đã được nhóm tối ưu diện tích dù đã giảm số lượng transistor xuống nhưng do các transistor không có đường tín hiệu được kết nối chung giữa các cực của PMOS với PMOS và NMOS với NMOS nên nhóm không thể xếp chồng chúng lại sát nhau như TCAM 14T, TCAM16T dẫn đến diện tích TCAM 12T có phần lớn hơn so với TCAM 14T.

4.4 . So sánh và lựa chọn thiết kế

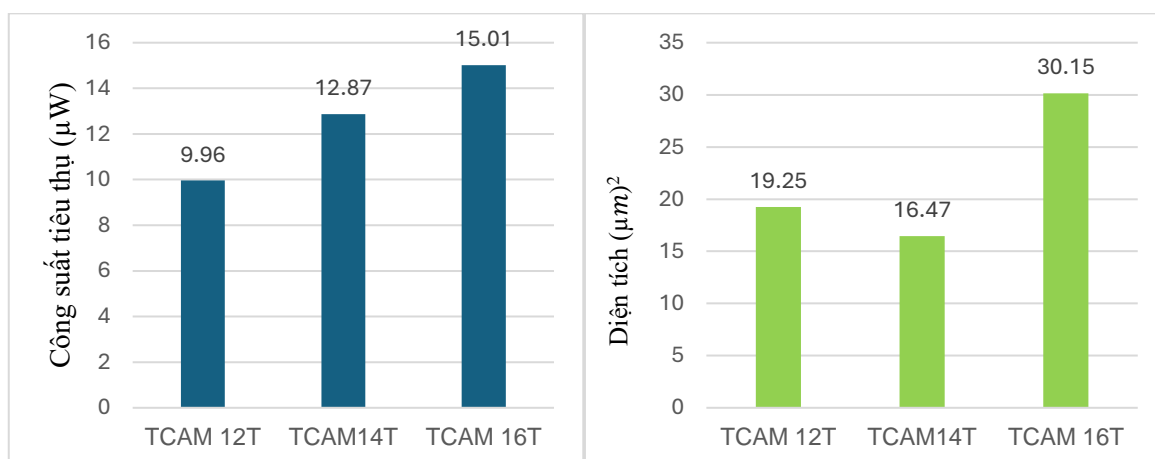
Kết quả các đồ thị về biên độ nhiễu, độ trễ, công suất tiêu thụ và diện tích tối ưu của 3 loại TCAM thu được từ các thông số đã đo đạc của các thiết kế ô nhớ ở mục 4.3 với điện áp cung cấp **1V**, nhiệt độ **27°C** và tần số hoạt động **500MHz** lần lượt được thể hiện qua bốn biểu đồ hình 4.26 bên dưới.

So sánh



a)

b)



c)

d)

Hình 4.26: Thiết kế TCAM 12T, TCAM 14T, TCAM 16T:

- a) Biên độ nhiễu trong hoạt động đọc và ghi, b) Độ trễ trong hoạt động ghi và tìm kiếm, c) Công suất tiêu thụ, d) Diện tích sau tối ưu.

Dựa vào các biểu đồ hình 4.26 ta có thể rút ra các nhận xét sau:

TCAM 12T: TCAM 12T mang lại lợi thế đáng kể về thời gian trễ và công suất tiêu thụ, với hiệu suất vượt trội so với các thiết kế TCAM 14T và 16T. Tuy nhiên, điểm yếu chính của thiết kế này là khả năng chịu nhiễu khi đọc dữ liệu, giảm mạnh tới **67.26%** so với TCAM 16T. Điều này dẫn đến rủi ro cao hơn về sai số khi đọc dữ liệu, khiến TCAM 12T không đảm bảo độ tin cậy cần thiết cho các ứng dụng thực tế. Vì vậy, TCAM 12T không được ưu tiên sử dụng trong các thiết kế TCAM hiện đại.

TCAM 16T: là loại TCAM được sử dụng phổ biến nhất hiện nay. Nguyên nhân chính là thiết kế này đạt được sự cân bằng tốt giữa các thông số quan trọng. Tất cả những yếu tố này giúp TCAM 16T đáp ứng tốt các yêu cầu thực tế trong các ứng dụng. Đây cũng là lý do tại sao TCAM 16T trở thành tiêu chuẩn phổ biến trong ngành công nghiệp.

TCAM 14T: TCAM 14T mang lại sự cân bằng tốt giữa hiệu năng và tiết kiệm tài nguyên so với TCAM 16T. Cụ thể, thời gian trì hoãn mỗi lần tìm kiếm không khớp giảm **33.82%**, công suất tiêu thụ giảm **14.26%**, và diện tích chiếm dụng giảm **45.39%**. Tuy nhiên, nhược điểm chính của TCAM 14T là độ ổn định khi đọc giảm **21.7%**, khiến thiết kế này kém tin cậy hơn TCAM 16T trong một số ứng dụng đòi hỏi độ chính xác cao.

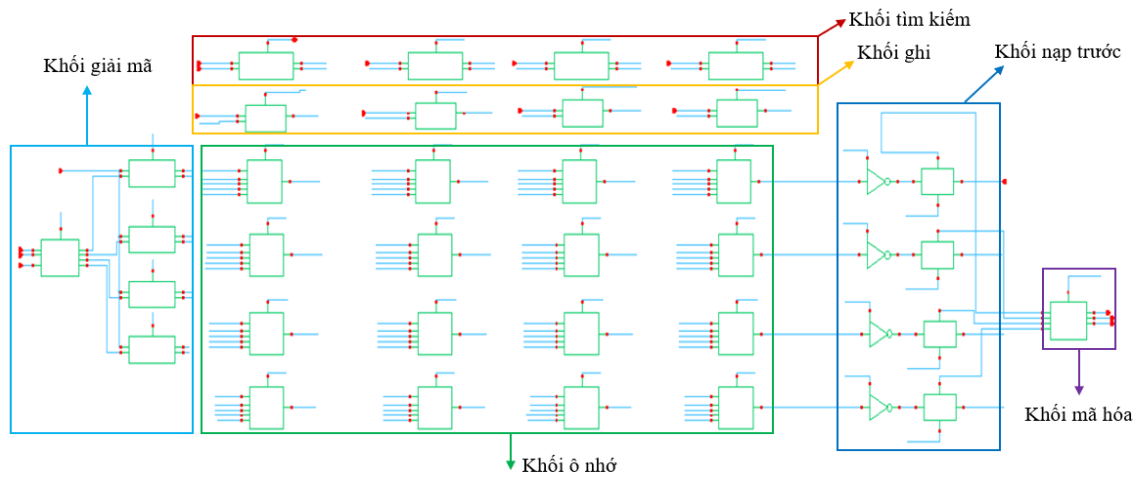
Kết luận lựa chọn thiết kế

TCAM 14T được xem là một giải pháp thiết kế mới, được nghiên cứu bởi nhóm như một sự thay thế tiềm năng cho TCAM 16T truyền thống. Trong các ứng dụng TCAM, trạng thái so sánh là hoạt động chiếm ưu thế và quan trọng nhất, độ ổn định khi đọc trong những tình huống không phải tác vụ thường xuyên trong các ứng dụng thực tế của TCAM. Vì vậy, sự đánh đổi một phần độ ổn định khi đọc để cải thiện đáng kể các thông số khác của TCAM 14T so với TCAM 16T có thể chấp nhận được. Dựa trên các kết quả phân tích, nhóm quyết định chọn loại thiết kế của ô nhớ TCAM 14T để xây dựng bộ nhớ TCAM 4x4 trong đồ án tốt nghiệp này. Lựa chọn này không chỉ giúp giảm diện tích chiếm giữ trên chip và năng lượng tiêu thụ mà còn cải thiện hiệu năng tổng thể, phù hợp với mục tiêu tối ưu hóa thiết kế của nhóm đặt ra.

4.5. Bộ nhớ TCAM 4x4

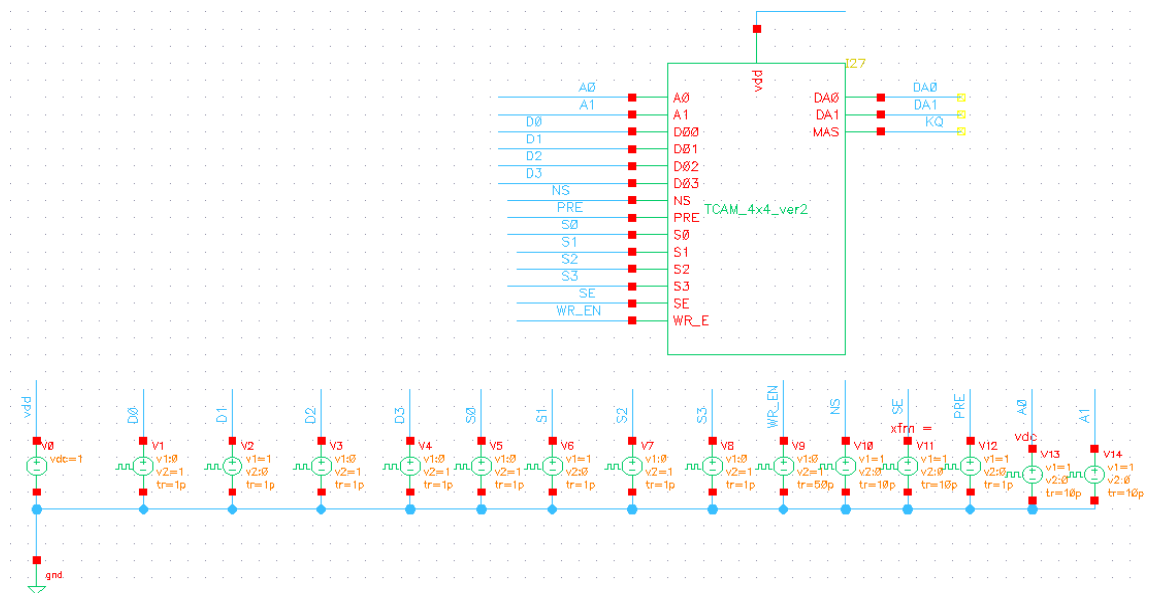
4.5.1. Hoạt động của bộ nhớ TCAM 4x4

Dựa trên sơ đồ nguyên lý chi tiết các kết nối của bộ nhớ TCAM 4x4 như hình 3.24 ta có được thiết kế bộ nhớ TCAM 4x4 trong phần mềm mô phỏng Cadence Virtuoso như hình 4.28 bên dưới.

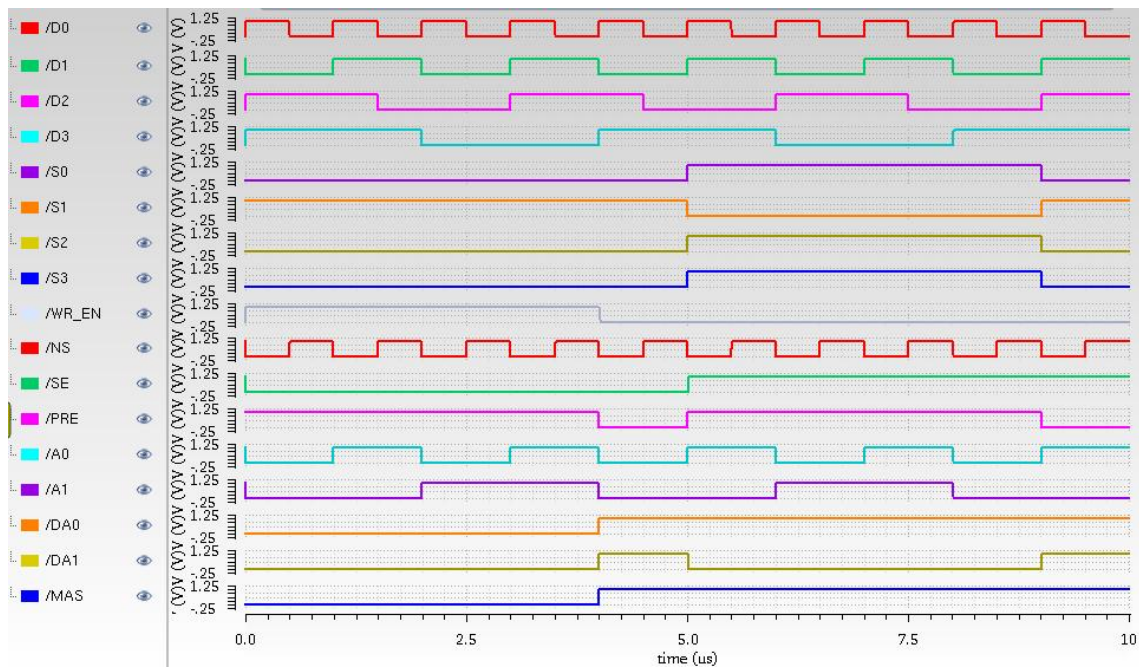


Hình 4.27: Sơ đồ nguyên lý của thiết kế bộ nhớ TCAM 4x4.

Mạch mô phỏng kiểm tra nguyên lý hoạt động của bộ nhớ TCAM 4x4 với các nguồn và đặt tên tín hiệu như hình 4.28 sau:



Hình 4.28: Mạch kiểm tra nguyên lý hoạt động của bộ nhớ TCAM 4x4.



Hình 4.29: Dạng sóng hoạt động của bộ nhớ TCAM 4x4.

Quá trình mô phỏng hoạt động của bộ nhớ TCAM 4x4 trong vòng 10μs với điện áp cung cấp **1V**, nhiệt độ **27°C**, tần số hoạt động **1 MHz** như trên hình 4.29 được chia thành các giai đoạn:

- Giai đoạn cập nhật bảng từ 0- 4 μs: các giá trị được ghi vào bảng ma trận ô nhớ 4x4 như trên hình 4.29. Để cho dễ quan sát và phân tích các giá trị lưu vào các địa chỉ ô nhớ cụ thể sẽ được biểu diễn qua bảng 4.17 sau.

Bảng 4.17: Bảng dữ liệu cập nhật dữ liệu vào ô nhớ.

Hàng 1	1	N/A	X	X
Hàng 2	1	N/A	N/A	N/A
Hàng 3	1	X	1	X
Hàng 4	1	X	X	N/A

- Giai đoạn tiền nạp trước 4-5 μs: các tín hiệu điều khiển ghi ngưng hoạt động, tín hiệu PRE tích cực mức “0” kéo các đường ML lên VDD.
- Giai đoạn so sánh 5-8 μs: các tín hiệu tìm kiếm được gửi đến với giá trị S0, S1, S2, S3= 1011. Lúc này KQ=1 nghĩa là báo có kết quả tìm kiếm trong ma trận ô nhớ TCAM 4x4. DA1, DA0 = 01 tức giá trị tìm kiếm cho kết quả khớp ở tín hiệu ML2 tương ứng với hàng 3 của ma trận ô nhớ 4x4.

- Giai đoạn nạp trước 8-10 μs : các chân ML của các hàng được kéo lên lại V_{DD} .

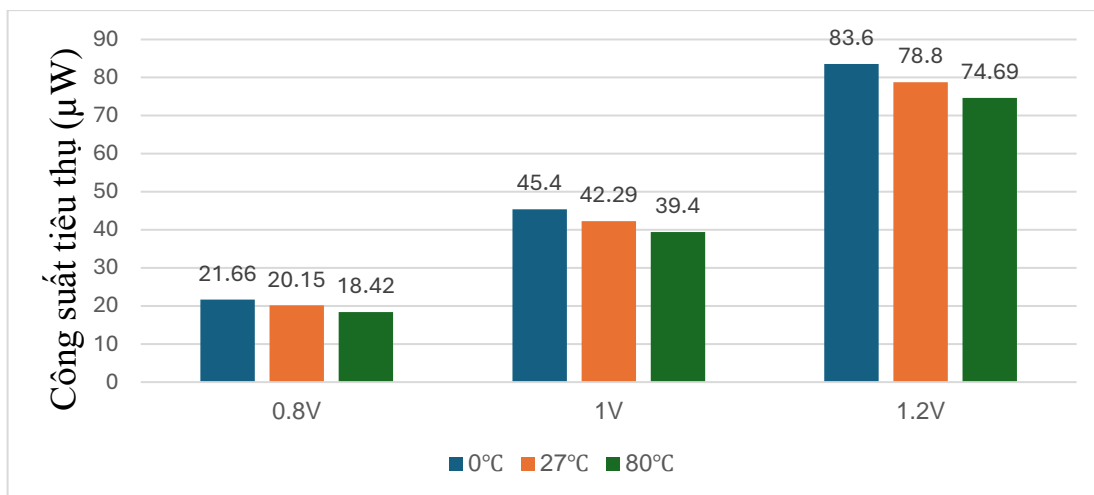
Mô phỏng hoạt động của bộ nhớ TCAM 4x4 như hình 4.29 trong khoảng thời gian 10 μs , đã được nhóm kiểm tra kỹ lưỡng tất các địa chỉ ô nhớ có lưu đúng giá trị của nó ở các node lưu trữ Q, QB của hai SRAM trong một ô nhớ TCAM hay không, từ dữ liệu được ghi vào ở các chân D0, D1, D2, D3 để cho ra bảng dữ liệu 4.17. Các đường ML0, ML1, ML2, ML3 cũng đã được nhóm khảo sát xem mạch đã cho ra kết quả so sánh đúng chưa từ đó cho ra kết quả so sánh khớp ở ML2 trong khoảng thời 5-8 μs .

4.5.2. Các yếu tố ảnh hưởng đến công suất của bộ nhớ TCAM 4x4

Nhiều nghiên cứu đã chỉ ra rằng nhiệt độ có ảnh hưởng đáng kể đến các tính chất điện của chất bán dẫn, đặc biệt là khả năng dẫn điện. Khi nhiệt độ tăng, số lượng các điện tử tự do trong chất bán dẫn cũng tăng, điều này dẫn đến sự giảm sút của điện trở. Tuy nhiên, với những chất bán dẫn có độ pha tạp cao như loại được sử dụng trong chế tạo transistor, sự gia tăng số lượng điện tử tự do không đủ để bù đắp cho sự suy giảm độ linh động của chúng. Do đó, khi nhiệt độ cao hiệu quả dẫn điện của transistor bị suy giảm. Bên cạnh đó, nhiệt độ cao còn làm giảm điện áp ngưỡng của transistor gần như tuyến tính với sự thay đổi giảm của nhiệt độ hoạt động, làm chúng dễ bị rò rỉ điện.[23]

Ngoài ra, điện áp cung cấp cũng có tác động lớn đến công suất tiêu thụ. Việc tăng điện áp cung cấp có thể dẫn đến sự gia tăng công suất tiêu thụ đáng kể và ngược lại, như đã được chỉ ra trong phương trình (2.12) và các nghiên cứu liên quan.[24]

Vì vậy, để đánh giá chính xác hiệu suất của bộ nhớ TCAM, cần phải xem xét các yếu tố môi trường như nhiệt độ và điện áp cung cấp, vì chúng ảnh hưởng trực tiếp đến khả năng hoạt động của hệ thống.



Hình 4.30: Công suất tiêu thụ của thiết kế TCAM 4x4 tại các mức điện áp hoạt động và nhiệt độ.

Tại các mức điện áp thấp 0.8V, TCAM hoạt động với mức công suất tiêu thụ khá thấp dao động trong khoảng 21.66 μ W đến 18.42 μ W ở các mức nhiệt độ 0°C-27°C-80°C, phù hợp cho các ứng dụng tiết kiệm năng lượng. Tuy nhiên, khi điện áp cung cấp tăng đặc biệt lên 1.2V, công suất tiêu thụ tăng đáng kể 83.6 μ W ($T=0^{\circ}\text{C}$) đến 74.69 μ W ($T=80^{\circ}\text{C}$), cao gấp gần 4 lần so với mức 0.8V, điều này có thể không phù hợp cho các ứng dụng cần tiết kiệm năng lượng.

Với mức nhiệt độ tăng từ 0°C lên 80°C, sự gia tăng công suất không quá đáng kể. Điều này cho thấy thiết kế này có độ nhạy tương đối thấp với nhiệt độ là một ưu điểm, đặc biệt khi mạch hoạt động trong môi trường nhiệt độ biến thiên.

CHƯƠNG 5: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

5.1. Kết luận

Đồ án tốt nghiệp "Thiết kế và tối ưu bộ nhớ TCAM theo công nghệ 90nm" đã đạt được các mục tiêu quan trọng trong việc phân tích và tối ưu hóa hiệu năng của TCAM. Thông qua quá trình nghiên cứu, đánh giá và qua kết quả thực nghiệm, thiết kế TCAM 14T đã được nhóm lựa chọn để xây dựng bộ nhớ TCAM 4x4, nhờ khả năng cân bằng tốt hiệu năng, năng lượng tiêu thụ và diện tích so với các thiết kế truyền thống, không chỉ giảm đáng kể độ trễ, công suất tiêu thụ mà còn đảm bảo hoạt động ổn định ở mức điện áp thấp, phù hợp cho các ứng dụng tiết kiệm năng lượng. Tuy nhiên, thiết kế chưa ổn định ở điện áp cao. Dù vậy, với ưu điểm về độ nhạy cảm thấp trước sự biến đổi nhiệt độ và khả năng hiệu quả tổng thể cao, thiết kế TCAM 14T đã chứng minh được tiềm năng ứng dụng thực tiễn và đáp ứng mục tiêu tối ưu hóa của đồ án.

5.2. Hướng phát triển

Đề tài có thể mở rộng dung lượng bộ nhớ TCAM để xử lý dữ liệu lớn hơn, bổ sung đầy đủ chức năng như kiểm tra lỗi, đáp ứng các yêu cầu của hệ thống mạng và trí tuệ nhân tạo. Để giảm tiêu thụ năng lượng trong quá trình nạp trước các đường ML, nhóm có thể nghiên cứu phương pháp nạp trước tối ưu hơn.

Ngoài ra, việc thiết kế TCAM hoàn chỉnh với khả năng kiểm lỗi, tích hợp vào các hệ thống SoC, hoặc nghiên cứu trên công nghệ tiên tiến như FinFET và tiến trình dưới 90nm sẽ giúp cải thiện hiệu năng và giảm diện tích, mở rộng tiềm năng ứng dụng của TCAM trong các hệ thống hiện đại.

TÀI LIỆU THAM KHẢO

- [1] H. Higuchi, S. Tachibana, M. Minami, and T. Nagano, “A 5-mW, 10-ns cycle TLB using a high-performance CAM with low-power match detection circuits”, IEICE Transactions on Electronics, vol. E79-C, no. 6, Jun. 1996.
- [2] M. Sumita, “A 800 MHz single cycle access 32 entry fully associative TLB with a 240ps access match circuit”, Digest of Technical Papers of the Symposium on VLSI Circuits, pp. 231-232, Jun. 2001.
- [3] P.-F. Lin, and J. B. Kuo, “A 1-V 128-kb four-way set-associative CMOS cache memory using wordline-oriented tag-compare WLOTC structure with the contentaddressable memory (CAM) 10-transistor tag cell”, IEEE Journal of Solid-state Circuits, vol. 36, no. 4, pp. 666-675, Apr. 2001.
- [4] P.-F. Lin, and J. B. Kuo, “A 0.8-V 128-kb four-way set-associative two-level CMOS cache memory using two-stage wordline/bitline-oriented tag-compare

(WLOTB/BLOTB) scheme”, IEEE Journal of Solid-state Circuits, vol. 37, no. 10, pp. 1307-1317, Oct. 2002.

[5] J. P. Wade, and C. G. Sodini, “A ternary content-addressable search engine”, IEEE Journal of Solid-state Circuits, vol. 24, no. 4, Aug. 1989.

[6] K.-J. Lin, and C.-W. Wu, “A low-power CAM design for LZ data compression”, IEEE Transactions on Computers, vol. 49, no. 10, Oct. 2000.

[7] T. Ogura, M. Nakanishi, T. Baba, Y. Nakabayshi, and R. Kasai, “A 336-kb content addressable memory for highly parallel image processing”, Proceedings of the IEEE Custom Integrated Circuits Conference (CICC 1996), pp. 273-276, May 1996.

[8] F. Yu, R. H. Katz, and T. V. Lakshman, “Gigabit rate packet pattern-matching using TCAM”, Proceedings of the IEEE International Conference on Network Protocols (ICNP’04), Berlin, Germany, pp. 5.1.1-5.1.10, Oct. 5-8, 2004.

[9] F. Yu, and R. H. Katz, “Efficient multi-match packet classification with TCAM”, Proceedings of the IEEE Symposium on High Performance Interconnects (HOTI’04), Stanford, CA, pp. 2.1.1-2.1.7, Aug. 25-27, 2004.

[10] T. Miwa, H. Yamada, Y. Hirota, T. Satoh, and H. Hara. “A 1-Mb 2-Tr/b nonvolatile CAM based on flash memory technologies”, IEEE Journal of Solid-State Circuits, vol. 31, no. 11, pp. 1601 – 1609, Nov. 1996.

[11] W. Fung, “Low power circuits for multiple match resolution and detection in ternary CAM”, MASc thesis, Department of Electrical and Computer Engineering, University of Waterloo, Waterloo, ON, Canada, 2004.

[12] “Low-Power High-Performance Ternary Content Addressable Memory Circuits” by Nitin Mohan A thesis presented to the University of Waterloo in the fulfillment of the thesis requirement for the degree of Doctor of Philosophy in Electrical and Computer Engineering Waterloo, Ontario, Canada, 2006

- [13] R., S., Deshpande, N.T. and Aswatha, A.R. (2009) “Design and Analysis of a New Loadless 4T SRAM Cell in Deep Submicron CMOS Technologies,” in 2009 Second International Conference on Emerging Trends in Engineering & Technology. IEEE, pp. 155–161.
- [14] Gaadhe, A., Shirode, U. and Kanphade, R. (2021) “The Stability Performance Analysis of SRAM Cell Topologies in 90nm and 130nm CMOS technology,” in 2021 International Conference on Emerging Smart Computing and Informatics (ESCI). IEEE, pp. 733–736.
- [15] TCAM IP solution (no date) Renesas. Available at: <https://s.net.vn/1tv9>(Accessed: November 25, 2024).
- [16] Synopsys.com. Available at: <https://www.synopsys.com/designware-ip/technical-bulletin/introduction-to-tcam.html>. (Accessed: November 25, 2024).
- [17] Ngô Xuân Danh và Hoàng Tấn Đạt. (2022). “Thiết kế, mô phỏng và layout bộ nhớ SRAM 64 bit”. Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh.
- [18] Neil H. E. Weste, David Money Harris, "CMOS VLSI Design A Circuits and Systems Perspective", xuất bản lần thứ 4, Macquarie University and The University of Adelaide, Harvey Mudd College
- [19] Nguyễn Thành Trung và Ngô Minh Nhật. (2024). “Thiết kế và mô phỏng bộ nhớ SRAM 32×32 theo công nghệ 90NM”. Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh.
- [20] Mohan, N. et al. (2006) “Design techniques and test methodology for low-power TCAMs,” IEEE transactions on very large scale integration (VLSI) systems, 14(6), pp. 573–586.
- [21] Debasis Mukherjee, Hemanta Kr. Mondal và cộng sự, “Static Noise Margin Analysis of SRAM Cell for High Speed Application”, IJCSI International Journal of Computer Science Issues, Tập 7, Số 5, 09/2010.

- [22] Tadashi, K., & Nakahara, T. (2016). "Design and Optimization of High-Speed TCAM with NOR and NAND Logic for Efficient Searching". *Journal of Semiconductor Technology and Science*, 16(2), 112-119
- [23] Reiham. O. Ibrahim, S. M. Abd El-Azeem, S. M. El-Ghanam, F. A. S. Soliman, "Temperature Effects on the Electrical Characteristics of BJTs and MOSFETs", 2019.
- [24] Pankaj Prajapati, Dr. Shyam Akashe, "Effect of changes in supply voltage on power consumption of digital CMOS delay lines", 2016.